การออกแบบและทวนสอบไมโครโพรเซสเซอร์ 32 บิต อาร์ม 7

นางสาว วรรณรัช สันติอมรทัต

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2542

ISBN 974-333-729-6

ลิขสิทธิ์ของ จุฬาลงกรณ์มหาวิทยาลัย

I 19620618

DESIGN AND VERIFICATION OF THE 32 BIT MICROPROCESSOR ARM 7

Miss Wannarat Suntiamorntut

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering in Computer Engineering

Department of Computer Engineering
Faculty of Engineering
Chulalongkorn Univerisity

Academic Year 1999

หัวข้อวิทยานิพนธ์	การออกแบบและทวนสอบไมโครโพรเซสเซอร์ 32 บิต อาร์ม 7
โดย	นางสาว วรรณรัช สันติอมรทัต
ภาควิชา	วิศวกรรมคอมพิวเตอร์
อาจารย์ที่ปรึกษา	อาจารย์ ดร. อาทิตย์ ทองทักษ์

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรปริญญามหาบัณฑิต

.....คณบดีคณะวิศวกรรมศาสตร์
(ศาสตราจารย์ ดร. สมศักดิ์ ปัญญาแก้ว)

คณะกรรมการสอบวิทยานิพนธ์

.....ประธานกรรมการ
(ผู้ช่วยศาสตราจารย์ ดร. สาธิต วงศ์ประทีป)

.....อาจารย์ที่ปรึกษา
(อาจารย์ ดร. อาทิตย์ ทองทักษ์)

.....กรรมการ
(ผู้ช่วยศาสตราจารย์ ดร. ประภาส จงสถิตย์วัฒนา)

.....กรรมการ
(รองศาสตราจารย์ สมศักดิ์ มิตะถา)

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

วรรณรัช สันติอมรทัต : การออกแบบและทวนสอบไมโครโพรเซสเซอร์ 32 บิต อาร์ม 7
(DESIGN AND VERIFICATION OF THE 32 BIT MICROPROCESSOR ARM 7)
อ. ที่ปรึกษา : ดร. อาทิตย์ ทองทักษ์, 159 หน้า. ISBN 974-333-729-6

งานวิจัยนี้เป็นการออกแบบไมโครโพรเซสเซอร์ 32 บิตโดยใช้ภาษาในการออกแบบวงจรดิจิตอล HDL (Hardware Description Languages) อ้างอิงการทำงานตาม ARM 7 ส่วน user mode ซึ่งให้สามารถสังเคราะห์เป็นวงจรได้ ในที่นี้ทำการออกแบบด้วยภาษา VHDL และเพื่อเป็นการตรวจสอบและยืนยันการทำงานให้ตรงกับรูปแบบที่กำหนดไว้ (Specification) จึงได้นำการทวนสอบมาประยุกต์ใช้ในงานวิจัยนี้ สามารถแบ่งการทวนสอบออกได้เป็น 2 ส่วนคือ การทวนสอบโดยการใช้วิธีการจำลองการทำงาน (Simulation-based verification) ในระดับของเกต (Gate-level) และการใช้การทวนสอบอย่างมีแบบแผน (Formal Verification) เพื่อยืนยันความถูกต้องในระดับชิ้นส่วนย่อย (Component) ที่เป็นส่วนประกอบของโครงสร้างในไมโครโพรเซสเซอร์ ARM 7

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา.....วิศวกรรมคอมพิวเตอร์ ลายมือชื่อนิสิต.....วรรณรัช สันติอมรทัต
สาขาวิชา.....วิศวกรรมคอมพิวเตอร์ ลายมือชื่ออาจารย์ที่ปรึกษา.....
ปีการศึกษา...2542 ลายมือชื่ออาจารย์ที่ปรึกษาร่วม.....

4170500121 : MAJOR COMPUTER ENGINEERING
KEY WORD:
DESIGNED / HARDWARE DESTRIPTION LANGUAGES / VERIFICATION /
SIMULATION / FORMAL VERIFICATION / MICROPROCESSOR
WANNARAT SUNTIAMORNTUT : DESIGN AND VERIFICATION OF THE 32 BIT
MICROPROCESSOR ARM 7 THESIS ADVISOR : ARTHIT THONGTAK, Ph. D. 159 pp.
ISBN 974-333-729-6

This research presents a design of microprocessor 32 bit using hardware description languages (HDL) compatible with ARM 7 (user mode). That unit also can synthesize to be gate netlist. The microprocessor was designed using VHDL. This research presents methodology for microprocessor verification that conformed with specification. Functional verification can be accomplished through two basic approaches : Simulation-based in gate-level and Formal verification in component level.

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา.....วิศวกรรมคอมพิวเตอร์ ลายมือชื่อนิสิต....วรวณชัช สันติอมรทัต
สาขาวิชา.....วิศวกรรมคอมพิวเตอร์ ลายมือชื่ออาจารย์ที่ปรึกษา.....
ปีการศึกษา...2542 ลายมือชื่ออาจารย์ที่ปรึกษาร่วม.....

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ได้สำเร็จลุล่วงไปได้ด้วยดี ด้วยความช่วยเหลือของ อาจารย์ ดร. อาทิตย์ ทองทักษ์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งได้ให้คำแนะนำและคำปรึกษาในการทำวิทยานิพนธ์ฉบับนี้และขอกราบขอบพระคุณผู้ช่วยศาสตราจารย์ สมศักดิ์ มิตะถา และ อาจารย์อภิเนตร อูนากูล ผู้ซึ่งให้คำแนะนำในการทำวิจัย

ขอขอบคุณ นางสาวปัญจภา เรืองสินทรัพย์ผู้ร่วมทำงานวิจัยที่สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง และนายชนพร ทองเผือก ผู้ที่ให้การอบรมและสอนการออกแบบวงจรดิจิตอลในระดับสูง พร้อมทั้งให้คำปรึกษาและช่วยแก้ปัญหาด้วยดีเสมอมา ขอขอบคุณนายเจริญ วงษ์ชุ่มเย็น ที่ช่วยเหลือในการอำนวยความสะดวกในทุกเรื่อง

ขอขอบพระคุณสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (สวทช.) ในหน่วยงานของไตรภาคี ที่ให้การสนับสนุนอุดหนุนการวิจัย

และสุดท้ายนี้ผู้วิจัยขอกราบขอบพระคุณ คุณพ่อและคุณแม่ผู้ซึ่งเป็นผู้ให้กำเนิดและให้โอกาสผู้ทำวิจัยได้ศึกษาต่อในระดับปริญญามหาบัณฑิต

วรรณรัช สันติอมรทัต

ธันวาคม 2542

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย..... ง

บทคัดย่อภาษาอังกฤษ..... จ

กิตติกรรมประกาศ..... ฉ

สารบัญ..... ช

สารบัญตาราง..... ญ

สารบัญรูปภาพ..... ฏ

บทที่

1. บทนำ 1

1.1 ความสำคัญและความเป็นมาของปัญหา 2

1.2 วัตถุประสงค์ 3

1.3 ขอบเขตของการวิจัย 4

1.4 ขั้นตอนการทำวิจัย 4

1.5 ประโยชน์ที่ได้รับ 5

1.6 งานวิจัยที่เกี่ยวข้อง 6

1.7 ลำดับขั้นตอนในการเสนองานวิจัย 6

1.8 ผลงานที่ตีพิมพ์จากงานวิจัย 6

2. หลักการออกแบบระบบดิจิตอล 8

2.1 ขั้นตอนการออกแบบ 8

2.2 ข้อกำหนดรายละเอียดและการอธิบายการทำงาน..... 11

2.3 การสร้างรายละเอียดในการอธิบายการทำงาน..... 12

2.4 การอธิบายโครงสร้างและพฤติกรรมการทำงานของฮาร์ดแวร์ 16

2.5 ไปป์ไลน์ (Pipeline) 17

2.6 โครงสร้างไมโครโพรเซสเซอร์แบบลดทอนคำสั่ง (RISC) 21

3. การออกแบบและการทำงานของไมโครโพรเซสเซอร์ ARM 7. 24

3.1 ขั้นตอนของการออกแบบไมโครโพรเซสเซอร์ 32 บิต 24

3.2 การทำงานของไมโครโพรเซสเซอร์ ARM 7 27

3.3 การทำงานของแต่ละชิ้นส่วนที่ออกแบบ 30

4. หลักการทวนสอบและการจำลองการทำงาน 48
4.1 การทวนสอบและการตรวจสอบความสมเหตุสมผล 48
4.2 กระบวนการทดสอบ 49
4.3 กลยุทธ์การทดสอบ 50
4.4 การตรวจสอบหาข้อผิดพลาด 52
4.5 รูปแบบของการทวนสอบอย่างมีแบบแผน 56

5. การทวนสอบไมโครโพรเซสเซอร์อาร์ม 7 60
5.1 การทดสอบแต่ละชิ้นส่วนในขั้นตอนการออกแบบ.....60
5.2 การทวนสอบโดยการจำลองการทำงานและสร้างชุดทดสอบ 61

6. ผลการทวนสอบและจำลองการทำงาน 67
6.1 ผลการวิเคราะห์ชุดทดสอบไมโครโพรเซสเซอร์อาร์ม 7..... 68
6.2 ผลจากการจำลองการทำงานด้วยชุดทดสอบที่กำหนด
ตัวอย่างผลการทดลองของหน่วยต่างๆ 78

7. สรุปและข้อเสนอแนะ 83
7.1 สรุปผลการวิจัย 83
7.2 ข้อเสนอแนะ 85

รายการอ้างอิง 86
ภาคผนวก 90
ก. อาร์ม 7 ที่ทำการออกแบบ 91
ข. การทวนสอบอย่างมีแบบแผนด้วยวิธีการของ ASM..... 152
ประวัติผู้เขียน.....159

จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

หน้า

ตารางที่ 2.1 การใช้ทรัพยากรในแต่ละสเตตในไปป์ไลน์ 18
ตารางที่ 2.2 การทำงานของไปป์ไลน์ในการทำคำสั่ง add และ sub 19
ตารางที่ 2.3 แสดงการใช้ Stalling Pipeline เพื่อแก้ปัญหาภัยจากข้อมูล.....19
ตารางที่ 3.1 สรุปคำสั่งที่สามารถทำงานได้ในไมโครโพรเซสเซอร์ที่ออกแบบ 29
ตารางที่ 3.2 ตัวอย่างการทำงานของการคูณแบบ Booth's Algorithm 37
ตารางที่ 3.3 ค่าตัวถูกดำเนินการของการคูณ 38
ตารางที่ 4.1 Universes in Specification Model 58
ตารางที่ 4.2 Function in Universe 58
ตารางที่ 5.1 ชุดคำสั่งทดสอบ 26 ชุด 63
ตารางที่ 5.2 แสดงชุดคำสั่งที่ใช้ในการทดสอบส่วน Data processing 65
ตารางที่ 5.3 แสดงชุดคำสั่งที่ใช้ในการทดสอบส่วน Data processing (ต่อ).....65
ตารางที่ 5.4 แสดงชุดคำสั่งที่ใช้ในการทดสอบส่วน Data processing (ต่อ).....66
ตารางที่ 6.1 ผลการทดสอบด้วยชุดคำสั่งในกรณีต่างๆ(1)..... 68
ตารางที่ 6.2 ผลการทดสอบด้วยชุดคำสั่งในกรณีต่างๆ(2) 69
ตารางที่ 6.3 ผลการทดสอบด้วยชุดคำสั่งในกรณีต่างๆ(3) 70
ตารางที่ 6.4 ผลการทดสอบด้วยชุดคำสั่งในกรณีต่างๆ(4) 71
ตารางที่ 6 5 ผลการทดสอบด้วยชุดคำสั่งในกรณีต่างๆ(5) 73
ตารางที่ 6.6 ส่วนต่างๆที่ได้ทำการทวนสอบด้วยชุดคำสั่ง Data Processing ..... .75
ตารางที่ 6.7 ส่วนต่างๆที่ได้ทำการทวนสอบด้วยชุดคำสั่งกระโดดข้ามการทำงาน 75
ตารางที่ 6.8 ส่วนต่างๆที่ได้ทำการทวนสอบด้วยชุดคำสั่งคูณ 76
ตารางที่ 6.9 ส่วนต่างๆที่ได้ทำการทวนสอบด้วยชุดคำสั่งการติดต่อหน่วยความจำ 77
ตารางที่ 6.10 ปัญหาที่พบในการทดสอบบอร์ด 82
ตารางที่ 7.1 ข้อดีและข้อเสียจากการทวนสอบอย่างมีแบบแผนและการจำลองการทำงาน.....84
ตารางที่ 7.2 ข้อดีและข้อเสียจากการทวนสอบอย่างมีแบบแผนและการจำลองการทำงาน(ต่อ).....85

จุฬาลงกรณ์มหาวิทยาลัย

สารบัญรูปภาพ

หน้า

รูปที่ 1.1 การทวนสอบอย่างมีแบบแผนและการจำลองการทำงานในกระบวนการออกแบบ..... 3
รูปที่ 2.1 วิธีการออกแบบในระดับสูง 8
รูปที่ 2.2 การใช้งาน Vsystems ในการแปลโปแกรม..... 10
รูปที่ 2.3 ผลที่ได้จากการใช้คำสั่ง Vsim 10
รูปที่ 2.4 ระดับของการอธิบายการทำงานของวงจร 11
รูปที่ 2.5 แสดงการออกแบบด้วยวิธีการจากบนลงล่างและจากล่างขึ้นบน 13
รูปที่ 2.6 ตัวอย่างการออกแบบแบบบนลงล่าง 13
รูปที่ 2.7 ตัวอย่างการออกแบบแบบล่างขึ้นบน 14
รูปที่ 2.8 แบบแผนของระบบในการกำหนดคุณลักษณะของวงจรดิจิตอล 15
รูปที่ 2.9 โครงสร้างในไมโครโพรเซสเซอร์ทั่วไป 16
รูปที่ 2.10 การทำงานในไปป์ไลน์ 21
รูปที่ 3.1 ขั้นตอนการออกแบบ..... 23
รูปที่ 3.2 Data Path ของไมโครโพรเซสเซอร์ 32 บิต.....25
รูปที่ 3.3 ชิ้นส่วนต่างๆในโครงสร้างของไมโครโพรเซสเซอร์..... 26
รูปที่ 3.4 ส่วนของหน่วยคำนวณและตรรกะ..... 31
รูปที่ 3.5 ส่วนของตัวเลื่อนค่า..... 33
รูปที่ 3.6 ส่วนของตัวคูณ 35
รูปที่ 3.7 แผนภาพการทำงานของการคูณแบบบูธ..... 36
รูปที่ 3.8 ส่วนติดต่อหน่วยความจำ..... 39
รูปที่ 3.9 ส่วนจัดการและเก็บเลขที่อยู่..... 40
รูปที่ 3.10 ส่วนของรีจิสเตอร์..... 42
รูปที่ 3.11 ส่วนควบคุม..... 44
รูปที่ 3.12 ขาสัญญาณของไมโครโพรเซสเซอร์อาร์ม 7.....46
รูปที่ 4.1 การตรวจสอบความถูกต้องและการทวนสอบแบบ Static และ dynamic 49
รูปที่ 4.2 ขั้นตอนการหาจุดบกพร่อง..... 49
รูปที่ 4.3 กระบวนการทดสอบ..... 50
รูปที่ 4.4 การทดสอบแบบบนลงล่าง..... 50
รูปที่ 4.5 การทดสอบจากล่างขึ้นบน..... 51
รูปที่ 4.6 Back-to-Back Testing..... 52
รูปที่ 4.7 ผลกระทบในแต่ละขั้นตอนการทดสอบ. 52

สารบัญรูปภาพ(ต่อ)

หน้า

รูปที่ 4.8 การประยุกต์วิธีการทดสอบเข้ากับระบบ..... 53
รูปที่ 4.9 Black-box testing 54
รูปที่ 4.10 Equivalence partitioning..... 54
รูปที่ 4.11 White-box Testing..... 55
รูปที่ 4.12 รูปแบบของแผนภาพสายงาน..... 55
รูปที่ 4.13 Interface testing..... 55
รูปที่ 4.14 การประยุกต์เอา ASM ใช้ในขั้นตอนการออกแบบในระดับสูง.....59
รูปที่ 5.1 ขั้นตอนของการทวนสอบด้วยการจำลองการทำงาน.....61
รูปที่ 6.1 Waveform ของหน่วยคำนวณและตรรกะ..... 78
รูปที่ 6.2 waveform ของหน่วยการเลื่อนค่า..... 78
รูปที่ 6.3 Waveform ของหน่วยการคูณ..... 79
รูปที่ 6.4 Waveform ของการทำงานคำสั่งโหลด..... 79
รูปที่ 6.5 Waveform ของการทำโปรแกรมการหาร..... 80
รูปที่ 6.6 การทดสอบไมโครโพรเซสเซอร์ด้วยเอฟพีจีเอ 81
รูปที่ 6.7 บอร์ดต้นแบบด้วย XC4085XLA 81

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย