

การออกแบบวงจรปัดและขยายเชิงลอการิทึมของผลต่าง แบบซีมอสคลาส AB



นางสาว กอบแก้ว โสภาสารกิจ

สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

ปีการศึกษา 2549

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

A DESIGN OF CMOS CLASS AB DIFFERENTIAL LOG-COMPANDING CIRCUIT



Miss Kobkaew Opasjumruskit

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย
A Thesis Submitted in Partial Fulfillment of Requirements
For the Degree of Master of Engineering Program in Electrical Engineering

Department of Electrical Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2006

Copyrights of Chulalongkorn University

หัวข้อวิทยานิพนธ์	การออกแบบวงจรบีบอัดและขยายเชิงลอการิทึมของผลต่างแบบซิมอสคลาส AB
โดย	นางสาว กอบแก้ว โอบาสจรรย์สกิจ
สาขาวิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	รองศาสตราจารย์ ดร.เอกชัย ลีลาวัศม์
อาจารย์ที่ปรึกษาร่วม	รองศาสตราจารย์ ดร.อภิศักดิ์ วรรณิเชษฐ

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้ให้นักศึกษานี้
เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์
(ศาสตราจารย์ ดร. ดิเรก ลาวัญย์ศิริ)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(รองศาสตราจารย์ ดร.มานะ ศรียุทธศักดิ์)

..... อาจารย์ที่ปรึกษา
(รองศาสตราจารย์ ดร.เอกชัย ลีลาวัศม์)

..... อาจารย์ที่ปรึกษาร่วม
(รองศาสตราจารย์ ดร.อภิศักดิ์ วรรณิเชษฐ)

..... กรรมการ
(ผู้ช่วยศาสตราจารย์ ดร.จิตรเกษม งามนิล)

กอบแก้ว โอบาสจรรย์สกิจ : การออกแบบวงจรบีบอัดและขยายเชิงลอการิทึมของผลต่างแบบซีมอสคลาส AB (A DESIGN OF CMOS CLASS-AB DIFFERENTIAL LOG-COMPANDING CIRCUIT) อ.ที่ปรึกษา : รศ.ดร.เอกชัย ลีลาวัศมี, อ.ที่ปรึกษาร่วม : รศ.ดร.อภิศักดิ์ วรพิเชฐ , 94 หน้า.

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรขยายและวงจรกรองคลาสเอบีสำหรับสัญญาณผลต่าง ในเทคโนโลยีซีมอส 0.25 ไมโครเมตร โดยใช้เทคนิคการบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม วงจรพื้นฐานที่ออกแบบนี้ประกอบด้วยวงจรบีบอัดสัญญาณเชิงลอการิทึม และวงจรขยายสัญญาณเชิงเอชไอพีเอ็นเซียล

สำหรับวงจรขยายจะต้องใช้แหล่งจ่ายแรงดันอ้างอิงปรับค่าได้ เพื่อกำหนดอัตราขยายของวงจร ในส่วนวงจรกรอง จะเพิ่มวงจรอินทิเกรตซึ่งทำงานแบบไม่เป็นเชิงเส้น ทั้งวงจรขยายและวงจรกรองนี้ถูกออกแบบให้มีย่านการทำงานของสัญญาณในช่วงความถี่เสียง ช่วงกว้างสัญญาณขาเข้าของวงจรคือ ± 1 ไมโครแอมป์ และความถี่ของสัญญาณ 20 เฮิรตซ์ - 20 กิโลเฮิรตซ์ มีแรงดันไฟเลี้ยงต่ำถึง 0.6 โวลต์ วงจรขยายใช้พลังงานต่ำกว่า 3.2 ไมโครวัตต์ เมื่อมีสัญญาณขาเข้าสูงที่สุดในขณะที่มี THD เพียง 0.55 % และมี CMRR ถึง 35.76 dB ซึ่งแสดงให้เห็นว่าวงจรที่ออกแบบมีความสามารถในการกำจัดสัญญาณรบกวนโหมตร่วม และใช้พลังงานต่ำ

ในส่วนของวงจรกรองที่ออกแบบ จะเป็นวงจรกรองผ่านความถี่ต่ำอันดับที่หนึ่ง ที่สามารถปรับค่าความถี่ตัดได้ถึง 20 กิโลเฮิรตซ์ โดยมีช่วงกว้างสัญญาณขาเข้าและแรงดันไฟเลี้ยงเท่ากับวงจรขยาย วงจรกรองนี้จะใช้พลังงานเพียง 4.29 ไมโครวัตต์เมื่อมีสัญญาณขาเข้าสูงสุด และมีความเพี้ยนเชิงเส้น 0.94%

ทั้งนี้เทคนิคและวงจรที่นำเสนอในงานวิทยานิพนธ์นี้ สามารถนำไปประยุกต์ในการออกแบบวงจรรวม โดยเฉพาะอย่างยิ่งในอุปกรณ์พกพาที่มีข้อจำกัดทางด้านพื้นที่และพลังงาน เช่น เครื่องช่วยฟัง

ภาควิชา.....วิศวกรรมไฟฟ้า.....ลายมือชื่อนิสิต..... Nov 6/15
สาขาวิชา.....วิศวกรรมไฟฟ้า.....ลายมือชื่ออาจารย์ที่ปรึกษา..... Joms Nara
ปีการศึกษา..... 2549.....ลายมือชื่ออาจารย์ที่ปรึกษาร่วม.....

4870216621 : MAJOR ELECTRICAL ENGINEERING

KEY WORD: CMOS LOG-COMPANDING / SUBTHRESHOLD / DIFFERENTIAL CLASS-AB /
LOG-COMPANDING AMPLIFIER / LOG-COMPANDING FILTER

KOBKAEW OPASJUMRUSKIT : A DESIGN OF CMOS CLASS-AB DIFFERENTIAL
LOG-COMPANDING CIRCUIT. THESIS ADVISOR : ASSOC.PROF.EKACHAI
LEELARASAMEE, Ph.D., THESIS COADVISOR : ASSOC.PROF.APISAK
WORAPISHET, Ph.D. , 94 pp.

This thesis presents a CMOS class-AB differential amplifier and filter based on a log-companding technique using 0.25 μm CMOS process. This technique requires two main parts. They are a logarithmic compressor and an exponential expander. The gain of the amplifier is achieved by adjusting a controlling voltage obtained from a reference circuit which is also presented in this research. The non-linear integrator is designed in order to construct the filter by combining it with the compressor and expander.

The range of current input is $\pm 1\mu\text{A}$ and frequency range is between 20 Hz – 20 kHz. The amplifier consumes less than 3.2 μW from a 0.6 V supply at the maximum input current and the THD is 0.55%. The CMRR of the amplifier is 35.76 dB yielding a high performance in eliminating the common mode signal. The proposed filter is a first order low pass filter in which the cutoff frequency can be adjusted. This filter also operates correctly under the 0.6 V supply voltage and draws 4.29 μW power at its maximum input. The THD of the filter is approximately 0.94% which is satisfactory for IEC standard.

The presented techniques and circuits can be utilized or applied with other circuits, especially in portable devices such as hearing aid chip where the area and power are limited.

Department.....Electrical Engineering.....Student's Signature *105 05*
Field of study...Electrical Engineering.....Advisor's Signature *Law J.*
Academic year.....2006.....Co-advisor's Signature *[Signature]*

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยความเหลืออย่างดียิ่งของอาจารย์ รศ.ดร.เอกชัย ลีลารัมย์ และ รศ.ดร.อภิศักดิ์ วรพิเชษฐ อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งท่านได้ให้คำแนะนำและข้อคิดเห็นต่างๆ ทั้งในด้านงานวิจัย การทำงาน และข้อคิดในการใช้ชีวิตด้วยดีตลอดมา รวมถึงคณะกรรมการทุกท่าน

ขอขอบคุณห้องปฏิบัติการวิจัยออกแบบและประยุกต์วงจรรวม และเพื่อนๆ พี่ๆ น้องๆ ทุกคนในห้องปฏิบัติการ ที่เป็นกำลังใจให้ในเวลาที่ยากแค้น และเป็นแรงผลักดันให้เกิดความมุ่งมั่นในการทำงาน และซอฟต์แวร์ตรวจค่าผิดจากบริษัทเอ เอส เค มีเดีย ที่พี่วิวัฒน์มาช่วยตรวจวิทยานิพนธ์ให้

ขอขอบคุณบริษัทชายแอม รีเสิร์ช จำกัด ที่ให้เงินทุนสนับสนุนการวิจัยอีกทั้งคำแนะนำ และอุปกรณ์การทำงานเป็นอย่างดี รวมทั้งน้องณวรรษ ที่เป็นคนคอยมาเปิดห้องทดลอง จัดหาเครื่องมือให้คำปรึกษาในการทำงานเป็นอย่างดี

ขอบคุณทุกอุปสรรค และความเหนื่อยล้า ที่ทำให้ผู้วิจัยเข้มแข็ง ได้เรียนรู้ถึงการทำงานหนัก เพื่อแลกมาซึ่งความสำเร็จดังที่ต้องการ อีกทั้งพี่กานต์ ที่เป็นทั้งแรงบันดาลใจ คอยให้คำแนะนำด้านการเรียนและการใช้ชีวิตได้อย่างดียิ่ง

สุดท้ายนี้ ผู้วิจัยใคร่ขอกราบขอบพระคุณ คุณพ่อธนภูมิ คุณแม่เพ็ญญา และคุณอาสมพร ที่คอยสนับสนุนผู้วิจัยในทุกๆ ด้านเสมอมา

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....	ง
บทคัดย่อภาษาอังกฤษ.....	จ
กิตติกรรมประกาศ.....	ฉ
สารบัญ.....	ช
สารบัญตาราง.....	ญ
สารบัญภาพ.....	ฎ
บทที่ 1 บทนำ.....	1
1.1 แนวเหตุผลในการทำวิทยานิพนธ์.....	1
1.2! วัตถุประสงค์ของการวิจัย.....	2
1.3! ขอบเขตของการวิจัย.....	2
1.4! วิธีดำเนินการวิจัย.....	3
1.5! ประโยชน์ที่คาดว่าจะได้รับ.....	3
1.6! ลำดับการนำเสนอ.....	3
บทที่ 2 ทัศนวิสัยวรรณกรรมและความรู้พื้นฐานที่ใช้ในงานวิจัย.....	5
2.1! ทัศนวิสัยวรรณกรรม.....	5
2.2! โครงสร้างภายในโดยทั่วไปของวงจรรวมเครื่องช่วยฟัง.....	7
2.3! เทคนิคการบีบอัดและแผ่ขยายสัญญาณเชิงลอคการิทึม.....	8
2.3.1! ลักษณะสมบัติของซีมอสที่ทำงานในย่านซับเทรซโฮลด์.....	8

2.3.2! ผลของอุณหภูมิต่อซีมอสที่ทำงานในย่านซับเทรซไฮลด์	11
บทที่ 3 วงจรพื้นฐานที่นำมาใช้ในงานวิจัย	13
3.1! วงจรขยายที่ใช้เทคนิคการบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม	13
3.2! วงจรสร้างแรงดันอ้างอิงที่ใช้ซีมอสทำงานในย่านซับเทรซไฮลด์	14
3.3! วงจร ORA (Operational Resistance Amplifier).....	19
3.4! วงจรบัฟเฟอร์แรงดัน	20
3.5! วงจรอินทิเกรตที่ใช้เทคนิคการบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม	21
3.5.1! วงจรอินทิเกรตพื้นฐานคลาสเอ	21
3.5.2! การสร้างวงจรกรองอันดับหนึ่งจากวงจรมินิอินทิเกรตคลาสเอ.....	23
3.5.3! วงจรอินทิเกรตคลาสเอบี	24
บทที่ 4 การออกแบบวงจรมอนิเตอร์	29
4.1! วงจรบีบอัดผลต่างสัญญาณเชิงลอการิทึม คลาสเอบี	29
4.2! วงจรแผ่ขยายผลต่างสัญญาณเชิงเอกซ์โพเนนเชียล คลาสเอบี	30
4.3! วงจรขยายผลต่างสัญญาณคลาสเอบี	32
4.4! วงจรสร้างแรงดันอ้างอิงปรับค่าได้ที่ปรับปรุงเพื่อใช้ในงานวิจัย.....	33
4.5! วงจร ORA ที่ปรับปรุงเพื่อใช้ในงานวิจัยนี้	34
4.6! วงจรบัฟเฟอร์แรงดันที่ปรับปรุงเพื่อใช้ในงานวิจัยนี้	36
บทที่ 5 การออกแบบวงจรมอนิเตอร์.....	38
5.1! วงจรอินทิเกรตผลต่างสัญญาณคลาสเอบี	38
5.2! วงจรกรองอันดับหนึ่งผลต่างสัญญาณคลาสเอบี	43
บทที่ 6 ผลการทดสอบการทำงาน	44
6.1! ผลการทำงานของวงจรมอนิเตอร์สัญญาณเชิงลอการิทึม คลาสเอบี	47
6.1.1! ผลการจำลองการทำงาน	47

6.1.2! ผลการทดสอบการทำงาน.....	48
6.2! วงจรแผ่ขยายผลต่างสัญญาณคลาสเอบี เริงเอกซ์โพเนนเชียล	51
6.2.1! ผลการจำลองการทำงาน	51
6.2.2! ผลการทดสอบการทำงาน.....	52
6.3! วงจรขยายผลต่างคลาสเอบี	53
6.3.1! ผลการจำลองการทำงาน	53
6.3.2! ผลการทดสอบการทำงาน.....	56
6.4! ผลการจำลองการทำงานของวงจรกรองผลต่างสัญญาณคลาสเอบี.....	59
บทที่ 7 ข้อสรุปและข้อเสนอแนะ.....	62
7.1! ข้อสรุป.....	62
7.2! ข้อเสนอแนะ.....	62
รายการอ้างอิง.....	63
ภาคผนวก.....	66
ภาคผนวก ก ไมโครกระบวนการผลิต TSMC 0.25 ไมโครเมตร	67
ภาคผนวก ข รายละเอียดของวงจรรวมที่ใช้ทำการทดสอบวงจร	70
ภาคผนวก ค การพิสูจน์สมการด้วยโปรแกรม Mathematica	78
ภาคผนวก ง บทความที่ได้รับการพิจารณาตอบรับใน ECTI-CON 2007.....	90
ประวัติผู้เขียนวิทยานิพนธ์	94

สารบัญตาราง

หน้า

ตารางที่ 2-1	สรุปงานวิจัยเกี่ยวกับวงจรถายที่ใช้ในวงจรรวมสำหรับเครื่องช่วยฟังในปัจจุบัน.....	5
ตารางที่ 2-2	สรุปงานวิจัยเกี่ยวกับวงจรรองที่ใช้ในวงจรรวมสำหรับเครื่องช่วยฟังในปัจจุบัน.....	6
ตารางที่ 2-3	รูปแบบและข้อดีข้อเสียของการใช้งานมอสในย่าน ซับเทรซไฮลด์.....	10
ตารางที่ 6-1	เปรียบเทียบระหว่างมอสที่ใช้ในการจำลองผลกับมอสอะเรย์ที่ใช้ทดสอบจริง.....	46
ตารางที่ 6-2	ขนาดของทรานซิสเตอร์ที่ใช้ในวงจรถาย.....	53
ตารางที่ 6-3	จุดทำงานสงบของวงจรถาย.....	56
ตารางที่ 6-4	สรุปผลการทำงานของวงจรถาย.....	59
ตารางที่ 6-5	สรุปผลการทำงานของวงจรรองผ่านความถี่ต่ำ.....	61

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

หน้า

รูปที่ 2-1 โครงสร้างหลักภายในวงจรเครื่องช่วยฟัง	7
รูปที่ 2-2 โครงสร้างการทำงานของหลักการบีบอัดและแผ่ขยายสัญญาณ	8
รูปที่ 2-3 ลักษณะสมบัติของซีมอสในย่านการทำงานต่างๆ	9
รูปที่ 3-1 วงจรขยายอย่างง่ายที่ใช้เทคนิคบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม	13
รูปที่ 3-2 วงจรสร้างแรงดันอ้างอิง	15
รูปที่ 3-3 วงจร ORA เมื่อต่อเข้ากับวงจรขยายด้านบีบอัดสัญญาณ	19
รูปที่ 3-4 วงจรบัฟเฟอร์แรงดัน Vgain	20
รูปที่ 3-5 วงจรอินทิเกรตคลาสเอ ที่ใช้โครงสร้างแบบ GD	21
รูปที่ 3-6 วงจรกรองผ่านต่ำอันดับหนึ่งแบบ GD	23
รูปที่ 3-7 วงจรแยกและบีบอัดสัญญาณคลาสเอบี	25
รูปที่ 3-8 วงจรอินทิเกรตชนิดไม่เป็นเชิงเส้นคลาสเอบี	26
รูปที่ 3-9 วงจรแผ่ขยายสัญญาณคลาสเอบี	27
รูปที่ 3-10 วงจรอินทิเกรตเชิงเส้นคลาสเอบี	28
รูปที่ 4-1 วงจรบีบอัดสัญญาณเชิงลอการิทึมคลาสเอบี	29
รูปที่ 4-2 วงจรแผ่ขยายผลต่างสัญญาณเชิงลอการิทึมคลาสเอบี	31
รูปที่ 4-3 วงจรขยายผลต่างสัญญาณคลาสเอบี	33

รูปที่ 4-4 วงจรสร้างแรงดันอ้างอิงที่ได้รับการปรับปรุงเพื่อใช้ในงานวิจัยนี้.....	34
รูปที่ 4-5 แบบจำลอง ORA อุดมคติที่ต่อเข้ากับวงจรมายด้านบิบัคตัณญาน.....	35
รูปที่ 4-6แบบจำลอง ORA อุดมคติแบบปรับปรุงที่ต่อเข้ากับวงจรมายด้านบิบัคตัณญาน	35
รูปที่ 4-7 วงจร ORA ต่อเข้ากับวงจรมายผลต่างคลาสเอบีด้านบิบัคตัณญาน	36
รูปที่ 4-8 วงจรบัฟเฟอร์แรงดัน VDD –Vgain	37
รูปที่ 4-9 การต่อวงจรมายบัฟเฟอร์เข้ากับวงจรมาย	37
รูปที่ 5-1 Block Diagram ของวงจรมาย Integrator.....	38
รูปที่ 5-2 วงจรมายอินทิเกรตแบบ N	39
รูปที่ 5-3 วงจรมายอินทิเกรตแบบ P หรือ P-Integrator.....	40
รูปที่ 5-4 การต่อวงจรมายบิบัคตัณญาน วงจรมายขยายตัณญานและวงจรมายอินทิเกรตร่วมกัน.....	41
รูปที่ 5-5 วงจรมายกรองอันดับหนึ่งของผลต่างตัณญานคลาสเอบี	43
รูปที่ 6-1 ลักษณะสมบัติของ NMOS ที่ใช้ในการจำลองผลการทำงานด้วยโปรแกรม Spectre	44
รูปที่ 6-2 ลักษณะสมบัติของ PMOS ที่ใช้ในการจำลองผลการทำงานด้วยโปรแกรม Spectre	45
รูปที่ 6-3 ลักษณะสมบัติของ NMOS ที่ใช้ในการทดสอบวงจรมาย	45
รูปที่ 6-4 ลักษณะสมบัติของ PMOS ที่ใช้ในการทดสอบวงจรมาย	46
รูปที่ 6-5 ผลตอบทางเวลาของวงจรมายบิบัคตัณญานเชิงลอกการิทึม.....	47
รูปที่ 6-6 ลักษณะสมบัติของวงจรมายบิบัคตัณญานในสเกลเชิงเส้น	47
รูปที่ 6-7 ลักษณะสมบัติของวงจรมายบิบัคตัณญานในสเกลลอกการิทึม.....	48

รูปที่ 6-8 การต่อวงจรบีบอัดสัญญาณเพื่อทดสอบการทำงาน	49
รูปที่ 6-9 การจัดเรียงขาของวงจรรวมมอสอะเรย์ ALD1106.....	49
รูปที่ 6-10 การจัดเรียงขาของวงจรรวมมอสอะเรย์ ALD1107.....	50
รูปที่ 6-11 ผลตอบทางเวลาของวงจรบีบอัดสัญญาณ เมื่อให้สัญญาณเข้ารูปไซน์.....	50
รูปที่ 6-12 ผลตอบทางเวลาของวงจรแผ่ขยายสัญญาณเชิงเอ็กซ์โพเนนเชียล	51
รูปที่ 6-13 ลักษณะสมบัติของวงจรแผ่ขยายสัญญาณในสเกลเชิงเส้น.....	51
รูปที่ 6-14 ลักษณะสมบัติของวงจรแผ่ขยายสัญญาณในสเกลลอการิทึม.....	52
รูปที่ 6-15 การต่อวงจรแผ่ขยายสัญญาณเพื่อทดสอบการทำงาน	52
รูปที่ 6-16 ผลตอบทางเวลาของวงจรแผ่ขยายสัญญาณ เมื่อให้สัญญาณเข้ารูปไซน์.....	53
รูปที่ 6-17 อัตราขยายของวงจรที่ V_{gain} ค่าต่างๆ ทั้งที่มีและไม่มีผลของ body effect.....	54
รูปที่ 6-18 ลักษณะกระแสขาออกของวงจรขยายเมื่อใส่กระแสขาเข้าค่าต่างๆ.....	54
รูปที่ 6-19 ผลตอบสนองเชิงความถี่ของวงจรขยาย	55
รูปที่ 6-20 ผลการวัดความเพี้ยนเชิงเส้นของวงจรขยาย	55
รูปที่ 6-21 การต่อวงจรขยายเพื่อทดสอบการทำงาน	56
รูปที่ 6-22 กระแสขาออกของวงจรขยายเปรียบเทียบกับกระแสขาเข้า.....	57
รูปที่ 6-23 กระแสขาออกของวงจรขยาย เมื่อมีสัญญาณขาเข้าแบบโหมตร่วม	58
รูปที่ 6-24 ความเพี้ยนเชิงเส้นของวงจรขยาย	58
รูปที่ 6-25 ผลตอบทางเวลาของวงจรกรอง	60

รูปที่ 6-26 ผลตอบเชิงความถี่ของวงจรรองที่ค่า I_{un} ต่างๆ	60
รูปที่ 6-27 ความเพี้ยนเชิงเส้นของวงจรรองวัดเป็นหน่วย dB	61



สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 1

บทนำ

1.1 แนวเหตุผลในการทำวิทยานิพนธ์

ในปัจจุบันมีผู้ที่มีความผิดปกติทางการได้ยินเป็นจำนวนมาก คนเหล่านี้จำเป็นต้องใช้เครื่องช่วยฟังในการขยายเสียงให้ได้ยินมากขึ้น โดยเครื่องช่วยฟังในปัจจุบันได้รับการพัฒนาให้มีสมรรถนะในด้านต่างๆ สูง เช่น กำจัดสัญญาณรบกวนต่างๆ ได้ มีขนาดเล็กเพื่อความสะดวกในการใช้งานและไม่เป็นที่สังเกต นอกจากนี้ยังต้องประหยัดพลังงาน เพื่อเพิ่มอายุการใช้งานของแบตเตอรี่และลดพื้นที่ของแบตเตอรี่ภายในเครื่องช่วยฟังได้อีกด้วย

เมื่อความนิยมของการออกแบบวงจรรวม SoC (System on Chip) มีมากขึ้นวงจรรวมภายในเครื่องช่วยฟังจึงได้รับการออกแบบให้มีขนาดเล็กลงมาก ในขณะที่แบตเตอรี่ซึ่งใช้เป็นแหล่งจ่ายพลังงานยังไม่สามารถลดขนาดได้เท่าที่ควร วิธีที่วงจรรวมเครื่องช่วยฟังส่วนใหญ่ในปัจจุบันนิยมใช้คือการใช้แบตเตอรี่ 1 – 1.2 V ก้อนเดียว แล้วใช้วงจรวทวีแรงดัน (Voltage Multiplier) เพิ่มระดับแรงดันให้เพียงพอสำหรับการใช้งาน [1] ทว่าวงจรวทวีแรงดันนั้นใช้พื้นที่มาก และทำให้แบตเตอรี่ที่เป็นแหล่งจ่ายพลังงานมีอายุการใช้งานสั้นลง อีกวิธีหนึ่งคือการใช้หลักการบีบอัดและแผ่ขยายสัญญาณ [2] ซึ่งเป็นวิธีที่มีมานานแล้วในเทคโนโลยีทรานซิสเตอร์ไบโพลาร์ [3] การบีบอัดและแผ่ขยายสัญญาณนั้นใช้วงจรมีเพิ่มเติมจากเดิมเพียงเล็กน้อยก็สามารถใช้งานได้กับแหล่งจ่ายพลังงานที่ต่ำลง

เราสามารถนำเอาหลักการบีบอัดและแผ่ขยายสัญญาณในเทคโนโลยีทรานซิสเตอร์ไบโพลาร์มาใช้ในเทคโนโลยีซีมอสได้ [4] โดยการจำกัดย่านการทำงานของซีมอสให้อยู่ในย่านซับเทรชโฮลด์ (Subthreshold หรือ Weak Inversion) ซึ่งกระแสเดรนมีค่าในระดับไมโครแอมป์ หรือต่ำกว่า ในย่านการทำงานนี้ ซีมอสจะมีลักษณะการทำงานที่คล้ายกับทรานซิสเตอร์ไบโพลาร์ คือมีการบีบอัดและแผ่ขยายสัญญาณในเชิงลอการิทึม แต่ซีมอสจะประหยัดพลังงานกว่า เมื่อนำวิธีนี้มาใช้ร่วมกับหลักการของวงจรรวมคลาสิก เพื่อป้องกันการสูญเสียพลังงานเมื่อไม่มีสัญญาณเข้ามาในวงจรรวม และวิธีผลต่างสัญญาณเพื่อกำจัดสัญญาณรบกวนโหมดร่วม (Common Mode) จะทำให้ได้วงจรมีสมรรถนะสูง

ส่วนประกอบที่สำคัญภายในวงจรรวมเครื่องช่วยฟังที่ต้องออกแบบให้มีประสิทธิภาพ ได้แก่ วงจรขยายและวงจรรอง โดยการออกแบบให้วงจรรวมทำงานด้วยวิธีบีบอัดและแผ่ขยายสัญญาณร่วมกับหลักการวงจรรวมคลาสิก เพื่อประหยัดพลังงาน และใช้วิธีขยายผลต่างเพื่อกำจัดผลของสัญญาณรบกวนโหมดร่วม เทคนิคการบีบอัดและแผ่ขยายสัญญาณในเทคโนโลยีซีมอสยังไม่เป็นที่แพร่หลายนัก วงจรรวมที่ออกแบบนี้จึงมีประโยชน์สามารถใช้ประยุกต์เป็นแนวทาง หรือใช้เป็น

ส่วนประกอบของอุปกรณ์อื่นๆ ที่ใช้เทคโนโลยีซีมอสที่ต้องการให้ใช้พลังงานต่ำได้อีก โดยเฉพาะอย่างยิ่งในอุปกรณ์อิเล็กทรอนิกส์แบบพกพา

ดังนั้นงานวิทยานิพนธ์นี้จึงเสนอการออกแบบวงจรรขยายและวงจรรองของผลต่างแบบซีมอสคลาสเอบีด้วยวิธีบีบอัดและแผ่ขยายเชิงลอการิทึม เพื่อให้วงจรมีใช้พลังงานลดลง สามารถทำงานได้ภายใต้แรงดันต่ำ มีช่วงการทำงานของวงจรมที่เท่ากันทั้งสัญญาณบวกและสัญญาณลบ อีกทั้งสามารถกำจัดผลของสัญญาณรบกวนใหม่ได้ด้วย

1.2 วัตถุประสงค์ของการวิจัย

- 1 ศึกษาหลักการและวิธีการที่ใช้ในการออกแบบวงจรมสำหรับประยุกต์ใช้ในวงจรรวมที่ประหยัดพลังงาน ใช้พื้นที่น้อย และกำจัดสัญญาณรบกวนได้ดี
- 2 ศึกษาที่วิธีการออกแบบวงจรมที่ใช้เทคนิคบีบอัดและแผ่ขยายเชิงลอการิทึม
- 3 ออกแบบวงจรรขยายและวงจรรองผลต่างสัญญาณแบบซีมอสคลาสเอบี ที่ใช้วิธีบีบอัดและแผ่ขยายเชิงลอการิทึม
- 4 พัฒนาวจรรขยายและวงจรรองที่มีประสิทธิภาพสูงกว่าวงจรมที่มีในงานวิจัยปัจจุบัน
- 5 สรุปผลงานวิจัยและเสนอแนวทางในการพัฒนาวจรมต่อไป

1.3 ขอบเขตของการวิจัย

วงจรรขยายและวงจรรองผลต่างสัญญาณแบบซีมอสคลาสเอบี โดยใช้เทคนิคบีบอัดและแผ่ขยายเชิงลอการิทึมที่จะพัฒนาขึ้นในวิทยานิพนธ์นี้ มีข้อกำหนดหลักดังต่อไปนี้

1. ใช้เทคโนโลยีซีมอสขนาด 0.25 ไมโครเมตร
2. แรงดันไฟเลี้ยงต่ำที่สุด 0.6 โวลต์
3. สัญญาณขาเข้าเป็นกระแสมีความถี่ในช่วงความถี่เสียงคือ 20 - 20,000 เฮิร์ตซ์ พิสัยสัญญาณ ± 1 ไมโครแอมป์
4. อัตราขยายของวงจรรขยาย ± 35 เดซิเบล
5. ความถี่ตัดของวงจรรองปรับค่าได้สูงสุด 20 kHz
6. ความเพี้ยนเชิงเส้นของวงจรรขยายและวงจรรอง THD ต่ำกว่า 1%
7. ความสามารถในการกำจัดสัญญาณรบกวนใหม่รวม CMRR สูงกว่า 35 เดซิเบล
8. เปรียบเทียบ ความเป็นเชิงเส้นของวงจรม การกำจัดสัญญาณวิธีร่วม และกำลังกับงานวิจัยอื่นที่มีอยู่ในปัจจุบัน

1.4 วิธีดำเนินการวิจัย

1. ศึกษาและเก็บรวบรวมงานวิจัยที่เกี่ยวข้องกับวงจรขยายและวงจรกรองที่ใช้เทคนิคต่างๆ
2. ศึกษางานวิจัยที่เกี่ยวข้องกับเทคนิคการบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม
3. กำหนดคุณสมบัติของวงจรโดยคร่าวๆ
4. ศึกษาและออกแบบวงจรขยายและกรองพื้นฐานของผลต่าง คลาสเอบี ที่ใช้เทคนิคการบีบอัดสัญญาณเชิงลอการิทึม
5. จำลองผลการทำงานของวงจรที่ออกแบบเปรียบเทียบกับวงจรที่มีอยู่
6. ปรับปรุงและพัฒนาวงจรให้มีประสิทธิภาพมากขึ้น
7. ทดสอบการทำงานของวงจร
8. สรุปและเขียนวิทยานิพนธ์

1.5 ประโยชน์ที่คาดว่าจะได้รับ

1. ได้รับความรู้ความเข้าใจพื้นฐานเกี่ยวกับการสร้างวงจรที่ใช้พลังงานต่ำ โดยวิธีบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม
2. วงจรที่สร้างขึ้นสามารถนำไปประยุกต์ใช้เป็นวงจรขยายและวงจรกรองที่ใช้งานในย่านความถี่เสียง โดยที่มีการใช้พลังงานต่ำ และกำจัดสัญญาณรบกวนไม่หมดรวมได้
3. เทคนิคที่นำเสนอในวิทยานิพนธ์นี้สามารถนำไปประยุกต์ออกแบบวงจรอื่นๆ โดยเฉพาะในอุปกรณ์ไฟฟ้าที่พกพาได้
4. สร้างบุคลากรที่มีความสามารถในการออกแบบวงจรที่ใช้งานซีมอสในย่านซับเทรซไฮลด์
5. เป็นแนวทางและประสบการณ์สำหรับผู้ที่จะพัฒนาวงจรที่ใช้งานซีมอสในย่านซับเทรซไฮลด์ ในอนาคต

1.6 ลำดับการนำเสนอ

วิทยานิพนธ์นี้แบ่งเนื้อหาออกเป็น 7 บท โดยเริ่มจากบทที่ 2 จะกล่าวถึงงานวิจัยที่ได้มีผู้ศึกษามาก่อนพร้อมทั้งเปรียบเทียบคุณสมบัติที่สำคัญของงานวิจัยเหล่านั้น ตลอดจนทฤษฎีหลักการพื้นฐาน

บทที่ 3 กล่าวถึงวงจรที่เกี่ยวข้องและนำมาใช้ในงานวิจัยได้แก่วงจรขยายและวงจรรองพื้นฐานที่ใช้เทคนิคการบีบอัดและขยายสัญญาณเชิงลอการิทึม วงจรอินทิเกรตคลาสเอบีที่ใช้เทคนิคการบีบอัดและขยายสัญญาณเชิงลอการิทึม วงจรสร้างแรงดันอ้างอิงที่จะนำมาใช้ปรับอัตราขยายในวงจรขยาย วงจร ORA และวงจรบัฟเฟอร์

บทที่ 4 เสนอรายละเอียดในการคำนวณและออกแบบวงจรขยายผลต่างสัญญาณคลาสเอบีที่ใช้เทคนิคบีบอัดสัญญาณเชิงลอการิทึม รวมถึงวงจรสร้างแรงดันอ้างอิง และวงจรส่วนประกอบที่สำคัญต่างๆ

บทที่ 5 แสดงรายละเอียดในการคำนวณและออกแบบวงจรอินทิเกรตและวงจรรองผลต่างสัญญาณคลาสเอบีที่ใช้เทคนิคบีบอัดสัญญาณเชิงลอการิทึม

บทที่ 6 แสดงผลการจำลองการทำงานเปรียบเทียบกับผลการทดสอบของวงจรขยายและวงจรรองที่ออกแบบในด้านต่างๆ รวมถึงแสดงการทำงานของวงจรบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม

บทที่ 7 กล่าวถึงสรุปผลงานวิจัย และข้อเสนอแนะในการพัฒนาต่อไป



สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 2

ปริทัศน์วรรณกรรมและความรู้พื้นฐานที่ใช้ในงานวิจัย

เนื้อหาในบทนี้จะนำเสนองานวิจัยเกี่ยวกับวงจรรขยาย และวงจรรองผ่านความถี่ที่ใช้ในวงจรรวมสำหรับเครื่องช่วยฟังที่วิจัยในปัจจุบัน พร้อมทั้งเปรียบเทียบข้อดีข้อเสียของโครงสร้างวงจรรขยาย และวงจรรองผ่านความถี่ที่ออกแบบในงานวิจัยปัจจุบัน ตลอดจนทฤษฎี หลักการพื้นฐานและวงจรที่เกี่ยวข้องกับงานวิจัย

2.1 ปริทัศน์วรรณกรรม

งานวิจัยเกี่ยวกับการออกแบบวงจรรขยาย และวงจรรองผ่านความถี่ที่ใช้ในวงจรรวมสำหรับเครื่องช่วยฟังจากอดีตจนถึงปัจจุบัน มีงานวิจัยมากมายหลายงานวิจัย แต่ละงานวิจัยใช้โครงสร้างเทคนิควิธี และมีคุณสมบัติต่างๆ กัน แสดงดังตารางที่ 2-1 และตารางที่ 2-2 ตามลำดับ

ตารางที่ 2-1 สรุปงานวิจัยเกี่ยวกับวงจรรขยายที่ใช้ในวงจรรวมสำหรับเครื่องช่วยฟังในปัจจุบัน

งานวิจัย	Varona 2003 [5]	Naktongkul 2004 [6]	Serra-Graells 2005 [7]	Duong 2006 [8]
Process	CMOS 0.18 μm	CMOS 0.35 μm	CMOS 0.35 μm	CMOS 0.18 μm
เทคนิค	Δ - Σ modulator and a power efficient switching (class-D) output-stage	Differential Current mode	Log- Companing Class-A	Pseudo- exponential
อัตราขยาย สูงสุด	-	25 dB	-40~40 dB	68~95 dB
แรงดัน ไฟเลี้ยง	1.8 V	1 V	1 V	1.8 V
พลังงานที่ ใช้	350 mW	84 μW	25 μW	3.6 mA
THD	0.07 %	0.09 %	0.6%	-
DR	85 dB	0-25 dB	72-78 dB	-

พื้นที่ (mm ²)	0.3	-	0.16	0.4
----------------------------	-----	---	------	-----

เมื่อพิจารณาเปรียบเทียบงานวิจัยที่เกี่ยวข้องกับวงจรรขยายเหล่านี้ วิธีที่มีประสิทธิภาพโดยรวมสูงสุดก็คืองานของ Serra-Graells [7] ซึ่งใช้เทคนิค Log-Companing หรือการบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม แม้ว่าจะมีความพยายามใช้เทคนิคที่คล้ายคลึงกัน เช่นในงานของ Duong [8] แต่การใช้พลังงานของวงจรถูกเพิ่มขึ้นมาก ในขณะที่งานวิจัย [7] ก็ยังเป็นวงจรรคลาสเอ ที่ใช้พลังงานมาก แม้ว่าจะไม่มีสัญญาณเข้ามาในวงจรเลยก็ตาม ดังนั้นในวิทยานิพนธ์นี้จึงมุ่งพัฒนาวงจรรขยายโดยใช้เทคนิคการบีบอัดและแผ่ขยายเชิงลอการิทึม ร่วมกับหลักการทำงานของวงจรรเบบคลาสเอบี

ตารางที่ 2-2 สรุปงานวิจัยเกี่ยวกับวงจรรองที่ใช้ในวงจรรวมสำหรับเครื่องช่วยฟังในปัจจุบัน

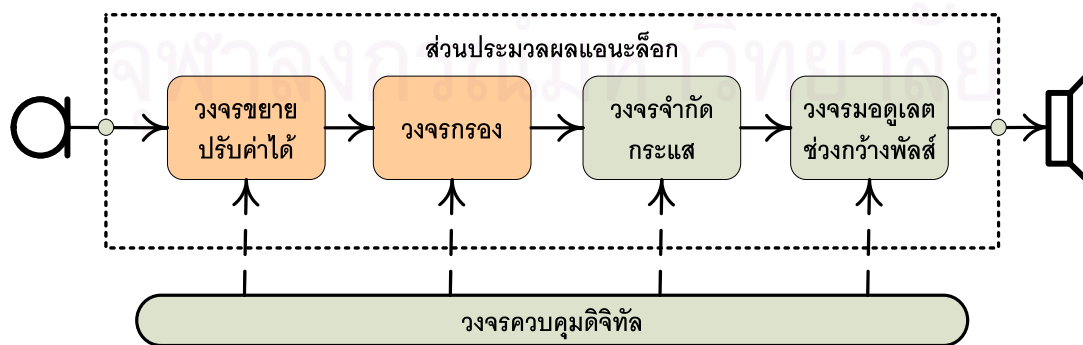
งานวิจัย	Serra-Graells 2001 [9]	Krishnapura 2003 [10]	Omeni 2005 [11]	Redondo 2005 [12]
Design	Class-A	-	Gm-C biquad	Class-AB
Process	CMOS 0.35 µm	CMOS 0.25 µm	CMOS 0.35 µm	CMOS 0.35 µm
เทคนิค	Log- Companing	Log- Companing	Log- Companing	Log- Companing
ความถี่ตัด	500-5 kHz	22 kHz	300-40 kHz	
Supply Voltage	1 V	1.5 V	1.75 V	1 V
พลังงานที่ใช้ ณ จุดทำงานสงบ	150 µW	4.1 µW	200 nW	85 µW
THD	0.5%	1%	0.5%	-
DR	68 dB	-	54 dB	> 68 dB
ขนาดสัญญาณ	10 µA p-p	-	-	10 µA p-p

IMD @ half full-scale	0.15 %	-	-	0.3 %
ค่าตัวเก็บประจุที่ใช้ทั้งหมด	2 nF	-	20 pF	1 nF
พื้นที่ (mm ²)	0.033	0.085	0.06	0.014

งานวิจัยที่เกี่ยวข้องกับวงจรกรองที่ทำการศึกษาทั้งหมดได้ใช้เทคนิคการบีบอัดและแผ่ขยายเชิงลอการิทึม โดยงานของ Serra-Graells [9] มีโครงสร้างที่คล้ายกับวงจรขยายจากงานวิจัย [7] จึงง่ายต่อการศึกษา แต่ก็ยังมีปัญหาที่วงจรนี้ทำงานแบบคลาสเอ เมื่อพิจารณาจากงานของ Krishnapura [10] และ Omeni [11] จะเห็นว่าใช้แรงดันไฟเลี้ยงสูงกว่าในงานวิจัย [9] และ [12] มาก ถึงแม้ว่าวงจรกรองจากงานวิจัยของ Rodondo [12] ได้ออกแบบโดยใช้เทคนิคการบีบอัดและแผ่ขยายเชิงลอการิทึม และเป็นวงจรคลาสเอบีก็ตาม แต่ในรายละเอียดแล้ววงจรนี้เป็นวงจรแบบด้านออกเดี่ยว (Single-ended) ซึ่งไม่ได้ทำงานแบบคลาสเอบีแต่ทั้งวงจร จึงสามารถนำมาพัฒนาให้มีประสิทธิภาพที่ดีขึ้นได้อีก

2.2 โครงสร้างภายในโดยทั่วไปของวงจรรวมเครื่องช่วยฟัง

วงจรเครื่องช่วยฟังโดยทั่วไปมีโครงสร้างหลักจาก Serra-Graells [13] ดังแสดงในรูปที่ 2-1 ในส่วนประมวลผลแอนะล็อกประกอบด้วย วงจรขยายแบบปรับอัตราขยายได้ (Gain Control Amplifier) วงจรกรอง (Filtering) วงจรจำกัดกระแส (Limiter) ทำหน้าที่ป้องกันสัญญาณที่มีขนาดใหญ่เกินไปไม่ให้อ่านไปยังลำโพงได้ และวงจรมอดูเลตช่วงกว้างพัลส์ (Pulse-Duration Modulation หรือ PDM) ที่ใช้เมื่อต่อกับลำโพงแบบดิจิตอล ส่วนควบคุมดิจิตอลทำหน้าที่ควบคุมการทำงานของวงจรทั้งหมดตามคำสั่งของผู้ใช้

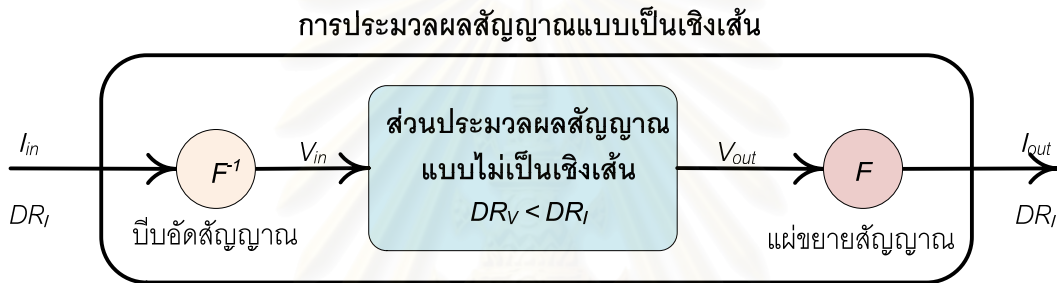


รูปที่ 2-1 โครงสร้างหลักภายในวงจรรวมเครื่องช่วยฟัง

จากรูปที่ 2-1 ส่วนประกอบที่สำคัญที่สุดในเครื่องช่วยฟังคือวงจรรขยายและวงจรรอง โดยวงจรรขยายต้องสามารถปรับอัตราขยายได้ และวงจรรองต้องสามารถปรับเลือกความถี่ตัดได้ด้วย

2.3 เทคนิคการบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม

เทคนิคการบีบอัดสัญญาณที่จะนำมาใช้ออกแบบวงจรรขยายและวงจรรองอินทิเกรต มีจุดเด่นที่สามารถนำมาสร้างเป็นวงจรที่ใช้พลังงานต่ำ โดยมีโครงสร้างการทำงานดังแสดงในรูปที่ 2-2 สัญญาณที่เข้ามาในโดเมน I จะถูกบีบอัดให้อยู่ในโดเมน V ด้วยฟังก์ชัน F^{-1} แล้วผ่านกระบวนการภายในซึ่งไม่เป็นเชิงเส้น จากนั้นจึงขยายออกให้กลับเป็นสัญญาณในโดเมน I ด้วยฟังก์ชัน F โดยที่กระบวนการทั้งหมดเมื่อมองในโดเมน I แล้วจะเป็นกระบวนการเชิงเส้น



รูปที่ 2-2 โครงสร้างการทำงานของหลักการบีบอัดและแผ่ขยายสัญญาณ

การบีบอัดสัญญาณเพื่อนำมาประมวลผลจะทำให้พิสัยพลวัต (Dynamic Range) ของวงจรภายในมีค่าน้อย เหมาะกับระบบที่ใช้แหล่งจ่ายแรงดันต่ำ ซึ่งเป็นผลให้พลังงานที่ใช้ต่ำไปด้วย ฟังก์ชัน F ที่นิยมใช้กันมากที่สุดคือเอกซ์โพเนนเชียล เรียกว่าการบีบอัดสัญญาณในเชิงลอการิทึม คุณสมบัตินี้มีอยู่ในฟังก์ชันถ่ายโอน (transfer characteristic) ของไบโพลาร์ทรานซิสเตอร์ โดยที่โดเมน I เป็นโดเมนของสัญญาณในรูปแบบกระแส และ โดเมน V เป็นโดเมนของสัญญาณในรูปแบบแรงดัน ซึ่งเราสามารถนำซีมอสที่ทำงานในย่านซับเทรชโฮลด์มาใช้แทนได้

2.3.1 ลักษณะสมบัติของซีมอสที่ทำงานในย่านซับเทรชโฮลด์

จากโมเดล EKV [14] เมื่อเราใช้งาน NMOS โดยให้แรงดันคร่อมขาเกตและซอร์ซของมอส (V_{GS}) มีค่าน้อยกว่าแรงดันเทรชโฮลด์ (V_{TO}) ทำให้ NMOS ทำงานในย่านซับเทรชโฮลด์ จะมีสมการระหว่างกระแสและแรงดันเป็นแบบเอกซ์โพเนนเชียลดังสมการ (2.1)

$$I_D = I_s \exp\left[\frac{V_{GB} - V_{TO}}{nU_t}\right] \left(\exp\left[-\frac{V_{SB}}{U_t}\right] - \exp\left[-\frac{V_{DB}}{U_t}\right] \right) \quad (2.1)$$

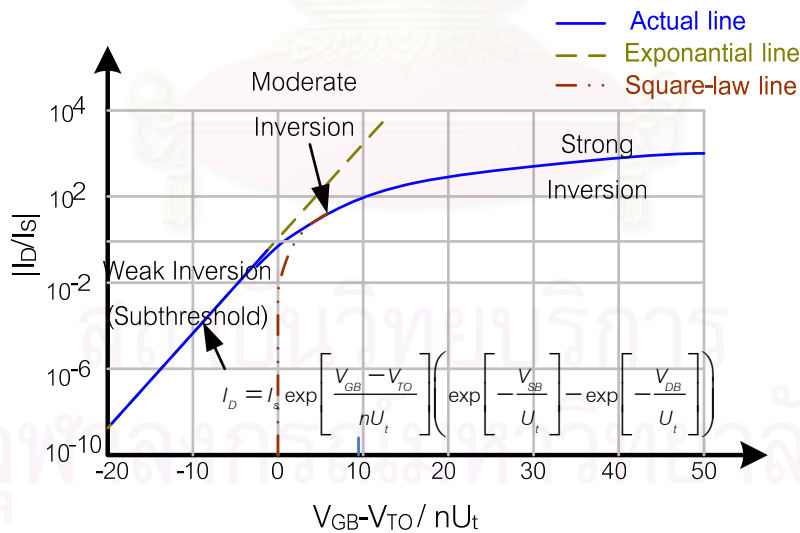
เมื่อ $-V_{SB,DB} \gg \frac{V_{GB} - V_{TO}}{n}$

- และ $I_s = 2n\beta U_t^2$
- โดย I_s คือ กระแสจำเพาะ
- n คือ ความชันขั้วเทอร์ชโฮลด์
- β คือ ตัวคูณกระแส
- V_{TO} คือ แรงดันขั้วเริ่มเปลี่ยน
- U_t คือ แรงดันเชิงอุณหภูมิ มีค่าประมาณ 25 mV ที่อุณหภูมิ 300 K

สำหรับ PMOS ที่ทำงานในย่านขั้วเทอร์ชโฮลด์ จะมีสมการระหว่างกระแสและแรงดันเป็นแบบเอกซ์โพเนนเชียลดังสมการ (2.2)

$$\left[I_D(V_{GB}, V_{SB}, V_{DB}) \right]_{PMOS} = \left[-I_D(-V_{GB}, -V_{SB}, -V_{DB}) \right]_{NMOS} \quad (2.2)$$

ลักษณะสมบัติของมอสที่ทำงานในย่านขั้วเทอร์ชโฮลด์ เมื่อกำหนดให้แรงดันที่ขาซอร์สและเดรนของมอสเป็นค่าคงที่ จะมีความสัมพันธ์ระหว่าง I_D กับ V_{GB} ในเชิงเอกซ์โพเนนเชียลดังแสดงในรูปที่ 2-3 ตรงกับความต้องการของหลักการบีบอัดและแผ่ขยายสัญญาณ กล่าวคือสามารถบีบอัดสัญญาณที่อยู่ในรูปแบบกระแสให้เป็นแรงดันในเชิงลอการิทึม และขยายสัญญาณในรูปแบบของแรงดันกลับไปเป็นกระแสในเชิงเอกซ์โพเนนเชียลได้



รูปที่ 2-3 ลักษณะสมบัติของซีมอสในย่านการทำงานต่างๆ

มอสที่ทำงานในย่าน ขั้วเทอร์ชโฮลด์ มีรูปแบบการใช้งานเป็นวงจรมีบอัดและแผ่ขยายสัญญาณ 3 แบบ [13] คือ GD (Gate Driven), SD (Source Driven) และ BD (Bulk Driven) ทั้งสามแบบมีลักษณะการต่อวงจร และมีข้อดีข้อเสียดังแสดงในตารางที่ 2-3

ตารางที่ 2-3 รูปแบบและข้อดีข้อเสียของการใช้งานมอสในย่าน ชั้นเทรซไฮลด์

รูปแบบ	ข้อดี	ข้อเสีย
<p style="text-align: center;">GD (Gate Driven)</p> <p style="text-align: center;">วงจรรีบอัด วงจรแผ่ขยาย</p>	<p>วงจรระหว่าง V_{in} และ V_{out} ไม่จำเป็นต้องมีความต้านทานขาเข้าสูง</p>	<p>อัตราบีบอัดและแผ่ขยายสัญญาณขึ้นกับค่า n</p>
<p style="text-align: center;">SD (Source Driven)</p> <p style="text-align: center;">วงจรรีบอัด วงจรแผ่ขยาย</p>	<p>มี gain sensitivity ดีที่สุด อัตราบีบอัดและแผ่ขยายสัญญาณไม่ขึ้นกับเทคโนโลยี</p>	<p>วงจรระหว่าง V_{in} และ V_{out} ต้องมีความต้านทานขาเข้าต่ำ</p>
<p style="text-align: center;">BD (Bulk Driven)</p> <p style="text-align: center;">วงจรรีบอัด วงจรแผ่ขยาย</p>	<p>อัตราบีบอัดและแผ่ขยายสัญญาณที่สูงที่สุด</p>	<p>พิสัยสัญญาณขาเข้าแคบ และใช้ได้กับบางเทคโนโลยีเท่านั้น</p>

เมื่อ $V_{SB} \ll V_{DB}$ จะสามารถประมาณสมการ (2.1) ได้ดังสมการ (2.3)

$$I_D \approx I_S \exp \left[\frac{V_{GB} - V_{TO}}{nU_t} \right] \exp \left[-\frac{V_{SB}}{U_t} \right] \quad (2.3)$$

ดังนั้นความสัมพันธ์ระหว่างกระแสและแรงดันในวงจรมีบัสต์และแผ่ขยายกระแสเชิง
ลอการิทึมแบบ GD SD และ BD ตามตารางที่ 2-3 จึงเขียนได้ดังสมการ (2.4) ถึง (2.6)

วงจรมีบัสต์ GD

$$I_{in} = I_s \exp \left[-\frac{V_{TO} + nV_{biasi}}{nU_t} \right] \exp \left[\frac{V_{in}}{nU_t} \right]$$

และ

$$I_{out} = I_s \exp \left[-\frac{V_{TO} + nV_{biaso}}{nU_t} \right] \exp \left[\frac{V_{out}}{nU_t} \right] \quad (2.4)$$

วงจรมีบัสต์ SD

$$I_{in} = I_s \exp \left[\frac{V_{biasi} - V_{TO}}{nU_t} \right] \exp \left[-\frac{V_{in}}{U_t} \right]$$

และ

$$I_{out} = I_s \exp \left[\frac{V_{biaso} - V_{TO}}{nU_t} \right] \exp \left[-\frac{V_{out}}{U_t} \right] \quad (2.5)$$

วงจรมีบัสต์ BD

$$I_{in} = I_s \exp \left[\frac{V_{biasi} - V_{TO}}{nU_t} \right] \exp \left[\left(1 - \frac{1}{n} \right) \frac{V_{in}}{U_t} \right]$$

และ

$$I_{out} = I_s \exp \left[\frac{V_{biaso} - V_{TO}}{nU_t} \right] \exp \left[\left(1 - \frac{1}{n} \right) \frac{V_{out}}{U_t} \right] \quad (2.6)$$

ดังนั้นการปรับอัตราขยาย I_{out}/I_{in} จะทำได้โดยการปรับค่า V_{biasi} กับ V_{biaso} และให้ $V_{in} = V_{out}$ เพื่อความสะดวกจะอธิบายวงจรมีบัสต์ต่างๆ ต่อจากนี้ไปโดยใช้วงจรมีบัสต์และแผ่ขยาย
สัญญาณเชิงลอการิทึมแบบ GD เนื่องจากเป็นวงจรมีบัสต์ที่ควบคุมง่าย เมื่อนำไปสร้างเป็น
วงจรมีบัสต์และวงจรมีบัสต์อินทิเกรตจะมีข้อดีที่กว่าวงจรมีบัสต์และแผ่ขยายเชิงลอการิทึมแบบอื่น

2.3.2 ผลของอุณหภูมิต่อซีมอสที่ทำงานในย่านซับเทรซไฮลด์

ในการปรับอัตราขยายของวงจรมีบัสต์ที่จะออกแบบนี้ จำเป็นต้องสร้างแหล่งจ่าย
แรงดันอ้างอิงขึ้น โดยแหล่งจ่ายแรงดันที่สร้างขึ้นนี้จะให้แรงดันที่ขึ้นกับอุณหภูมิ โดย
ความสัมพันธ์ระหว่าง V_{GS} และ V_{TH} ของซีมอสที่ทำงานในย่านซับเทรซไฮลด์ จะขึ้นกับ
อุณหภูมิ [15] ดังสมการ (2.7)

$$V_{GS}(T) = V_{TH}(T) + V_{OFF} + \frac{n(T)}{n(T_0)} (V_{GS}(T_0) - V_{TH}(T_0) - V_{OFF}) \frac{T}{T_0} \quad (2.7)$$

$n(T)$ คือ ค่าความชันขั้วเทรชโฮลด์ที่เป็นฟังก์ชันของอุณหภูมิ ซึ่งหาได้จากค่าตัวเก็บประจุออกไซด์ (C_{ox}) และตัวเก็บประจุในย่านปลอดภัย (C_d) ดังสมการ

$$n(T) = 1 + C_d / C_{ox}$$

V_{OFF} คือ แรงดันออฟเซตในย่านขั้วเทรชโฮลด์ สำหรับโมเดล BSIM3v3 คือ -0.08 V

เนื่องจาก $n(T)$ เปลี่ยนตามอุณหภูมิอย่างมากจึงประมาณได้ว่า $n(T) \approx n(T_0)$ สมการความสัมพันธ์ระหว่างแรงดันคร่อมขาเกตและซอร์ส (V_{GS}) และแรงดันเทรชโฮลด์ (V_{TH}) จึงเป็นดังสมการ (2.8)

$$\frac{\partial V_{GS}(T)}{\partial T} \approx \frac{K_T}{T_0} + \frac{V_{GS}(T_0) - V_{TH}(T_0) - V_{OFF}}{T_0} \quad (2.8)$$

T คือ อุณหภูมิสัมบูรณ์

T_0 คือ อุณหภูมิห้อง โดยโมเดล BSIM3v3 ตั้งค่าไว้ที่ 27 °C

K_T คือ ค่าสัมประสิทธิ์ทางอุณหภูมิสำหรับแรงดันเทรชโฮลด์ ในโมเดล BSIM3v3 ตั้งค่าไว้ที่ -0.11 V

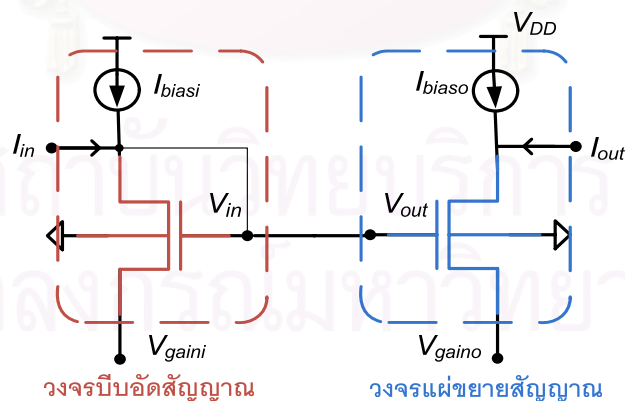
บทที่ 3

วงจรพื้นฐานที่นำมาใช้ในงานวิจัย

เนื้อหาในบทนี้จะกล่าวถึงวงจรขยาย วงจรอินทิเกรต และวงจรต่างๆ ที่เป็นองค์ประกอบสำคัญในการออกแบบวงจรขยายและวงจรกรองที่ใช้เทคนิคบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม โดยวงจรขยายนี้จะต้องมีวงจรสำหรับสร้างแรงดันปรับค่าได้ เพื่อใช้ปรับอัตราขยาย วงจรบัฟเฟอร์แรงดันที่จะต้องนำมาใช้ต่อระหว่างวงจรสร้างแรงดันปรับค่าได้ กับวงจรขยาย และวงจร ORA (Operational resistance amplifier) เพื่อช่วยลดความต้านทานขาเข้าของวงจร ในส่วนของวงจรกรองก็จะกล่าวถึงวงจรอินทิเกรตซึ่งเป็นวงจรพื้นฐานที่จะนำมาพัฒนาเป็นวงจรกรองได้ และวงจรอินทิเกรตคลาสเอบีที่นำเสนอโดย Redondo [12] ก็เป็นวงจรที่งานวิจัยนี้นำเอาโครงสร้างหลักมาพัฒนาให้มีประสิทธิภาพเพิ่มขึ้น

3.1 วงจรขยายที่ใช้เทคนิคการบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม

Serra-Graells [13] ได้เสนอวงจรขยายที่ใช้เทคนิคการบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึมอย่างง่าย ที่ใช้โครงสร้างแบบ GD แสดงไว้ในรูปที่ 3-1 จะเห็นว่าวงจรนี้จำเป็นต้องมีกระแสไบแอสสำหรับควบคุมการทำงานที่จุดทำงานสงบ และมีอัตราขยายกระแสเป็นดังสมการ (3.1)



รูปที่ 3-1 วงจรขยายอย่างง่ายที่ใช้เทคนิคบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม

จากสมการ (2.4) จะเห็นว่าวงจรด้านบีบอัดสัญญาณมีสมการคือ

$$I_{in} + I_{bias1} = I_s \exp \left[-\frac{V_{TO} + nV_{gain1}}{nU_t} \right] \exp \left[\frac{V_{in}}{nU_t} \right]$$

และวงจรแผ่ขยายสัญญาณจะมีสมการคือ

$$I_{out} + I_{biaso} = I_s \exp\left[-\frac{V_{TO} + nV_{gaino}}{nU_t}\right] \exp\left[\frac{V_{out}}{nU_t}\right]$$

เนื่องจาก $V_{in} = V_{out}$ จึงได้ฟังก์ชันถ่ายโอนของวงจรในรูปที่ 3-1 ดังสมการที่ (3.1)

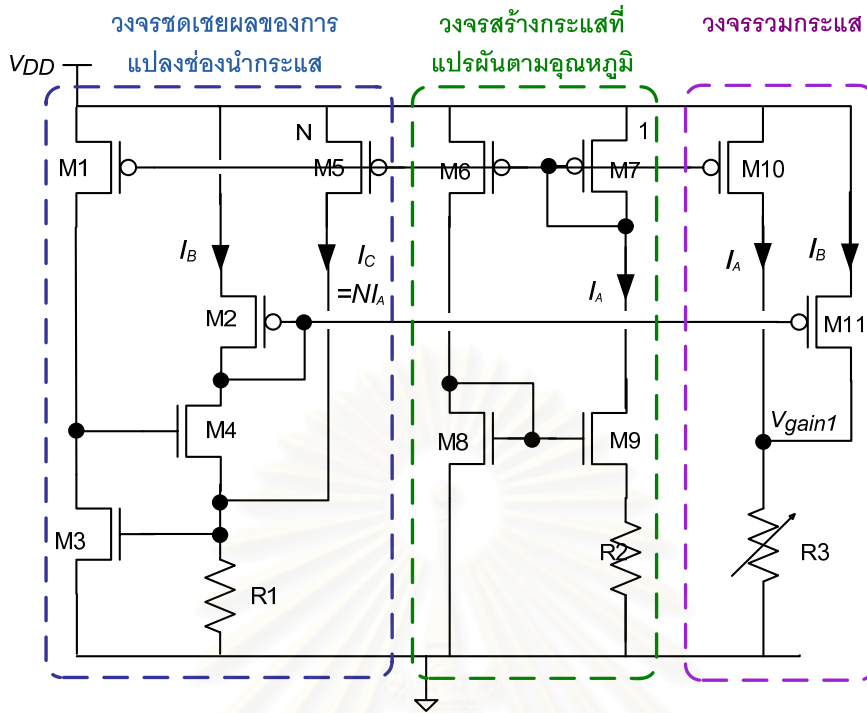
$$\frac{I_{out} + I_{biaso}}{I_{in} + I_{biasi}} = \exp\left[\frac{V_{gaini} - V_{gaino}}{U_t}\right] \quad (3.1)$$

จากสมการ (3.1) จะเห็นว่าวงจรมีการขยายสัญญาณ โดยเลือกอัตราขยายได้จากการปรับค่า V_{gaini} หรือ V_{gaino} ก็ได้ แต่วงจรมีการทำงานแบบคลาสเอ ทำให้ต้องใช้กระแสไบแอสมาก แม้ว่าจะไม่มีสัญญาณเข้ามาในวงจรเลยก็ตาม

เพื่อลดการใช้พลังงานของวงจรลง ในงานวิจัยนี้จึงได้นำหลักการของวงจรคลาสเอบี มาใช้ออกแบบวงจรมีการขยาย โดยใช้โครงสร้างบิโอดและแผ่ขยายสัญญาณที่กล่าวถึงนี้เป็นโครงสร้างหลักในการพัฒนางจร

3.2 วงจรสร้างแรงดันอ้างอิงที่ใช้มีมอสทำงานในย่านซับเทรซโฮลด์

วงจรสร้างแรงดันอ้างอิงที่นำเสนอโดย Huang [17] ดังรูปที่ 3-2 เป็นวงจรที่ทำงานในย่านซับเทรซโฮลด์ ในงานวิจัยนี้นำหลักการของวงจรมานำมาสำหรับสร้างแรงดัน V_{gaini} หรือ V_{gaino} เพื่อปรับอัตราขยายในวงจรมีการขยาย โดยแบ่งวงจรตามการทำงานออกเป็น 3 ส่วน คือ วงจรสร้างกระแสที่แปรผันตามอุณหภูมิ (Proportional to Absolute Temperature หรือ PTAT Current Generator) วงจรชดเชยผลของการแปลงความยาวช่องนำกระแส (Channel-length modulation compensator) และ วงจรรวมกระแสเพื่อสร้างแรงดันอ้างอิง (Current Summing)



รูปที่ 3-2 วงจรสร้างแรงดันอ้างอิง

— วงจรสร้างกระแสที่แปรผันตามอุณหภูมิ (Proportional to Absolute Temperature หรือ PTAT Current Generator) ประกอบด้วยมอด M6-M9 และตัวต้านทาน R2 มอด M8 และ M9 จะสร้างกระแส I_A ที่เปลี่ยนแปลงตามอุณหภูมิ โดยมีสมการการทำงานของวงจรดังต่อไปนี้

เนื่องจาก

$$I_A = I_{D9} = I_{s9} \exp \left[-\frac{V_{TO} + nV_{SB9}}{nU_t} \right] \exp \left[\frac{V_{GB9}}{nU_t} \right]$$

และ

$$I_{D8} = I_{s8} \exp \left[-\frac{V_{TO} + nV_{SB8}}{nU_t} \right] \exp \left[\frac{V_{GB8}}{nU_t} \right]$$

ให้ M6 และ M7 มีคุณสมบัติเหมือนกันจะได้ว่า $I_{D8} = I_{D9} = I_A$

ดังนั้น

$$\frac{I_{D9}}{I_{D8}} = 1 = \frac{I_{s9}}{I_{s8}} \exp \left[\frac{-V_{SB9} + V_{SB8}}{U_t} \right] \exp \left[\frac{V_{GB9} - V_{GB8}}{nU_t} \right]$$

$$\frac{I_{s9}}{I_{s8}} = \frac{(W/L)_9}{(W/L)_8} = \exp \left[\frac{V_{SB9} - V_{SB8}}{U_t} \right] \exp \left[\frac{V_{GB8} - V_{GB9}}{nU_t} \right]$$

เนื่องจาก
ดังนั้น

$$V_{GB8} = V_{GB9}$$

$$\left(\frac{W/L}{W/L}\right)_9 = \exp\left[\frac{nV_{SB9} - nV_{SB8}}{nU_t}\right]$$

จะเห็นว่า

$$V_{GS8} = V_{GS9} + I_A R_2 \quad (3.2)$$

ดังนั้น

$$V_{SB9} - V_{SB8} = I_A R_2 = U_t \ln\left[\frac{\left(\frac{W/L}{W/L}\right)_9}{\left(\frac{W/L}{W/L}\right)_8}\right]$$

เมื่อ W_{eff} คือ ความกว้างประสิทธิผลของมอด

และ L_{eff} คือ ความยาวประสิทธิผลของมอด

ให้ $P = W_{eff}/L_{eff}$

จัดรูปได้เป็น

$$I_A = \frac{kT}{qR_2} \ln\left[\frac{P_9}{P_8}\right] \quad (3.3)$$

โดยที่ k คือ ค่าคงตัวโบลต์ซมันน์

T คือ อุณหภูมิสัมบูรณ์

q คือ ค่าประจุของอิเล็กตรอน

จากสมการ (3.3) จะเห็นว่า I_A เป็นกระแสที่แปรผันตามอุณหภูมิ ซึ่งเราสามารถออกแบบให้วงจรสร้างแรงดันอ้างอิงที่ไม่แปรผันตามอุณหภูมิได้

— วงจรชดเชยผลของการแปลงผันความยาวช่องนำกระแส (Channel-length modulation compensator) วงจรส่วนนี้สามารถช่วยชดเชยผลของการแปลงผันความยาวช่องนำกระแสที่จะทำให้ I_A เปลี่ยนจากที่คำนวณตามสมการ (3.3) วงจรประกอบด้วยมอด $M1-M5$ และตัวต้านทาน $R1$ โดยมอด $M1$ จะสะท้อนกระแส I_A นำมาสร้าง V_{GS3} ในขณะที่มอด $M5$ จะสะท้อนกระแส I_A เป็น N เท่า

จะเห็นว่า

$$I_C = NI_A$$

และ

$$I_B + I_C = V_{GS3}/R_1$$

ดังนั้น

$$I_B + NI_A = V_{GS3}/R_1$$

เนื่องจากมอด $M10$ และ $M11$ สะท้อนกระแส I_A และ I_B ตามลำดับ

จะได้ว่า

$$V_{gain1} = \left[\frac{P_{10}}{P_7} I_A + \frac{P_{11}}{P_2} I_B \right] R_3$$

แทนค่า I_B

$$V_{gain1} = \left[\frac{P_{10}}{P_7} I_A + \frac{P_{11}}{P_2} \left(\frac{V_{GS3}}{R_1} - N I_A \right) \right] R_3 \quad (3.4)$$

หาอนุพันธ์ของ V_{gain1} เทียบกับ V_{DD} ได้ดังนี้

$$\frac{\partial V_{gain1}}{\partial V_{DD}} = \left[\frac{P_{10}}{P_7} \frac{\partial I_A}{\partial V_{DD}} + \frac{P_{11}}{P_2} \left(\frac{1}{R_1} \frac{\partial V_{GS3}}{\partial V_{DD}} - N \frac{\partial I_A}{\partial V_{DD}} \right) \right] R_3$$

ทำการหาค่า $\frac{\partial V_{GS3}}{\partial V_{DD}}$ โดยการหาสมการความสัมพันธ์ระหว่าง V_{GS} และ I_A

เนื่องจาก

$$I_A \frac{P_1}{P_7} = I_{D3} = I_{s3} \exp \left[-\frac{V_{TO}}{nU_t} \right] \exp \left[\frac{V_{GB3}}{nU_t} \right]$$

จะได้

$$V_{GS3} = V_{GB3} = nU_t \ln \left[\frac{P_1 I_A}{P_7 I_{s3}} \right] + V_{TO}$$

หาอนุพันธ์ของ V_{GS3} เทียบกับ V_{DD} ได้ดังนี้

$$\frac{\partial V_{GS3}}{\partial V_{DD}} = \frac{\partial \left(nU_t \ln \left[\frac{I_A P_1}{P_7} \right] - nU_t \ln [I_{s3}] + V_{TO} \right)}{\partial V_{DD}}$$

$$\frac{\partial V_{GS3}}{\partial V_{DD}} = \frac{nU_t}{I_A} \frac{\partial I_A}{\partial V_{DD}}$$

ดังนั้น

$$\frac{\partial V_{gain1}}{\partial V_{DD}} = \left[\frac{P_{10}}{P_7} + \frac{P_{11}}{P_2} \left(\frac{nU_t}{R_1 I_A} - N \right) \right] R_3 \frac{\partial I_A}{\partial V_{DD}}$$

หรือ

$$\frac{\partial V_{gain1}}{\partial I_A} = \left[\frac{P_{10}}{P_7} + \frac{P_{11}}{P_2} \left(\frac{nU_t}{R_1 I_A} - N \right) \right] R_3 \quad (3.5)$$

จะเห็นได้ว่า ยิ่ง N มีค่ามาก จะช่วยลดผลของการแปลงผันความยาวช่องกระแส จากการสร้างกระแส I_A ที่มีต่อแรงดันอ้างอิง V_{gain1} ได้

– วงจรรวมกระแส (Current Summing) ประกอบด้วยมอส $M10-M11$ ตัวต้านทานปรับค่าได้ R_3 สำหรับสร้างแรงดัน V_{gain1}

จากสมการ (3.4) และสมการ (3.3)

จะได้ว่า

$$V_{gain1} = \left[\frac{P_{10}}{P_7} \frac{U_t}{R_2} \ln \left[\frac{P_9}{P_8} \right] + \frac{P_{11}}{P_2} \left(\frac{V_{GS3}}{R_1} - N \frac{U_t}{R_2} \ln \left[\frac{P_9}{P_8} \right] \right) \right] R_3 \quad (3.6)$$

เพื่อให้ได้ V_{gain1} ที่ไม่ขึ้นกับอุณหภูมิ หรือ $\frac{\partial V_{gain1}}{\partial T} = 0$

$$\frac{\partial V_{gain1}}{\partial T} = \left(\frac{P_{10}}{P_7} - N \frac{P_{11}}{P_2} \right) \ln \left[\frac{P_9}{P_8} \right] \frac{R_3}{R_2} \frac{\partial U_t}{\partial T} + \frac{P_{11}}{P_2} \frac{R_3}{R_1} \frac{\partial V_{GS3}}{\partial T} = 0$$

จากความสัมพันธ์ของ V_{GS} ต่ออุณหภูมิในสมการที่ (2.8) จะสามารถหาอนุพันธ์ของ V_{GS} เทียบกับอุณหภูมิได้ดังนี้

จะได้ว่า

$$\frac{\partial V_{GS}(T)}{\partial T} = \frac{K_T}{T_0} + \frac{(V_{GS}(T_0) - V_{TH}(T_0) - V_{OFF})}{T_0}$$

$$\alpha \frac{K}{q} + \beta \frac{K_T + V_{GS3}(T_0) - V_{TH}(T_0) - V_{OFF}}{T_0} = 0$$

$$\text{โดยที่ } \alpha = \left(\frac{P_{10}}{P_7} - N \frac{P_{11}}{P_2} \right) \ln \left[\frac{P_9}{P_8} \right] \frac{R_3}{R_2} \text{ และ } \beta = \frac{P_{11}}{P_2} \frac{R_3}{R_1}$$

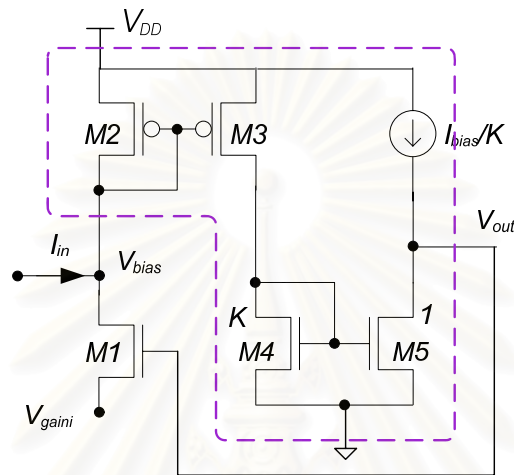
ดังนั้นเพื่อที่จะกำจัดผลของอุณหภูมิในแรงดันอ้างอิงที่จะนำไปใช้งาน จึงต้องออกแบบวงจรให้เป็นไปตามเงื่อนไขในสมการที่ (3.7)

$$\frac{\alpha}{\beta} = - \frac{q (K_T + V_{GS3}(T_0) - V_{TH}(T_0) - V_{OFF})}{K T_0} \quad (3.7)$$

เมื่อออกแบบวงจรให้ V_{gain1} ไม่แปรผันตามอุณหภูมิและชดเชยผลของการแปลงผันความยาวช่องนำกระแสจากการสร้างกระแส I_A แล้ว แรงดันอ้างอิงที่ได้จากวงจรจะสามารถควบคุมจากการปรับค่าความต้านทาน R_3 เพียงอย่างเดียวได้

3.3 วงจร ORA (Operational Resistance Amplifier)

เพื่อลดความต้านทานขาเข้าของวงจรบิบัติสัญญาณเชิงลอการิทึม จำเป็นจะต้องใช้วงจร ORA (Operational Resistance Amplifier) เพื่อมาต่อระหว่างขาเดรนและขาเกตของมอสที่ทำหน้าที่บิบัติสัญญาณ วงจร ORA ที่นำมาใช้จาก Serra-Graells [13] มีลักษณะวงจรมีดังรูปที่ 3-3 โดยวงจร ORA นี้มีสัญญาณขาเข้าเป็นกระแส และสัญญาณขาออกของวงจรเป็นแรงดัน V_{out}



รูปที่ 3-3 วงจร ORA เมื่อต่อเข้ากับวงจรขยายด้านบิบัติสัญญาณ

เมื่อกระแสขาเข้า I_{in} มีค่าเพิ่มขึ้น กระแสที่ไหลผ่านมอส M2 จะลดลง เช่นเดียวกับมอส M3 และ M4 ในขณะที่มอส M5 ยังคงมีกระแสไหลเท่าเดิม ทำให้แรงดันที่ขาเดรนของมอส M5 หรือแรงดัน V_{out} มีค่าเพิ่มขึ้นโดยมีความต้านทานขาเข้า (R_{in}) เป็นดังสมการที่ (3.8) เปรียบเทียบกับวงจรบิบัติสัญญาณที่ไม่มี ORA จะมีความต้านทานขาเข้าเป็น $\frac{1}{g_{m1} + g_{mg1}}$ จะเห็นได้ว่าการใช้ ORA จะช่วยให้ความต้านทานขาเข้าลดลงได้มาก

$$R_{in} = \frac{1}{g_{md1} L}, \quad L = \text{อัตราขยายวงรอบ} \quad (3.8)$$

$$L = \frac{1}{K} \frac{g_{mg2}}{g_{m5}}$$

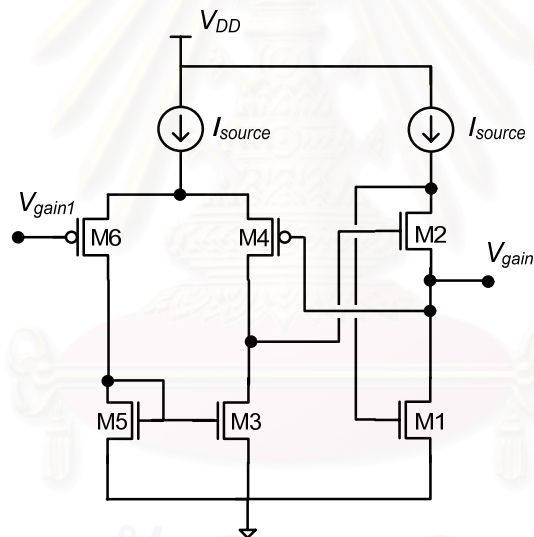
$$\text{โดยที่ } g_{mg} \text{ คือ } \frac{\partial I_d}{\partial V_{GB}} \quad g_{md} \text{ คือ } \frac{\partial I_d}{\partial V_{DB}} \quad \text{และ } g_{ms} \text{ คือ } \frac{\partial I_d}{\partial V_{SB}}$$

จากสมการที่ (3.8) จะเห็นว่า การปรับลดค่า K จะเพิ่มอัตราขยายวงรอบ (loop gain) เป็นผลให้ความต้านทานขาเข้าลดลงอีก แต่ในขณะเดียวกันก็จะเพิ่มปริมาณกระแสที่ไบแอสมอส M5 (I_{bias}/K) ด้วย ทั้งนี้ความสัมพันธ์ระหว่าง I_{in} กับ V_{in} ยังคงเป็นไปตามสมการที่ (3.9)

$$V_{in} = nU_t \ln \left[\frac{I_{in}}{I_{S1}} \right] + V_{TO} + nV_{gain1} \quad (3.9)$$

3.4 วงจรบัฟเฟอร์แรงดัน

ในการนำเอาแรงดันที่ได้จากวงจรสร้างแรงดันอ้างอิงมาใช้ในการปรับอัตราขยายในวงจรขยาย จำเป็นต้องมีวงจรบัฟเฟอร์แรงดัน [13] มาต่อระหว่างวงจรทั้งสอง วงจรบัฟเฟอร์แรงดันนี้มีลักษณะวงจรดังแสดงในรูปที่ 3-4 จะทำหน้าที่ขับกระแสและควบคุมแรงดันให้วงจรขยายด้านป้อนสัญญาณ โดยที่จะให้ $V_{gain1} = V_{gaini}$ ทั้งนี้วงจรบัฟเฟอร์แรงดันจะต้องมีสัญญาณขาเข้าขนาดเล็ก มีขนาดอยู่ระหว่างศูนย์ ถึง 200 มิลลิโวลต์ ($8U_t$) มีความต้านทานขาเข้าสูง ($I_{gain1}=0$) ความต้านทานขาออกต่ำ มีความสามารถในการรับกระแส (Sink capability) โดยมีความต้านทานขาออกดังสมการที่ (3.10)



รูปที่ 3-4 วงจรบัฟเฟอร์แรงดัน V_{gain}

$$R_{out} = \frac{1}{g_{md1} + g_{mg1} \left(1 + \frac{g_{ms2} + G_{OVA}g_{mg2}}{g_{md2}} \right)} \quad (3.10)$$

โดย

$$G_{OVA} = \frac{g_{mg4,6}}{g_{md4} + g_{md3}}$$

การเลือกค่า I_{source} จะมีผลต่อแบนด์วิดท์ และ PSRR (Power Supply Rejection Ratio) ของวงจร ดังนั้นจึงต้องคำนึงถึงคุณสมบัติของวงจรเหล่านี้ด้วย นอกจากนี้ขนาดแรงดันขาเข้า V_{gain1} ที่เล็กที่สุดจะเป็นดังสมการ (3.11)

$$\text{เมื่อให้ } I_{max} \gg I_{source}$$

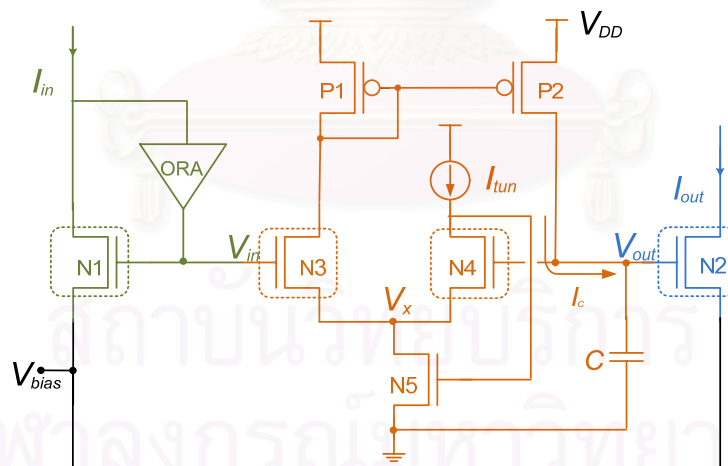
$$V_{gain1min} \approx \frac{I_{max}}{\beta \left(\frac{W}{L} \right)_1 (V_{DD} + V_{sat} - V_{TO})} \quad (3.11)$$

โดย V_{sat} คือแรงดันตกคร่อม I_{source} ที่มีค่าน้อยที่สุดที่จะทำให้วงจรยังทำงานตามที่ต้องการ และ I_{max} คือกระแสมากที่สุดที่มอสในวงจรจะรับได้

3.5 วงจรอินทิเกรตที่ใช้เทคนิคการบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม

3.5.1 วงจรอินทิเกรตพื้นฐานคลาสเอ

วงจรอินทิเกรตคลาสเอที่ใช้เทคนิคการบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม ประกอบด้วย วงจรบีบอัดสัญญาณเชิงลอการิทึม วงจรแผ่ขยายสัญญาณเชิงเอกซ์โพเนนเชียล และวงจรอินทิเกรตแบบไม่เป็นเชิงเส้น Serra-Graells [13] ได้เสนอวงจรอินทิเกรตแบบ GD โดยมีวงจรถัดแสดงในรูปที่ 3-5



รูปที่ 3-5 วงจรอินทิเกรตคลาสเอ ที่ใช้โครงสร้างแบบ GD

วงจรอินทิเกรตดังแสดงในรูปที่ 3-5 มีมอส $N1$ ทำหน้าที่เป็นตัวบีบอัดสัญญาณ ในเชิงลอการิทึม และมอส $N2$ เป็นวงจรแผ่ขยายสัญญาณในเชิงเอกซ์โพเนนเชียล มอส $N3$ $N4$ และตัวเก็บประจุ C ทำงานร่วมกันเป็นวงจรอินทิเกรต โดยมีความสัมพันธ์เป็นไปตามสมการ (3.12)

เนื่องจาก

$$I_{N3} = I_C = I_{SN3} \exp\left[\frac{V_{in} - V_{TON}}{nU_t}\right] \exp\left[-\frac{V_x}{U_t}\right]$$

และ

$$I_{N4} = I_{tun} = I_{SN4} \exp\left[\frac{V_{out} - V_{TON}}{nU_t}\right] \exp\left[-\frac{V_x}{U_t}\right]$$

กำหนดให้ $N3 = N4$

$$\frac{I_C}{I_{tun}} = \exp\left[\frac{V_{in} - V_{out}}{nU_t}\right]$$

เนื่องจาก

$$I_C = C \frac{dV_{out}}{dt}$$

ดังนั้น

$$\frac{C}{I_{tun}} \frac{dV_{out}}{dt} = \exp\left[\frac{V_{in} - V_{out}}{nU_t}\right]$$

หรือ

$$\frac{nU_t C}{I_{tun}} \frac{d \exp\left[\frac{V_{out}}{nU_t}\right]}{dt} = \exp\left[\frac{V_{in}}{nU_t}\right]$$

จัดให้อยู่ในรูปการอินทิเกรตได้เป็น

$$\exp\left[\frac{V_{out}}{nU_t}\right] = \frac{I_{tun}}{nU_t C} \int \exp\left[\frac{V_{in}}{nU_t}\right] dt$$

เนื่องจาก

$$\exp\left[\frac{V_{in}}{nU_t}\right] = \frac{I_{in}}{I_{SN1}} \exp\left[\frac{V_{TON} + nV_{bias}}{nU_t}\right]$$

และ

$$\exp\left[\frac{V_{out}}{nU_t}\right] = \frac{I_{out}}{I_{SN2}} \exp\left[\frac{V_{TON} + nV_{bias}}{nU_t}\right]$$

เมื่อให้ $N1 = N2$

ดังนั้น

$$I_{out} = \frac{I_{tun}}{nU_t C} \int I_{in} dt \quad (3.12)$$

หรือ

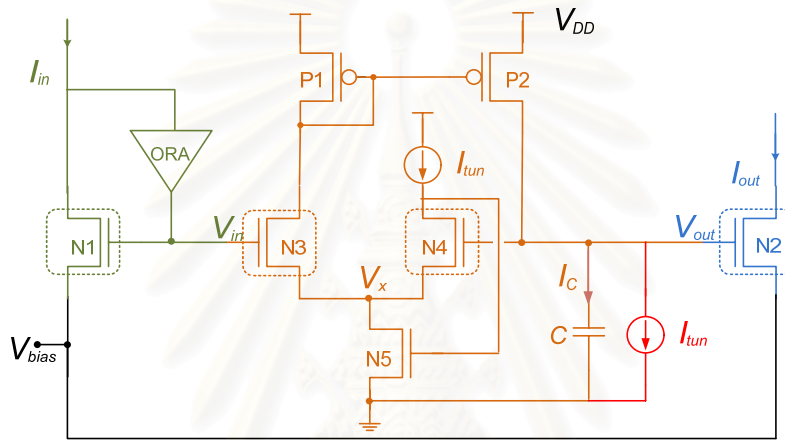
$$\frac{I_{out}(s)}{I_{in}(s)} = H(s) = \frac{\omega_0}{s}, \quad \omega_0 = \frac{I_{tun}}{CnU_t}$$

จะเห็นว่าวงจรอินทิเกรตแบบ GD นี้มีขนาดกระแสขาออกและความถี่ตัดขึ้นกับค่า I_{tun} , C , n และ U_t ทำให้วงจรนี้มีสมการการทำงานขึ้นกับเทคโนโลยีด้วย แต่ก็สามารถปรับค่าได้โดยการปรับ I_{tun} หรือการเลือกค่า C ในการออกแบบ และเนื่องจากวงจรอินทิเกรตไม่

สามารถทำการวิเคราะห์ผลแบบกระแสตรง (DC Analysis) จึงทำการทดสอบการทำงานด้วยการวิเคราะห์ผลตอบสนองในสภาวะชั่วคราว (Transient Analysis) เมื่อนำวงจรนี้ไปดัดแปลงเป็นวงจรรองแล้วจึงจะทำการวิเคราะห์ผลแบบกระแสตรงได้

3.5.2 การสร้างวงจรรองอันดับหนึ่งจากวงจรอินทิเกรตคลาสเอ

วงจรอินทิเกรตคลาสเอในรูปที่ 3-5 สามารถนำมาสร้างเป็นวงจรรองอันดับหนึ่งได้ โดยวงจรรองอันดับหนึ่งแบบ GD ดังแสดงไว้ในรูปที่ 3-6 (ก) มีฟังก์ชันถ่ายโอนดังสมการที่ (3.13)



รูปที่ 3-6 วงจรรองผ่านต่ำอันดับหนึ่งแบบ GD

เนื่องจาก

$$I_{N3} = I_C + I_{tun} = I_{SN3} \exp\left[\frac{V_{in} - V_{TON}}{nU_t}\right] \exp\left[-\frac{V_x}{U_t}\right]$$

และ

$$I_{N4} = I_{tun} = I_{SN4} \exp\left[\frac{V_{out} - V_{TON}}{nU_t}\right] \exp\left[-\frac{V_x}{U_t}\right]$$

กำหนดให้ $N3 = N4$

$I_C \div I_{tun}$

$$\frac{I_C + I_{tun}}{I_{tun}} = \exp\left[\frac{V_{in} - V_{out}}{nU_t}\right]$$

เนื่องจาก

$$I_C = C \frac{dV_{out}}{dt}$$

ดังนั้น

$$\frac{C}{I_{tun}} \frac{dV_{out}}{dt} + 1 = \exp\left[\frac{V_{in} - V_{out}}{nU_t}\right]$$

หรือ

$$\frac{nU_t C}{I_{tun}} \frac{d \exp\left[V_{out}/nU_t\right]}{dt} + \exp\left[\frac{V_{out}}{nU_t}\right] = \exp\left[\frac{V_{in}}{nU_t}\right]$$

เนื่องจาก

$$\exp\left[\frac{V_{in}}{nU_t}\right] = \frac{I_{in}}{I_{SN1}} \exp\left[\frac{V_{TON} + nV_{bias}}{nU_t}\right]$$

และ

$$\exp\left[\frac{V_{out}}{nU_t}\right] = \frac{I_{out}}{I_{SN2}} \exp\left[\frac{V_{TON} + nV_{bias}}{nU_t}\right]$$

เมื่อให้ $N1 = N2$

ดังนั้น

$$\frac{nU_t C}{I_{tun}} \frac{dI_{out}}{dt} + I_{out} = I_{in}$$

ทำการแปลงลาปลาซเพื่อหาฟังก์ชันถ่ายโอนของวงจรรองในโดเมนของความถี่

$$\frac{nU_t C}{I_{tun}} s I_{out}(s) + I_{out}(s) = I_{in}(s)$$

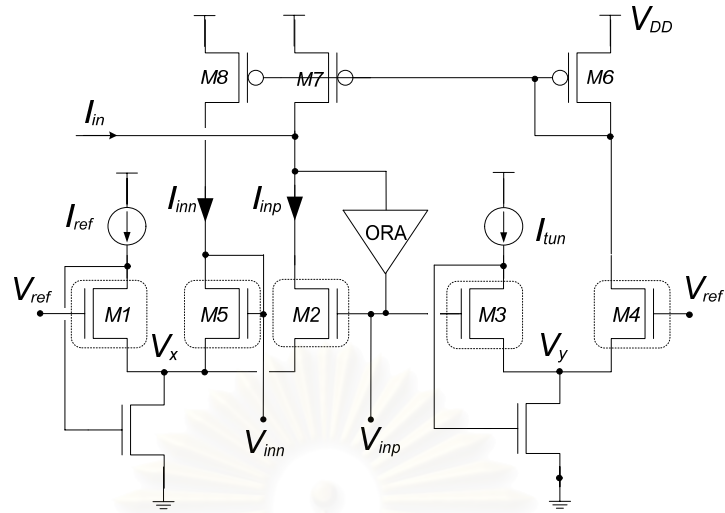
ดังนั้น

$$\frac{I_{out}(s)}{I_{in}(s)} = H(s) = \frac{\omega_0}{s + \omega_0}, \quad \omega_0 = \frac{I_{tun}}{nU_t C} \quad (3.13)$$

3.5.3 วงจรอินทิเกรตคลาสเอบี

วงจรอินทิเกรตที่เสนอโดย Redondo [12] เป็นวงจรถอดสัญญาณที่ใช้เทคนิคการบีบอัดและแผ่ขยายสัญญาณเชิงลอการิทึม ประกอบด้วย 3 ส่วนหลักคือ วงจรบีบอัดสัญญาณเชิงลอการิทึม วงจรแผ่ขยายสัญญาณเชิงเอกซ์โพเนนเชียล และวงจรอินทิเกรตแบบไม่เป็นเชิงเส้น

วงจรนี้เป็นลักษณะวงจรด้านออกเดี่ยว (Single-ended) โดยวงจรจะแยกสัญญาณขาเข้า I_{in} ออกเป็นสัญญาณ I_{inp} และ I_{inn} ซึ่งจะมีค่าเท่ากับ I_{in} เมื่อมีค่าเป็นบวกและลบตามลำดับ จากนั้น I_{inp} และ I_{inn} จะถูกบีบอัดให้เป็นสัญญาณ V_{inp} และ V_{inn} โดยวงจรที่ทำหน้าที่แยกและบีบอัดสัญญาณนี้แสดงไว้ในรูปที่ 3-7 และมีความสัมพันธ์ระหว่าง V_{inp} และ V_{inn} กับ I_{inp} และ I_{inn} ดังสมการที่ (3.14)



รูปที่ 3-7 วงจรแยกและบีบอัดสัญญาณคลาสเอบี

$$I_{in} = I_{inp} - I_{inn}$$

$$V_{inp} = nU_t \ln \left[\frac{I_{inp}}{I_{S2}} \right] + nV_x + V_{TON}$$

$$V_{inn} = nU_t \ln \left[\frac{I_{inn}}{I_{S5}} \right] + nV_x + V_{TON}$$

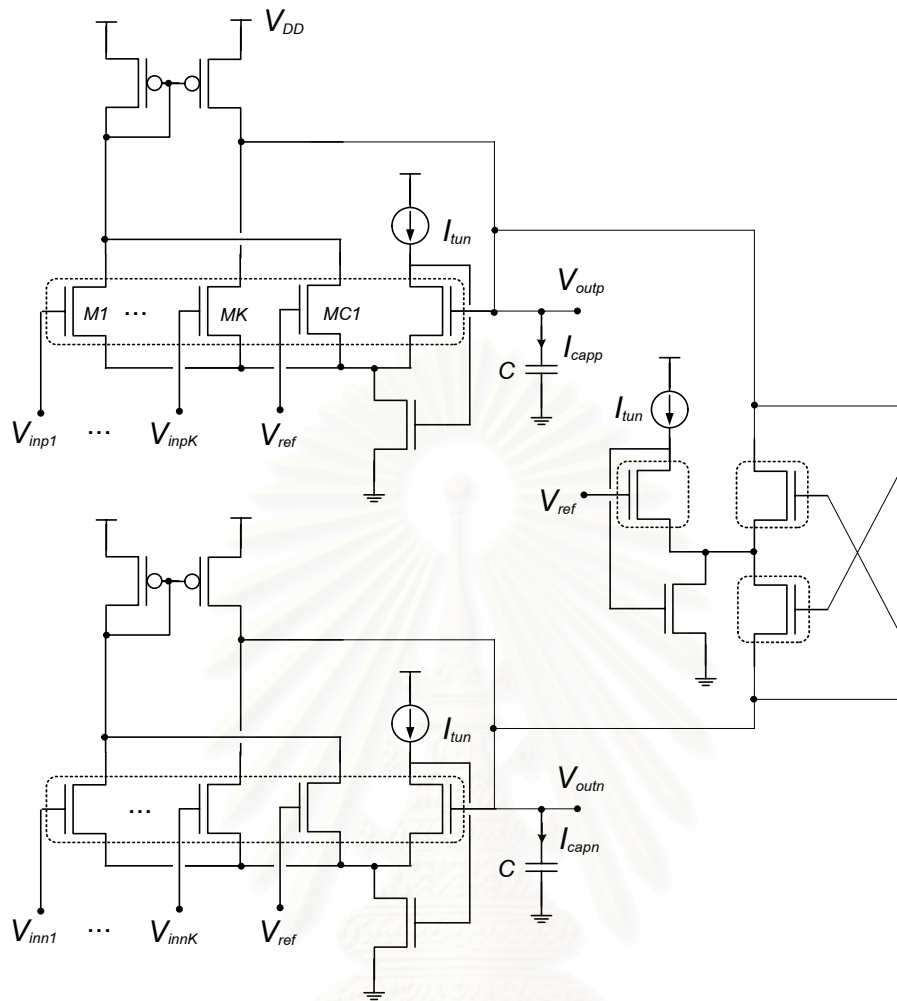
$$V_{ref} = nU_t \ln \left[\frac{I_{ref}}{I_{S1}} \right] + nV_x + V_{TON}$$

นำ V_{inp} และ V_{inn} ลบด้วย V_{ref}

$$V_{inp} = nU_t \ln \left[\frac{I_{inp}}{I_{ref}} \right] + V_{ref}$$

$$V_{inn} = nU_t \ln \left[\frac{I_{inn}}{I_{ref}} \right] + V_{ref}$$

(3.14)



รูปที่ 3-8 วงจรอินทิเกรตชนิดไม่เป็นเชิงเส้นคลาสเอบี

สัญญาณ V_{inp} และ V_{inn} จะเป็นสัญญาณขาเข้าของวงจรถนักรตคลาสเอบีที่แสดง

ไว้ในรูปที่ 3-8 ซึ่งวงจรถนักรตนี้มีสมการการทำงานดังสมการที่ (3.15)

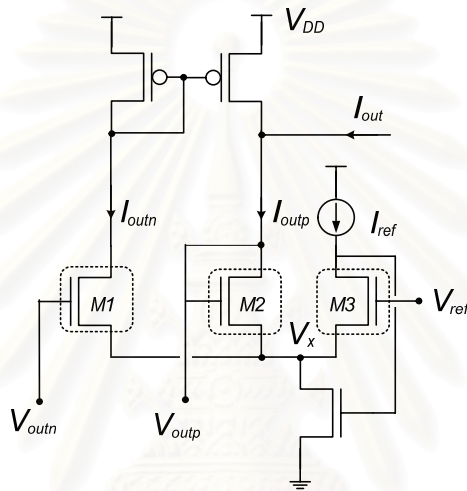
$$C \frac{dV_{outp}}{dt} = I_{tun} \left(\sum_K \pm \exp \left[\frac{V_{inpK} - V_{outp}}{nU_t} \right] - \exp \left[\frac{V_{outn} - V_{ref}}{nU_t} \right] + \exp \left[\frac{V_{ref} - V_{outp}}{nU_t} \right] \right)$$

$$C \frac{dV_{outn}}{dt} = I_{tun} \left(\sum_K \pm \exp \left[\frac{V_{innK} - V_{outn}}{nU_t} \right] - \exp \left[\frac{V_{outp} - V_{ref}}{nU_t} \right] + \exp \left[\frac{V_{ref} - V_{outn}}{nU_t} \right] \right)$$

$$V_{outp} = \frac{I_{tun}}{C} \int \left(\sum_K \pm \exp \left[\frac{V_{inpK} - V_{outp}}{nU_t} \right] - \exp \left[\frac{V_{outn} - V_{ref}}{nU_t} \right] + \exp \left[\frac{V_{ref} - V_{outp}}{nU_t} \right] \right) dt$$

$$V_{outn} = \frac{I_{tun}}{C} \int \left(\sum_K \pm \exp \left[\frac{V_{innK} - V_{outn}}{nU_t} \right] - \exp \left[\frac{V_{outp} - V_{ref}}{nU_t} \right] + \exp \left[\frac{V_{ref} - V_{outn}}{nU_t} \right] \right) dt \quad (3.15)$$

จากนั้นสัญญาณ V_{outp} และ V_{outn} ที่ได้จากการอินทิเกรตแบบไม่เป็นเชิงเส้นของ V_{inp} และ V_{inn} ตามลำดับ จะถูกนำไปขยายเป็นกระแส I_{outp} และ I_{outn} ในเชิงเอกซ์โพเนนเชียลด้วย วงจรแผ่ขยายสัญญาณคลาสเอบีที่แสดงไว้ในรูปที่ 3-9 โดยมีสมการการทำงานของวงจรแผ่ขยายดังสมการที่ (3.16)



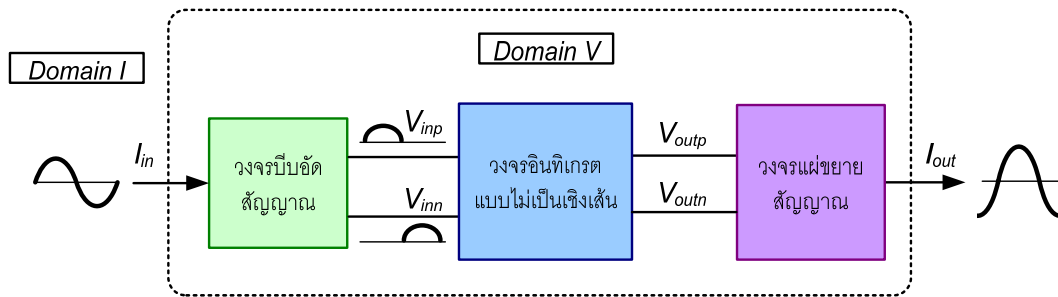
รูปที่ 3-9 วงจรแผ่ขยายสัญญาณคลาสเอบี

$$I_{out} = I_{S2} \exp \left[\frac{V_{outp} - V_{TON}}{nU_t} \right] \exp \left[-\frac{V_x}{U_t} \right] - I_{S1} \exp \left[\frac{V_{outn} - V_{TON}}{nU_t} \right] \exp \left[-\frac{V_x}{U_t} \right]$$

$$I_{ref} = I_{S3} \exp \left[\frac{V_{ref} - V_{TON}}{nU_t} \right] \exp \left[-\frac{V_x}{U_t} \right]$$

กำหนดให้ $M1 = M2 = M3$ และนำ $I_{out} \div I_{ref}$ จะได้

$$I_{out} = I_{ref} \exp \left[\frac{V_{outp} - V_{ref}}{nU_t} \right] - I_{ref} \exp \left[\frac{V_{outn} - V_{ref}}{nU_t} \right] \quad (3.16)$$



รูปที่ 3-10 วงจรอินทิเกรตเชิงเส้นคลาสเอบี

เมื่อนำเอาวงจรทั้งสามจากรูปที่ 3-7 ถึง รูปที่ 3-9 มาต่อรวมกันเป็นวงจรอินทิเกรตเชิงเส้นคลาสเอบีได้ดังรูปที่ 3-10 โดยมีการทำงานของทั้งวงจรเป็นดังสมการที่ (3.17)

โดยที่

$$\frac{dI_{out}}{dt} = \frac{I_{tun}}{nU_t C} \sum_K \pm I_{inK}$$

$$\frac{dI_{outp}}{dt} = \frac{I_{tun}}{nU_t C} \left[\sum_K \pm I_{inpK} - \frac{I_{outp} I_{outn}}{I_{ref}} + I_{ref} \right]$$

$$\frac{dI_{outn}}{dt} = \frac{I_{tun}}{nU_t C} \left[\sum_K \pm I_{innK} - \frac{I_{outp} I_{outn}}{I_{ref}} + I_{ref} \right]$$

และ

$$I_{out} = I_{outp} - I_{outn}$$

ดังนั้น

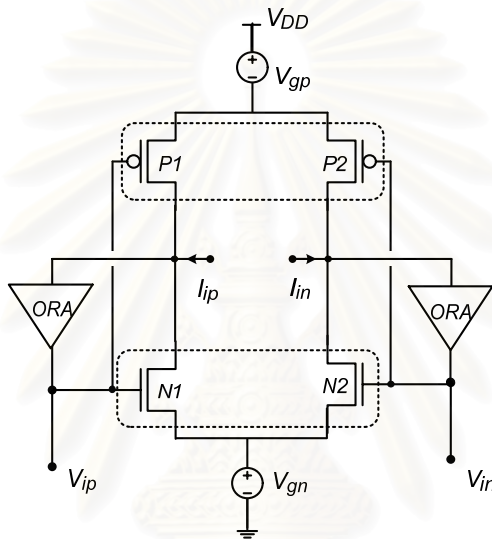
$$I_{out} = \frac{I_{tun}}{nU_t C} \int \sum \pm I_{inK} dt \tag{3.17}$$

บทที่ 4

การออกแบบวงจรขยาย

4.1 วงจรบีบอัดผลต่างสัญญาณเชิงลอการิทึม คลาสเอบี

จากข้อจำกัดทั้งเรื่องกระแสไบแอส และความเป็นเชิงเส้นของวงจรขยายที่ได้นำเสนอไปในบทที่ 3 จึงมีการปรับปรุงวงจรดังแสดงในรูปที่ 4-1 ซึ่งวงจรนี้สามารถทำงานได้ไม่ว่าสัญญาณขาเข้าจะเป็นบวกหรือลบ



รูปที่ 4-1 วงจรบีบอัดสัญญาณเชิงลอการิทึมคลาสเอบี

เนื่องจากสัญญาณขาเข้าเป็นสัญญาณผลต่าง ดังนั้น $I_{ip} = -I_{in}$ เมื่อกระแสขาเข้าเป็นบวก กระแสที่ไหลผ่านมอด $N1$ จะเท่ากับกระแสที่ไหลผ่านมอด $P2$ และเป็นไปในทางกลับกันกับมอด $P1$ และมอด $N2$ ดังนั้นจึงสามารถพิจารณาวงจรเพียงด้านใดด้านหนึ่งก็ได้

เนื่องจาก

$$I_{N1} = I_{SN} \exp \left[\frac{V_{ip} - V_{TON} - n_N V_{gn}}{n_N U_t} \right]$$

$$I_{N2} = I_{SN} \exp \left[\frac{V_{in} - V_{TON} - n_N V_{gn}}{n_N U_t} \right]$$

และ

$$I_{P1} = -I_{SP} \exp \left[\frac{-V_{ip} + V_{DD} - V_{TOP} - n_P V_{gp}}{n_P U_t} \right]$$

$$I_{P2} = -I_{SP} \exp \left[\frac{-V_{in} + V_{DD} - V_{TOP} - n_P V_{gp}}{n_P U_t} \right]$$

จะเห็นว่า

$$I_{ip} = I_{N1} + I_{P1} = -I_{in} = -(I_{N2} + I_{P2})$$

$$\text{ให้ } I_N = I_{SN} \exp\left[-\frac{V_{TON}}{n_N U_t}\right] \text{ และ } I_P = I_{SP} \exp\left[\frac{-V_{TOP} + V_{DD}}{n_P U_t}\right]$$

$$\text{ดังนั้น } I_{ip} = I_N \exp\left[\frac{-V_{gn}}{U_t}\right] \exp\left[\frac{V_{ip}}{n_N U_t}\right] - I_P \exp\left[\frac{-V_{gp}}{U_t}\right] \exp\left[\frac{-V_{ip}}{n_P U_t}\right] \quad (4.1)$$

$$\text{และ } I_{in} = I_N \exp\left[\frac{-V_{gn}}{U_t}\right] \exp\left[\frac{V_{in}}{n_N U_t}\right] - I_P \exp\left[\frac{-V_{gp}}{U_t}\right] \exp\left[\frac{-V_{in}}{n_P U_t}\right] \quad (4.2)$$

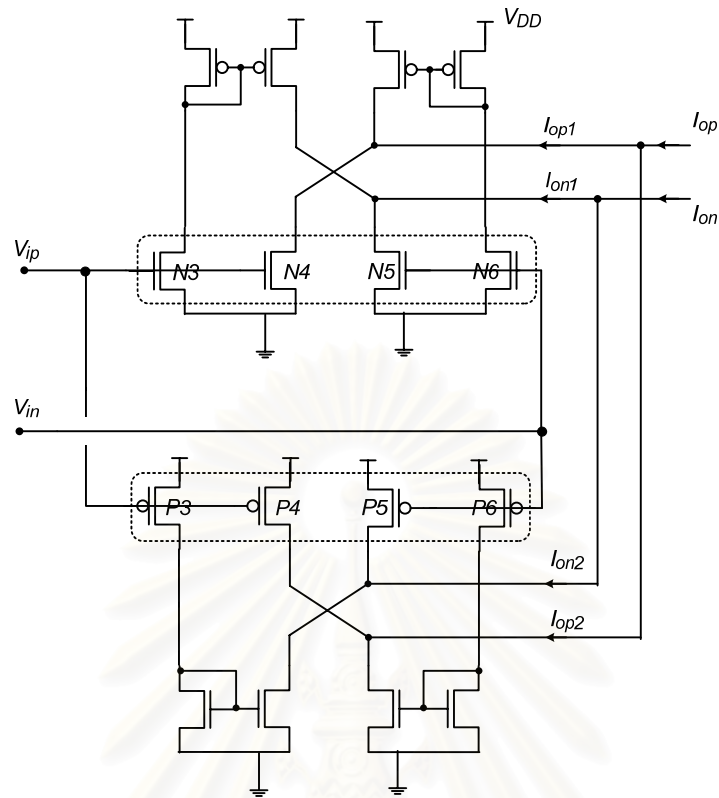
เพื่อลดความต้านทานขาเข้าของวงจรถ่ายที่ขาเดรนของมอสทั้งสี่ตัว จึงได้นำวงจรถ่าย ORA มาต่อระหว่างขาเดรนและขาเกตของมอสทั้งสี่ตัว ซึ่งจะทำให้โหนดสัญญาณขาเข้ามีแรงดันที่ค่อนข้างคงที่ ในขณะที่แรงดัน V_{ip} และ V_{in} จะแปรตามกระแสที่ไหลผ่านมอส N1 และ N2 ในเชิงลอการิทึม

4.2 วงจรแผ่ขยายผลต่างสัญญาณเชิงเอกซ์โพเนนเชียล คลาสเอบี

จากหลักการของวงจรถ่ายที่นำเสนอโดย Khumsat [18] วงจรแผ่ขยายผลต่างสัญญาณเชิงเอกซ์โพเนนเชียล คลาสเอบี มีลักษณะดังแสดงในรูปที่ 4-2

V_{ip} จะถูกแผ่ขยายออกเป็นกระแสในเชิงเอกซ์โพเนนเชียลโดยมอส N3 N4 P3 และ P4 ขณะที่ V_{in} ถูกแผ่ขยายออกเป็นกระแสโดยมอส N5 N6 P5 และ P6 จากนั้นผลต่างของกระแสที่ไหลผ่านมอส N4 และ N6 จะกลายเป็นกระแส I_{op1} เช่นเดียวกับกระแส I_{op2} ที่ได้จากผลต่างของกระแสที่ไหลผ่านมอส P4 และ P6 จากนั้นผลรวมของกระแส I_{op1} และ I_{op2} ก็จะเป็นกระแส I_{op} ส่วนกระแส I_{on} ก็จะถูกสร้างขึ้นในทำนองเดียวกัน แต่จะเห็นว่ากระแส I_{op} จะมีขนาดเท่ากับ I_{on} เพียงแต่มีทิศตรงกันข้ามกัน ดังนั้นจึงสามารถพิจารณากระแสขาออกของวงจรถ่ายเพียงด้านใดด้านหนึ่งก็ได้

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 4-2 วงจรแผ่ขยายผลต่างสัญญาณเชิงลอการิทึมคลาสเอบี

เนื่องจาก

$$I_{N4} = I_{SN4} \exp \left[\frac{V_{ip} - V_{TON}}{n_N U_t} \right]$$

$$I_{N6} = I_{SN6} \exp \left[\frac{V_{in} - V_{TON}}{n_N U_t} \right]$$

$$I_{P6} = -I_{SP6} \exp \left[\frac{-V_{in} - V_{TOP} + n_P V_{DD}}{n_P U_t} \right]$$

$$I_{P4} = -I_{SP4} \exp \left[\frac{-V_{ip} - V_{TOP} + n_P V_{DD}}{n_P U_t} \right]$$

และ

$$I_{op} = I_{op1} + I_{op2}$$

$$I_{op1} = I_{N4} - I_{N6}$$

$$I_{op2} = I_{P6} - I_{P4}$$

ให้ $I_N = I_{SN} \exp \left[-\frac{V_{TON}}{n_N U_t} \right]$ และ $I_P = I_{SP} \exp \left[\frac{-V_{TOP} + V_{DD}}{n_P U_t} \right]$

จะได้ว่า

$$I_{op1} = I_N \left(\exp \left[\frac{V_{ip}}{n_N U_t} \right] - \exp \left[\frac{V_{in}}{n_N U_t} \right] \right)$$

และ

$$I_{op2} = I_P \left(\exp \left[\frac{-V_{in}}{n_P U_t} \right] - \exp \left[\frac{-V_{ip}}{n_P U_t} \right] \right)$$

ดังนั้น

$$I_{op} = I_N \left(\exp \left[\frac{V_{ip}}{n_N U_t} \right] - \exp \left[\frac{V_{in}}{n_N U_t} \right] \right) + I_P \left(\exp \left[\frac{-V_{in}}{n_P U_t} \right] - \exp \left[\frac{-V_{ip}}{n_P U_t} \right] \right) \quad (4.3)$$

ในทำนองเดียวกันสำหรับกระแส I_{on}

$$I_{on1} = I_N \left(\exp \left[\frac{V_{in}}{n_N U_t} \right] - \exp \left[\frac{V_{ip}}{n_N U_t} \right] \right)$$

$$I_{on2} = I_P \left(\exp \left[\frac{-V_{ip}}{n_P U_t} \right] - \exp \left[\frac{-V_{in}}{n_P U_t} \right] \right)$$

ดังนั้น

$$I_{on} = I_N \left(\exp \left[\frac{V_{in}}{n_N U_t} \right] - \exp \left[\frac{V_{ip}}{n_N U_t} \right] \right) + I_P \left(\exp \left[\frac{-V_{ip}}{n_P U_t} \right] - \exp \left[\frac{-V_{in}}{n_P U_t} \right] \right) \quad (4.4)$$

จากสมการที่ (4.3) และ (4.4) จะเห็นได้ว่า $I_{op} = -I_{on}$ ซึ่งทั้ง I_{op} และ I_{on} จะเป็นฟังก์ชันของทั้ง V_{ip} และ V_{in} ในเชิงเอกซ์โพเนนเชียล

4.3 วงจรขยายผลต่างสัญญาณคลาสเอบี

เมื่อนำวงจรบีบอัดและแผ่ขยายสัญญาณที่นำเสนอไปในหัวข้อที่ 4.1 และ 4.2 มาต่อเป็นวงจรขยายที่มีลักษณะการต่อเหมือนรูปที่ 3-1 จะได้วงจรขยายดังแสดงในรูปที่ 4-3

จากสมการการทำงานของวงจรบีบอัดสัญญาณ (4.1) และ (4.2) จะเห็นว่าวงจรขยายนี้สามารถปรับอัตราขยายได้จากการปรับค่า V_{gp} และ V_{gn} ยิ่ง V_{gp} และ V_{gn} มีค่ามาก จะทำให้ V_{ip} มีค่าเพิ่มขึ้น และ V_{in} มีค่าลดลง ส่งผลให้ I_{op} มีค่าเป็นบวกมากขึ้น ในขณะที่ I_{on} มีค่าเป็นลบมากขึ้น กล่าวคือวงจรมีอัตราขยายเพิ่มขึ้นนั่นเอง

ให้ $V_{gn} = V_{gp} = V_{gain}$ จากสมการ (4.1) - (4.4) จะเห็นว่า

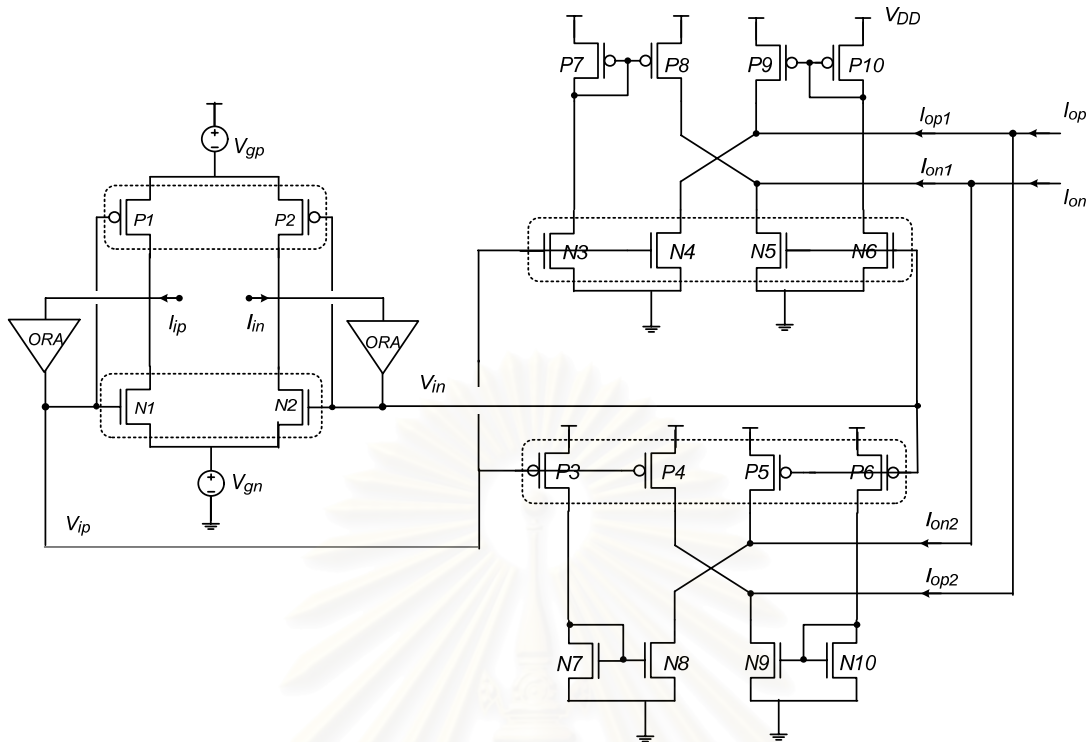
และ

$$I_{op} = (I_{ip} - I_{in}) \exp \left[\frac{V_{gain}}{U_t} \right]$$

$$-I_{on} = (I_{ip} - I_{in}) \exp \left[\frac{V_{gain}}{U_t} \right]$$

ดังนั้น

$$\frac{I_{op} - I_{on}}{I_{ip} - I_{in}} = 2 \exp \left[\frac{V_{gain}}{U_t} \right] \quad (4.5)$$



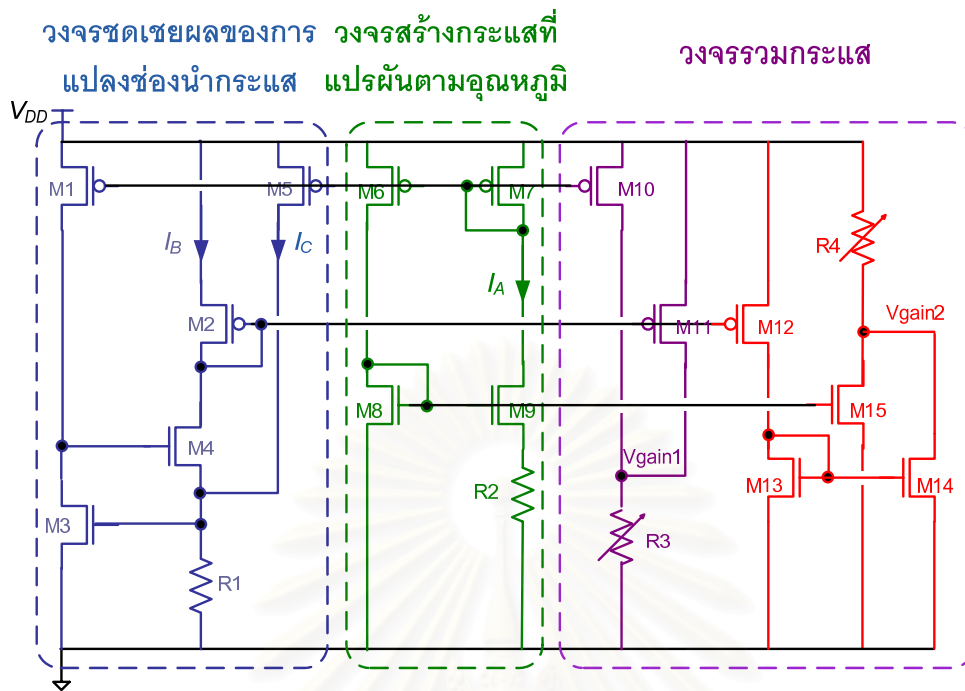
รูปที่ 4-3 วงจรขยายผลต่างสัญญาณคลาสเอบี

4.4 วงจรสร้างแรงดันอ้างอิงปรับค่าได้ที่ปรับปรุงเพื่อใช้ในงานวิจัย

เพื่อให้วงจรขยายในหัวข้อ 4.3 ทำงานได้ตามสมการที่ (4.5) แรงดันอ้างอิงที่ใช้ควบคุมอัตราขยายของวงจร V_{gp} และ V_{gn} จะต้องมีค่าเท่ากัน จากวงจรสร้างแรงดันอ้างอิงที่ได้นำเสนอไปในหัวข้อ 3.2 สามารถสร้างแรงดันอ้างอิงได้เพียงค่าเดียว ดังนั้นในงานวิจัยนี้จึงต้องทำการปรับปรุงวงจรให้สร้างแรงดันได้สองค่าคือ V_{gain1} และ $V_{DD} - V_{gain1}$ มาใช้แทนแรงดัน V_{gn} และ V_{gp} ตามลำดับ โดยที่แรงดัน $V_{DD} - V_{gain1}$ จะต้องไม่ขึ้นกับอุณหภูมิเช่นเดียวกับแรงดัน V_{gain1}

วงจรที่ปรับปรุงมีรายละเอียดดังรูปที่ 4-4 ทั้งนี้วงจรที่เพิ่มเติมขึ้นมาจะอยู่ในส่วนของวงจรรวมกระแส

จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 4-4 วงจรสร้างแรงดันอ้างอิงที่ได้รับการปรับปรุงเพื่อใช้ในงานวิจัยนี้

จากรูปที่ 4-4 การสร้างแรงดัน V_{gain2} ของวงจรรวมกระแสเป็นไปในทางเดียวกันกับการสร้างแรงดัน V_{gain1} ในสมการที่ (3.6)

$$V_{gain2} = V_{DD} - \left[\frac{P_{15}}{P_8} I_A + \frac{P_{12}}{P_2} \frac{P_{14}}{P_{13}} \left(\frac{V_{GS3}}{R_1} - NI_A \right) \right] R_4$$

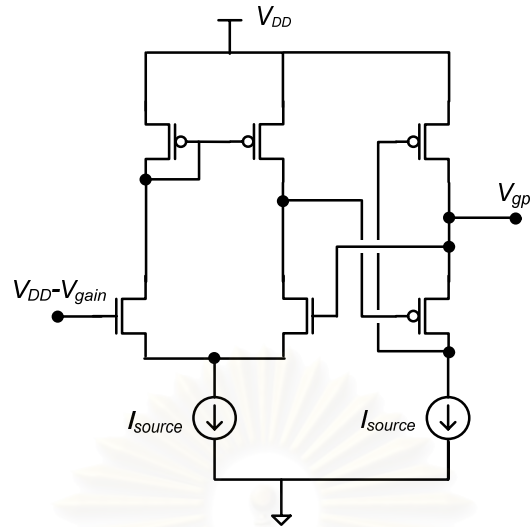
ให้ $P_{15}=P_8$, $P_{14}=P_{13}$, $P_{12}=P_{11}=P_2$ และ $R_3=R_4$

ดังนั้น

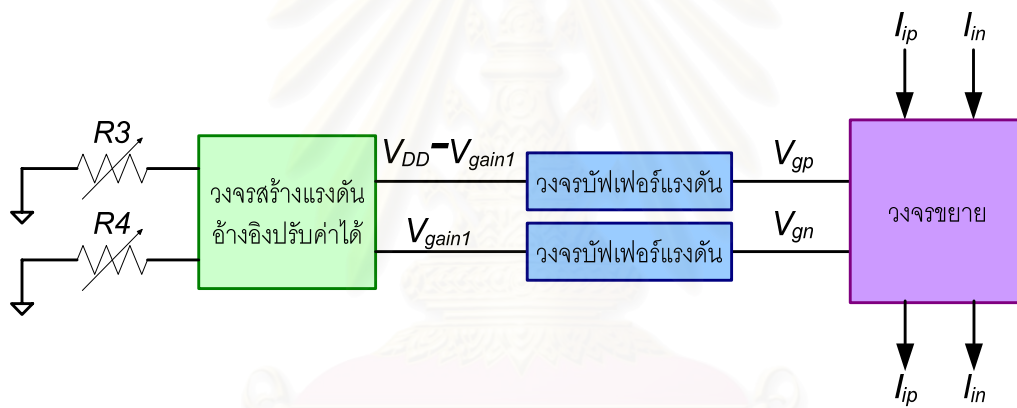
$$V_{gain2} = V_{DD} - V_{gain1}$$

4.5 วงจร ORA ที่ปรับปรุงเพื่อใช้ในงานวิจัยนี้

วงจร ORA ที่นำเสนอไปในหัวข้อที่ 3.3 สามารถอธิบายด้วยแบบจำลองในรูปที่ 4-5 ได้ โดยมี V_{bias} สำหรับกำหนดแรงดันที่ Node กระแสขาเข้า และมี I_{Vbias} ซึ่งเป็นแหล่งจ่ายกระแสอ้างอิงแปรผันตามกระแสที่ไหลผ่านแหล่งจ่ายแรงดัน V_{bias} วงจร ORA นี้จะมีความต้านทานขาเข้าที่ต่ำ และทำให้แรงดันที่ขาเกตของมอส N1 และ N2 มีค่าแปรผันตามกระแสที่ไหลผ่าน แต่ไม่ขึ้นกับแรงดันที่ขาเดรนของมอส N1 และ N2 ตามลำดับ



รูปที่ 4-8 วงจรบัฟเฟอร์แรงดัน $V_{DD} - V_{gain}$



รูปที่ 4-9 การต่อวงจรบัฟเฟอร์เข้ากับวงจรมายาย

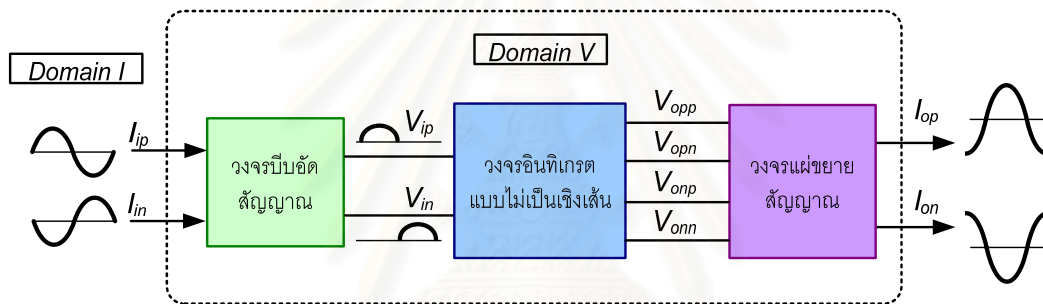
สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 5

การออกแบบวงจรกรอง

5.1 วงจรอินทิเกรตผลต่างสัญญาณคลาสเอบี

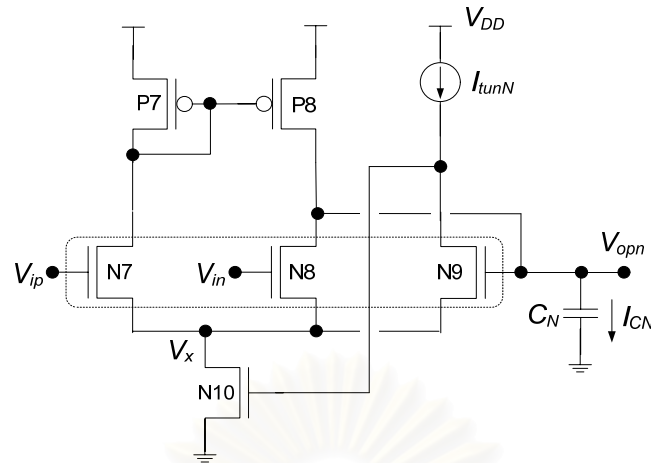
การออกแบบวงจรกรองมีพื้นฐานมาจากวงจรอินทิเกรต ดังนั้นในงานวิจัยนี้จึงเริ่มจากการออกแบบวงจรอินทิเกรตก่อน แล้วจึงพัฒนาให้เป็นวงจรกรองอันดับหนึ่ง และสามารถนำไปประยุกต์เพื่อสร้างเป็นวงจรกรองอันดับสูงต่อไปได้ โครงสร้างของวงจรอินทิเกรตที่นำเสนอในงานวิจัยนี้มีแผนภาพบล็อกเป็นดังรูปที่ 5-1 ประกอบด้วยวงจรบีบอัดสัญญาณ วงจรอินทิเกรตแบบไม่เป็นเชิงเส้น และวงจรแผ่ขยายสัญญาณ



รูปที่ 5-1 Block Diagram ของวงจร Integrator

วงจรบีบอัดสัญญาณจะทำหน้าที่บีบอัดสัญญาณกระแสขาเข้า I_{ip} และ I_{in} ในเชิงลอการิทึมให้อยู่ในรูปของแรงดัน โดยแบ่งออกเป็นค่าบวกและค่าลบ คือ V_{ip} และ V_{in} ตามลำดับ จากนั้นแรงดัน V_{ip} และ V_{in} จะถูกนำไปป้อนเข้าวงจรอินทิเกรต ซึ่งจะได้แรงดัน V_{op} และ V_{on} ออกมา แล้วนำไปขยายสัญญาณในเชิงเอกซ์โพเนนเชียลด้วยวงจรแผ่ขยายให้เป็นกระแสขาออก I_{op} และ I_{on} ต่อไป

ในการปรับปรุงวงจรอินทิเกรตให้ใช้ได้กับวงจรบีบอัดและแผ่ขยายสัญญาณที่กล่าวถึงในหัวข้อที่ผ่านมา จะใช้วงจรอินทิเกรตที่มีรายละเอียดของวงจрдังรูปที่ 5-2 และรูปที่ 5-3 ชื่อว่าวงจรอินทิเกรตแบบ N และวงจรอินทิเกรตแบบ P ตามลำดับ



รูปที่ 5-2 วงจรอินทิเกรตแบบ N

สมการการทำงานของวงจรอินทิเกรตแบบ N ในรูปที่ 5-2 เป็นดังสมการที่ (5.1)

เนื่องจาก

$$I_{N9} = I_{tunN} = I_{SN9} \exp\left[\frac{V_{opn} - V_{TON}}{n_N U_t}\right] \exp\left[-\frac{V_x}{U_t}\right]$$

และ

$$I_{CN} = I_{N7} - I_{N8}$$

กำหนดให้ $N7 = N8 = N9$

จะได้ว่า

$$I_{CN} = I_{SN7} \exp\left[-\frac{V_{TON}}{n_N U_t} - \frac{V_x}{U_t}\right] \left(\exp\left[\frac{V_{ip}}{n_N U_t}\right] - \exp\left[\frac{V_{in}}{n_N U_t}\right] \right)$$

$I_{CN} \div I_{tunN}$

$$\frac{I_{CN}}{I_{tunN}} = \left(\exp\left[\frac{V_{ip}}{n_N U_t}\right] - \exp\left[\frac{V_{in}}{n_N U_t}\right] \right) \exp\left[-\frac{V_{opn}}{n_N U_t}\right]$$

เนื่องจาก

$$I_{CN} = C_N \frac{dV_{opn}}{dt}$$

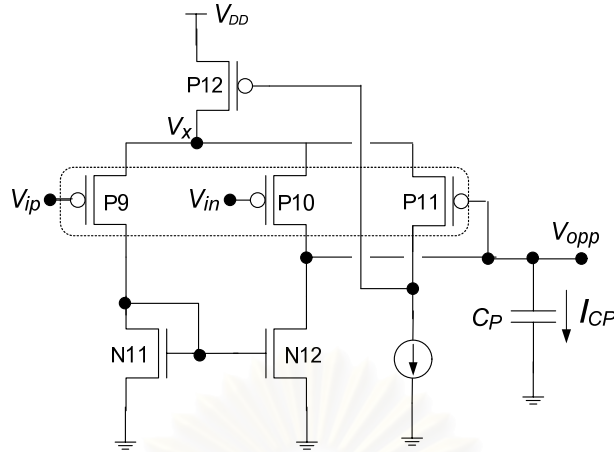
ดังนั้น

$$\frac{d \exp\left[\frac{V_{opn}}{n_N U_t}\right]}{dt} = \frac{I_{tunN}}{n_N U_t C_N} \left(\exp\left[\frac{V_{ip}}{n_N U_t}\right] - \exp\left[\frac{V_{in}}{n_N U_t}\right] \right)$$

จัดให้อยู่ในรูปการอินทิเกรตได้เป็น

$$\exp\left[\frac{V_{opn}}{n_N U_t}\right] = \frac{I_{tunN}}{n_N U_t C_N} \int \left(\exp\left[\frac{V_{ip}}{n_N U_t}\right] - \exp\left[\frac{V_{in}}{n_N U_t}\right] \right) dt$$

(5.1)



รูปที่ 5-3 วงจรอินทิเกรตแบบ P หรือ P-Integrator

วงจรอินทิเกรตแบบ P ในรูปที่ 5-3 มีสมการการทำงานเป็นดังสมการที่ (5.2)

เนื่องจาก

$$I_{P11} = I_{tunP} = -I_{SP11} \exp \left[\frac{-(V_{opp} - V_{DD}) - V_{TOP}}{n_p U_t} \right] \exp \left[\frac{V_x - V_{DD}}{U_t} \right]$$

กำหนดให้ P9 = P10 = P11 และ $I_{CP} = I_{P10} - I_{P9}$

จะได้ว่า

$$I_{CP} = I_{SP9} \exp \left[\frac{V_{DD} - V_{TOP}}{n_p U_t} + \frac{V_x - V_{DD}}{U_t} \right] \left(\exp \left[-\frac{V_{ip}}{n_p U_t} \right] - \exp \left[-\frac{V_{in}}{n_p U_t} \right] \right)$$

$I_{CP} \div I_{tunP}$

$$\frac{I_{CP}}{I_{tunP}} = - \left(\exp \left[-\frac{V_{ip}}{n_p U_t} \right] - \exp \left[-\frac{V_{in}}{n_p U_t} \right] \right) \exp \left[\frac{V_{opp}}{n_p U_t} \right]$$

เนื่องจาก

$$I_{CP} = C_P \frac{dV_{opp}}{dt}$$

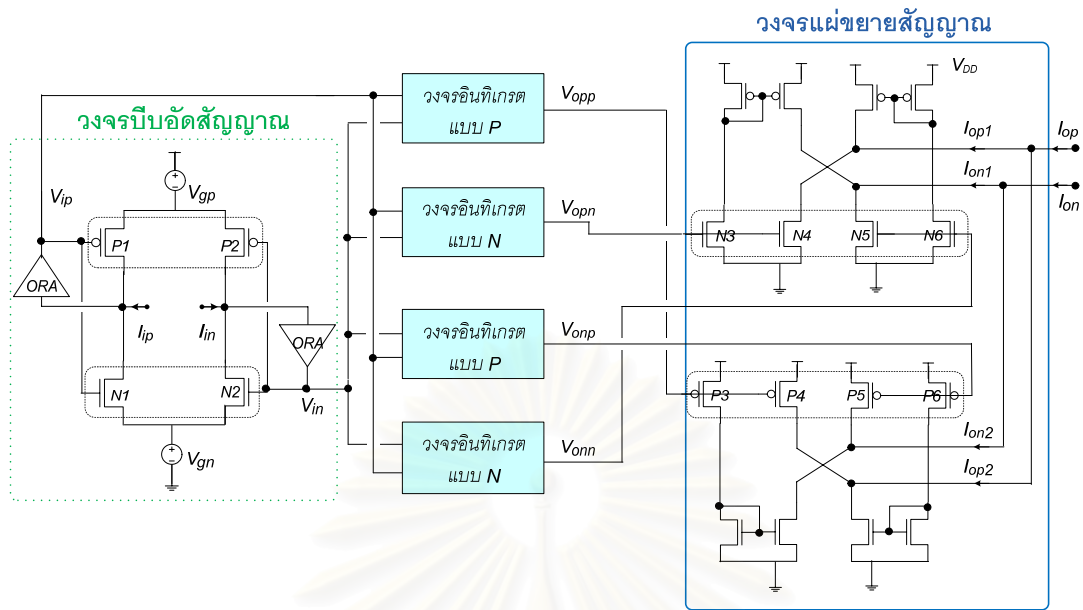
ดังนั้น

$$\frac{d \exp \left[-\frac{V_{opp}}{n_p U_t} \right]}{dt} = \frac{I_{tunP}}{n_p U_t C_P} \left(\exp \left[-\frac{V_{ip}}{n_p U_t} \right] - \exp \left[-\frac{V_{in}}{n_p U_t} \right] \right)$$

จัดให้อยู่ในรูปการอินทิเกรตได้เป็น

$$\exp \left[-\frac{V_{opp}}{n_p U_t} \right] = \frac{I_{tunP}}{n_p U_t C_P} \int \left(\exp \left[-\frac{V_{ip}}{n_p U_t} \right] - \exp \left[-\frac{V_{in}}{n_p U_t} \right] \right) dt \quad (5.2)$$

เมื่อนำเอาวงจรป้อนกลับสัญญาณ วงจรแผ่ขยายสัญญาณและวงจรอินทิเกรตในรูปที่ 5-2 และรูปที่ 5-3 มาต่อเพื่อใช้งานร่วมกันจะได้ดังรูปที่ 5-4 และมีการทำงานดังสมการที่ (5.3)



รูปที่ 5-4 การต่อวงจรบัพอัดสัญญาณ วงจรแผ่ขยายสัญญาณและวงจรอินทิเกรตร่วมกัน

จากสมการ (4.3) และ (4.4) เมื่อให้ $I_N = I_{SN} \exp\left[-\frac{V_{TON}}{n_N U_t}\right]$ และ $I_P = I_{SP} \exp\left[\frac{-V_{TOP} + V_{DD}}{n_P U_t}\right]$

$$I_{op} = I_N \left(\exp\left[\frac{V_{opn}}{n_N U_t}\right] - \exp\left[\frac{V_{onn}}{n_N U_t}\right] \right) + I_P \left(\exp\left[\frac{-V_{onp}}{n_P U_t}\right] - \exp\left[\frac{-V_{opp}}{n_P U_t}\right] \right)$$

และ $I_{on} = I_N \left(\exp\left[\frac{V_{onn}}{n_N U_t}\right] - \exp\left[\frac{V_{opn}}{n_N U_t}\right] \right) + I_P \left(\exp\left[\frac{-V_{opp}}{n_P U_t}\right] - \exp\left[\frac{-V_{onp}}{n_P U_t}\right] \right)$

เนื่องจาก

$$\exp\left[\frac{V_{opn}}{n_N U_t}\right] = \frac{I_{tunN}}{n_N U_t C_N} \int \left(\exp\left[\frac{V_{ip}}{n_N U_t}\right] - \exp\left[\frac{V_{in}}{n_N U_t}\right] \right) dt$$

$$\exp\left[\frac{V_{onn}}{n_N U_t}\right] = \frac{I_{tunN}}{n_N U_t C_N} \int \left(\exp\left[\frac{V_{in}}{n_N U_t}\right] - \exp\left[\frac{V_{ip}}{n_N U_t}\right] \right) dt$$

$$\exp\left[-\frac{V_{onp}}{n_P U_t}\right] = \frac{I_{tunP}}{n_P U_t C_P} \int \left(\exp\left[\frac{-V_{in}}{n_P U_t}\right] - \exp\left[\frac{-V_{ip}}{n_P U_t}\right] \right) dt$$

$$\exp\left[-\frac{V_{opp}}{n_P U_t}\right] = \frac{I_{tunP}}{n_P U_t C_P} \int \left(\exp\left[\frac{-V_{ip}}{n_P U_t}\right] - \exp\left[\frac{-V_{in}}{n_P U_t}\right] \right) dt$$

ดังนั้น

$$I_{op} = \frac{2I_N I_{tunN}}{n_N U_t C_N} \int \left(\exp \left[\frac{V_{ip}}{n_N U_t} \right] - \exp \left[\frac{V_{in}}{n_N U_t} \right] \right) dt$$

$$+ \frac{2I_P I_{tunP}}{n_P U_t C_P} \int \left(\exp \left[-\frac{V_{in}}{n_P U_t} \right] - \exp \left[-\frac{V_{ip}}{n_P U_t} \right] \right) dt$$

ในทาง

เดียวกัน

$$I_{on} = -\frac{2I_N I_{tunN}}{n_N U_t C_N} \int \left(\exp \left[\frac{V_{ip}}{n_N U_t} \right] - \exp \left[\frac{V_{in}}{n_N U_t} \right] \right) dt$$

$$- \frac{2I_P I_{tunP}}{n_P U_t C_P} \int \left(\exp \left[-\frac{V_{in}}{n_P U_t} \right] - \exp \left[-\frac{V_{ip}}{n_P U_t} \right] \right) dt$$

จากสมการ

(4.1) และ (4.2)

$$I_{ip} = I_N \exp \left[\frac{-V_{gn}}{U_t} \right] \exp \left[\frac{V_{ip}}{n_N U_t} \right] - I_P \exp \left[\frac{-V_{gp}}{U_t} \right] \exp \left[-\frac{V_{ip}}{n_P U_t} \right]$$

และ

$$I_{in} = I_N \exp \left[\frac{-V_{gn}}{U_t} \right] \exp \left[\frac{V_{in}}{n_N U_t} \right] - I_P \exp \left[\frac{-V_{gp}}{U_t} \right] \exp \left[\frac{-V_{in}}{n_P U_t} \right]$$

$$\text{เมื่อ } V_{gn} = V_{gp} = V_{gain} \text{ และ } \frac{I_{tunN}}{n_N C_N} = \frac{I_{tunP}}{n_P C_P} = \frac{I_{tun}}{nC}$$

จะได้ว่า

$$I_{op} - I_{on} = 4 \frac{I_{tun}}{n U_t C} \exp \left[\frac{V_{gain}}{U_t} \right] \int (I_{ip} - I_{in}) dt \quad (5.3)$$

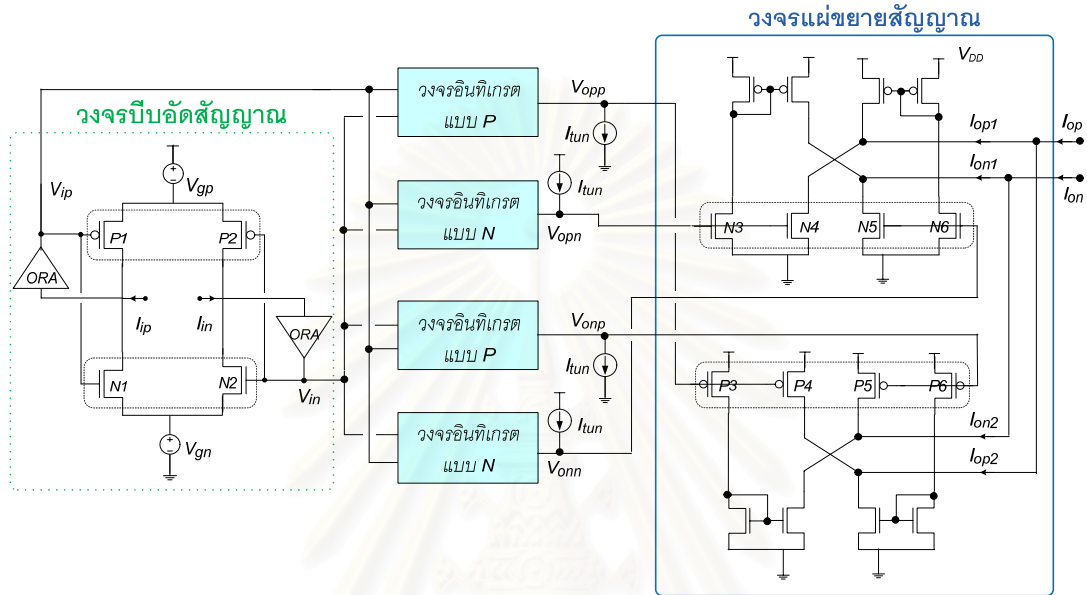
หรือ

$$\frac{I_{op} - I_{on}}{I_{ip} - I_{in}} = H(s) = 4 \exp \left[\frac{V_{gain}}{U_t} \right] \frac{\omega_0}{s}, \quad \omega_0 = \frac{I_{tun}}{n U_t C}$$

จากสมการที่ (5.3) จะเห็นว่าเมื่อทำการปรับค่า C_N และ C_P ให้ได้ค่าที่เหมาะสมแล้วจะช่วยกำจัดผลที่เกิดจากค่า n_N และ n_P ไม่เท่ากันได้ ทำให้ได้วงจรมีสมการการทำงานตามความต้องการ

5.2 วงจรกรองอันดับหนึ่งผลต่างสัญญาณคลาสเอบี

วงจรรวมในรูปที่ 5-4 สามารถนำมาปรับปรุงให้เป็นวงจรกรองอันดับหนึ่งได้เช่นเดียวกับวงจรในหัวข้อ 3.5 โดยมีวงจรแสดงดังรูปที่ 5-5 และมีฟังก์ชันถ่ายโอนดังสมการ (5.4)



รูปที่ 5-5 วงจรกรองอันดับหนึ่งของผลต่างสัญญาณคลาสเอบี

$$\frac{I_{op} - I_{on}}{I_{ip} - I_{in}} = H(s) = 4 \exp \left[\frac{V_{gain}}{U_t} \right] \frac{\omega_0}{s + \omega_0}, \quad \omega_0 = \frac{I_{tun}}{nU_t C} \quad (5.4)$$

ดังนั้นวงจรกรองนี้เป็นวงจรกรองผ่านความถี่ต่ำอันดับหนึ่ง ซึ่งมีอัตราขยาย DC เป็น $4 \exp \left[\frac{V_{gain}}{U_t} \right]$ และมีความถี่ตัดคือ $\omega_0 = I_{tun} / nU_t C$

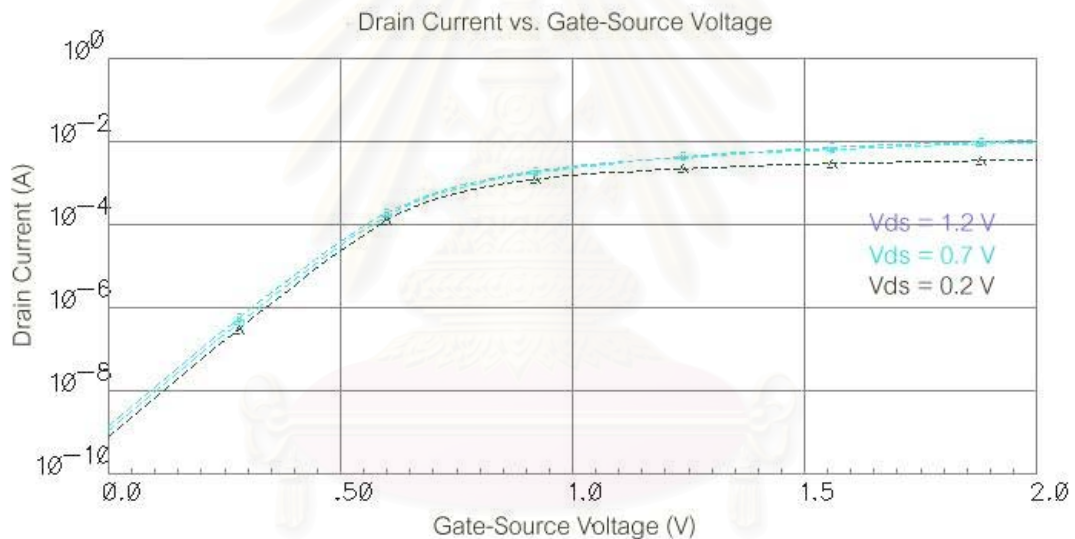
สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 6

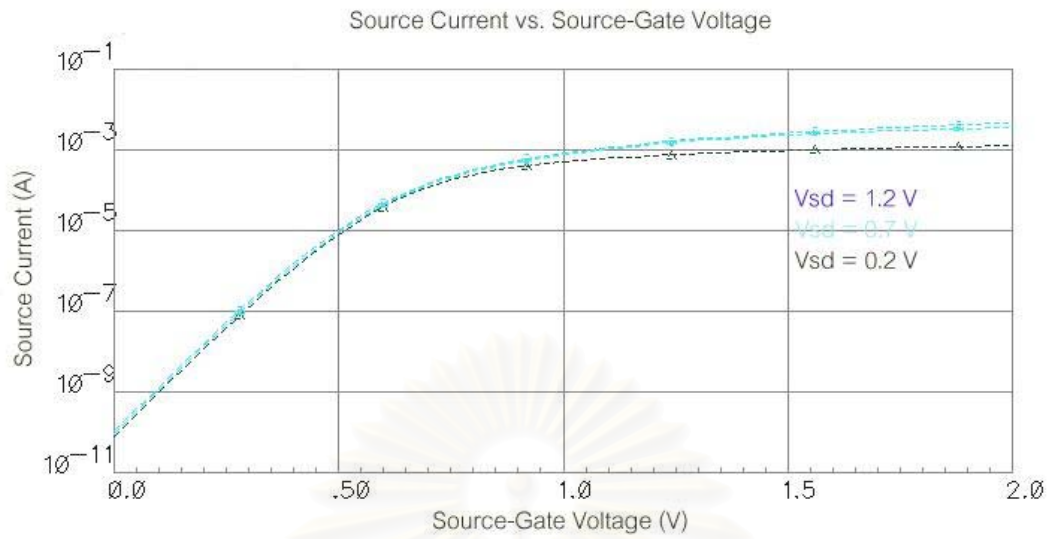
ผลการทดสอบการทำงาน

ในการทดสอบการทำงานของวงจรแบ่งออกเป็นสองส่วนคือ การจำลองผลการการทำงานของวงจรด้วยโปรแกรม Spectre [19] ซึ่งในการจำลองผลวงจรที่ออกแบบนี้ได้ใช้โมเดลของมอส TSMC 0.25 ไมโครเมตร และการทดสอบการทำงานจริงด้วยการนำมอสอะเรย์ ALD1106 (NMOS) และ ALD1107 (PMOS) มาต่อวงจร สำหรับการทดสอบการทำงานจริง ผลการทดสอบที่ได้อาจจะแตกต่างไปจากการจำลองการทำงานด้วยโปรแกรม Spectre เนื่องจากค่าพารามิเตอร์ต่างๆ ของมอสไม่ตรงกัน แต่จะสามารถดูแนวโน้มการทำงานของวงจรที่ออกแบบนี้ได้

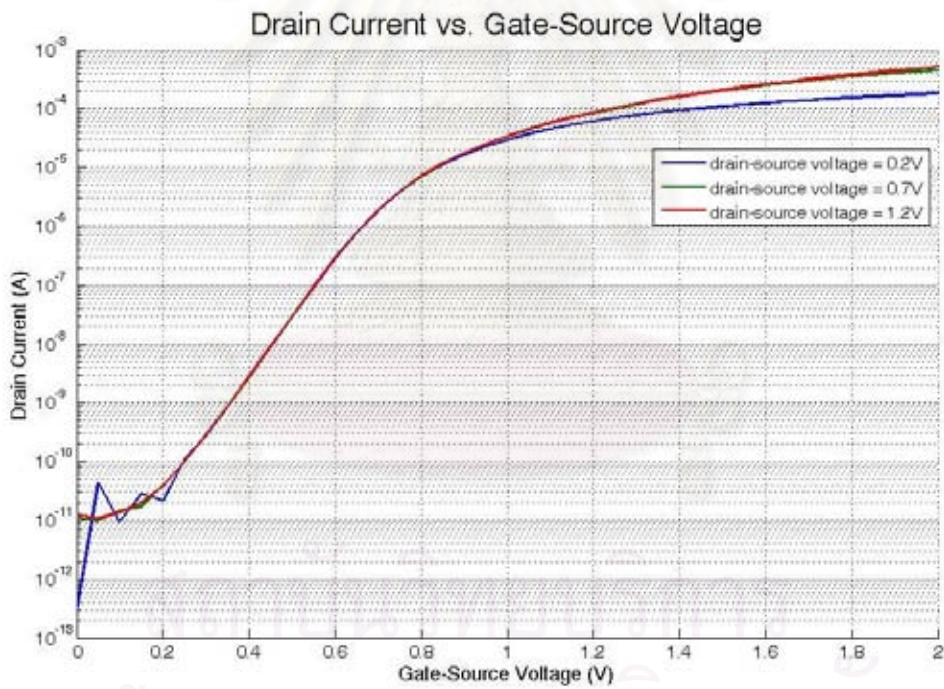
รูปที่ 6-1 ถึงรูปที่ 6-4 แสดงให้เห็นถึงลักษณะสมบัติของ NMOS และ PMOS ที่ใช้ในการจำลองผลและการทดสอบจริงตามลำดับ



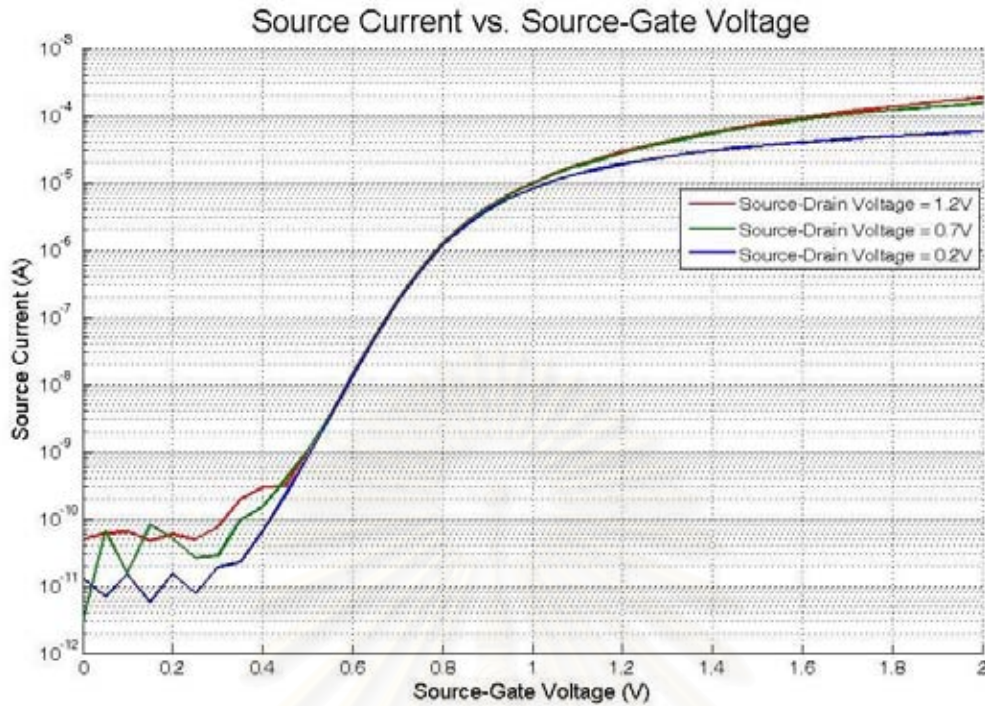
รูปที่ 6-1 ลักษณะสมบัติของ NMOS ที่ใช้ในการจำลองผลการทำงานด้วยโปรแกรม Spectre



รูปที่ 6-2 ลักษณะสมบัติของ PMOS ที่ใช้ในการจำลองผลการทำงานด้วยโปรแกรม Spectre



รูปที่ 6-3 ลักษณะสมบัติของ NMOS ที่ใช้ในการทดสอบวงจร



รูปที่ 6-4 ลักษณะสมบัติของ PMOS ที่ใช้ในการทดสอบวงจร

จากตารางที่ 6-1 สรุปค่าการทำงานเปรียบเทียบระหว่างมอสที่ใช้ในการจำลองผลกับมอสอะเรียที่ใช้ทดสอบจริง จะเห็นว่าทั้ง NMOS และ PMOS ที่ใช้ในการจำลองผลการทำงาน จะมีแรงดันเทรชโฮลด์ต่ำกว่ามอสอะเรียที่ใช้ทดสอบจริง นอกจากนี้มอสที่ใช้ในการจำลองผลยังมีช่วงของการทำงานในย่านซับเทรชโฮลด์ที่กว้างกว่า ทั้งนี้เนื่องมาจากข้อจำกัดของเครื่องวัดกระแส ซึ่งวัดกระแสที่น้อยกว่าระดับนาโนแอมป์ได้ไม่ดี ทำให้ไม่ทราบค่าที่ถูกต้อง

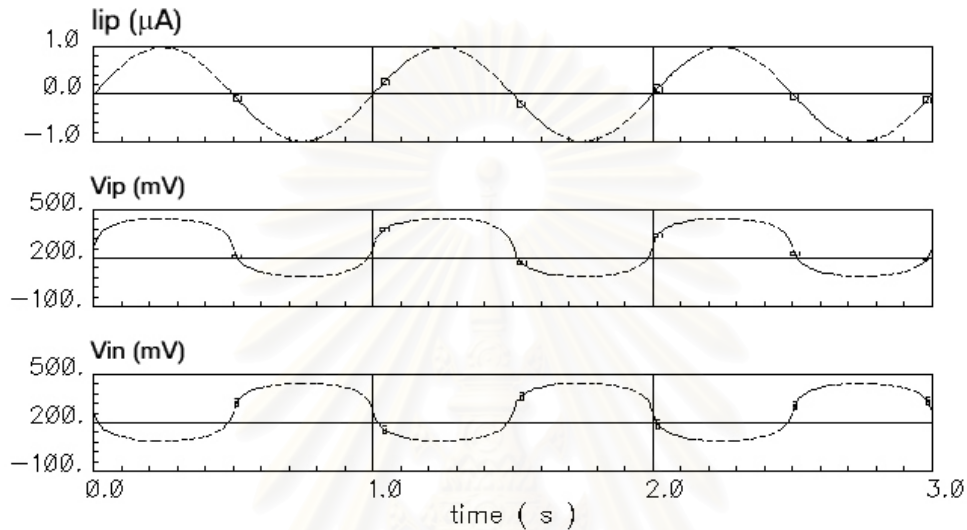
ตารางที่ 6-1 เปรียบเทียบระหว่างมอสที่ใช้ในการจำลองผลกับมอสอะเรียที่ใช้ทดสอบจริง

	มอสที่ใช้ในการจำลองผล	มอสอะเรีย
V_{TON} (V)	0.6	0.7
V_{TOP} (V)	0.6	0.8
$I @ V_{TON}$ (A)	1 E-4	2 E-6
$I @ V_{TOP}$ (A)	1 E-4	1 E-6

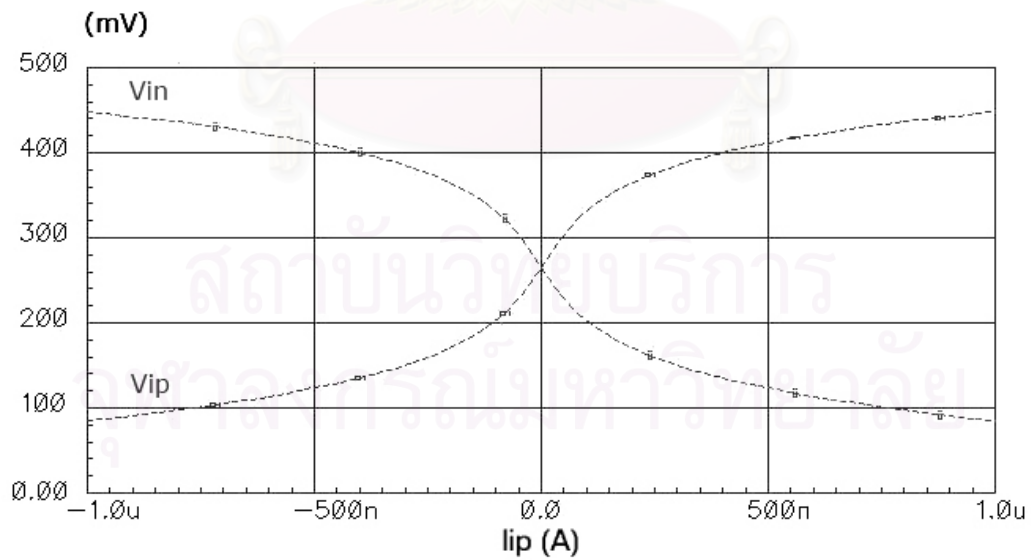
6.1 ผลการทำงานของวงจรมีบัสสัญญาณเชิงลอการิทึม คลาสเอบี

วงจรมีบัสสัญญาณเชิงลอการิทึม คลาสเอบีในรูปที่ 4-1 กระแสขาเข้าจะถูกบีบอัดด้วยฟังก์ชันลอการิทึมให้เป็นแรงดันดังรูปที่ 6-5 และรูปที่ 6-6 ดังนั้น V_{ip} และ V_{in} จึงควรแปรผันตรงกับ I_{ip} ในสเกลเชิงลอการิทึมดังรูปที่ 6-7

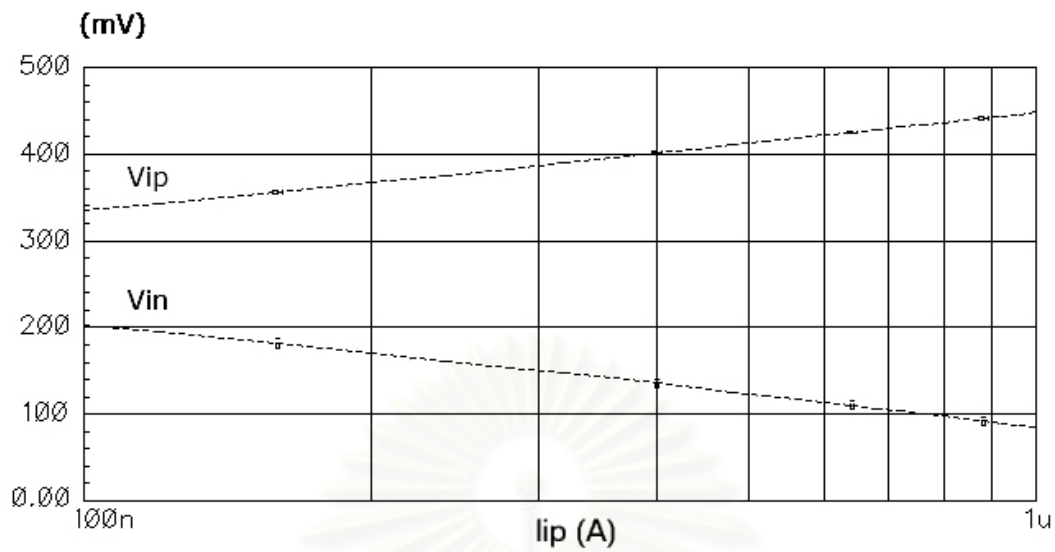
6.1.1 ผลการจำลองการทำงาน



รูปที่ 6-5 ผลตอบทางเวลาของวงจรมีบัสสัญญาณเชิงลอการิทึม



รูปที่ 6-6 ลักษณะสมบัติของวงจรมีบัสสัญญาณในสเกลเชิงเส้น

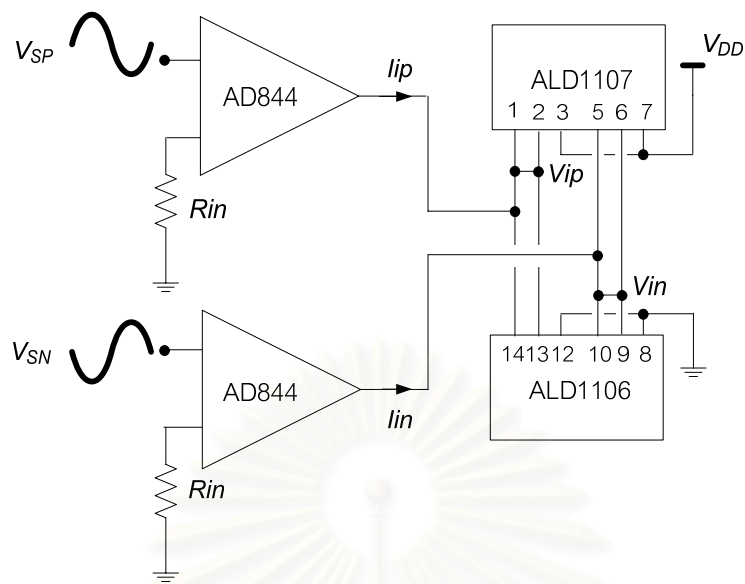


รูปที่ 6-7 ลักษณะสมบัติของวงจรบีบอัดสัญญาณในสเกลลอการิทึม

6.1.2 ผลการทดสอบการทำงาน

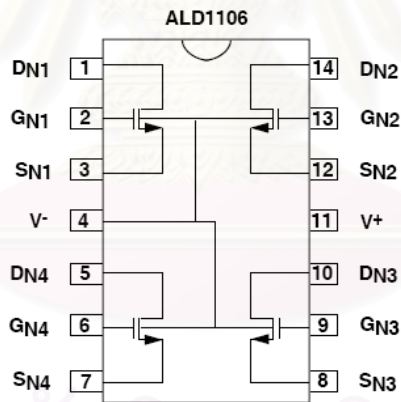
กระแสขาเข้าสำหรับการทดสอบจะถูกสร้างจากเครื่องสร้างแรงดันรูปไซน์ V_{SP} และ V_{SN} 2 แชนเนล ขนาด 50 มิลลิโวลต์จากยอดถึงยอด มีความถี่ 1 กิโลเฮิรตซ์ โดยทั้งสองแชนเนลมีเฟสต่างกันอยู่ 180 องศา แรงดันที่สร้างขึ้นจะถูกแปลงให้เป็นกระแส I_{ip} และ I_{in} ด้วยวงจรรวมออปแอมป์ AD844 ซึ่งสามารถนำมาใช้แปลงแรงดันให้เป็นกระแสได้ สำหรับใช้ทดสอบวงจรขยายที่ออกแบบต่อไป โดยวงจรที่ใช้ทดสอบมีการต่อวงจรดังรูปที่ 6-8 โดยกระแส I_{ip} และ I_{in} ที่สร้างขึ้นนี้มีค่าเท่ากับ $\frac{V_{SP}}{R_{in}}$ และ $\frac{V_{SN}}{R_{in}}$ ตามลำดับ

R_{in} ที่ใช้ในการทดสอบมีค่าเท่ากับ 25 กิโลโอห์ม ดังนั้น I_{ip} และ I_{in} จะมีขนาด 2 ไมโครแอมป์ จากยอดถึงยอด

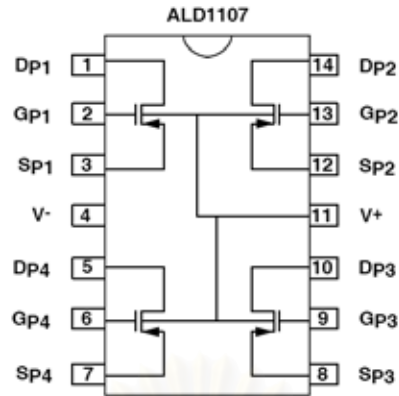


รูปที่ 6-8 การต่อวงจรป้อนสัญญาณเพื่อทดสอบการทำงาน

วงจรรวมมอสอะเรย์ ALD1106 และ ALD1107 มีการจัดเรียงขาตั้งรูปที่ 6-9 และรูปที่ 6-10 ตามลำดับ

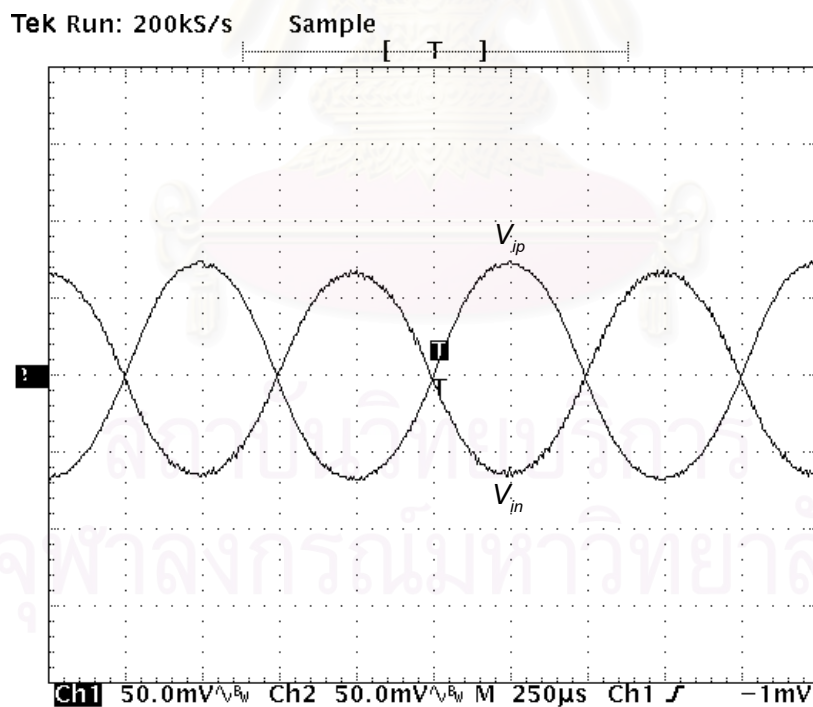


รูปที่ 6-9 การจัดเรียงขาของวงจรรวมมอสอะเรย์ ALD1106



รูปที่ 6-10 การจัดเรียงขาของวงจรรวมมอดสอะเรย์ ALD1107

แรงดันขาออกของวงจรมีลักษณะดังรูปที่ 6-11 จะเห็นว่า V_{ip} และ V_{in} มีลักษณะเป็นรูปสัญญาณไซน์ที่ถูกบีบอัดด้วยฟังก์ชันลอการิทึม ที่มีอัตราการบีบอัดไม่เท่ากับสัญญาณที่ได้จากการจำลองผล ซึ่งอัตราการบีบอัดนี้ถูกกำหนดด้วยค่า nU_t ทำให้รูปสัญญาณที่ได้นี้มีรูปร่างแตกต่างกันไปตามเทคโนโลยีของทรานซิสเตอร์ และอุณหภูมิ เมื่อค่า nU_t เพิ่มขึ้นจะทำให้อัตราการบีบอัดของสัญญาณลดลง ผลที่ได้คือแรงดันที่ถูกบีบอัดนี้จะมีลักษณะใกล้เคียงกับสัญญาณขาเข้ามากขึ้น

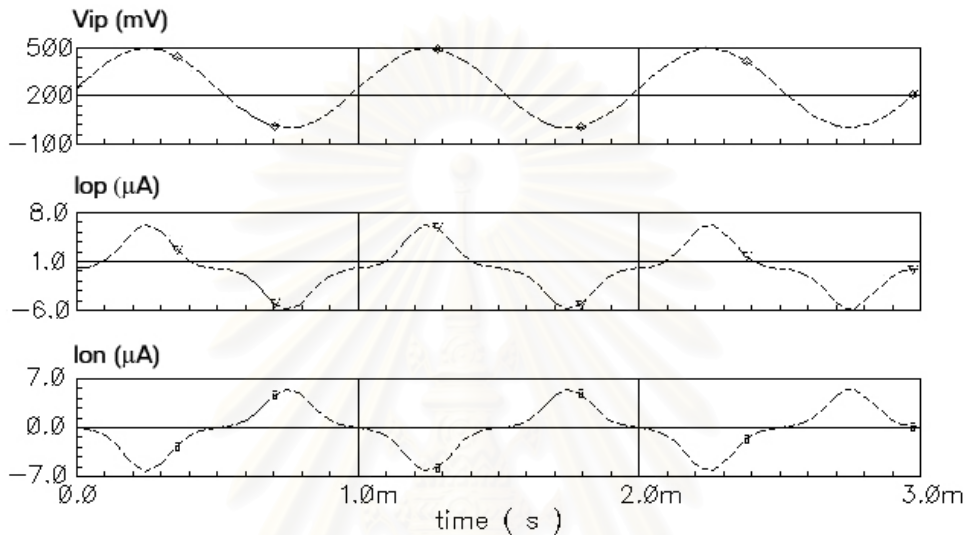


รูปที่ 6-11 ผลตอบทางเวลาของวงจรมอดสอะเรย์ ALD1107 เมื่อให้สัญญาณเข้ารูปไซน์

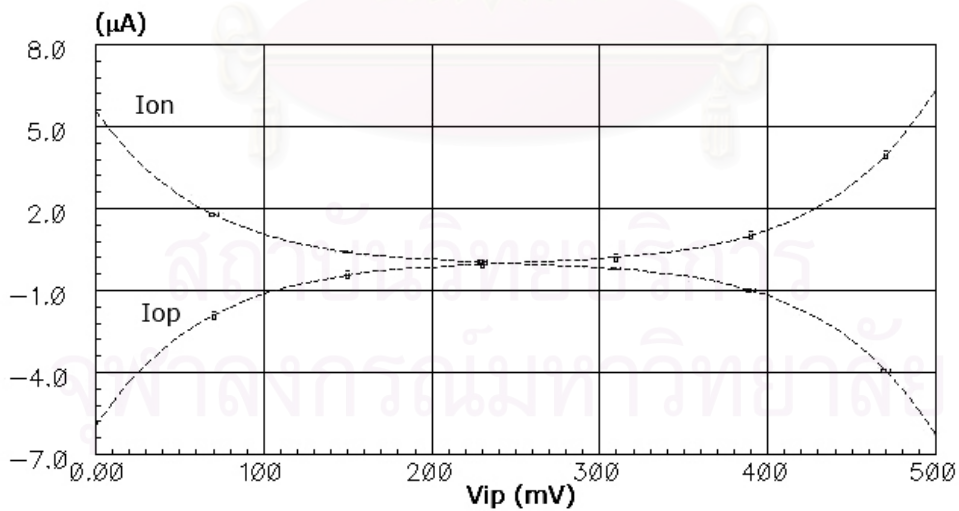
6.2 วงจรแผ่ขยายผลต่างสัญญาณคลาสเอบี เซิงเอกซ์โพเนนเชียล

6.2.1 ผลการจำลองการทำงาน

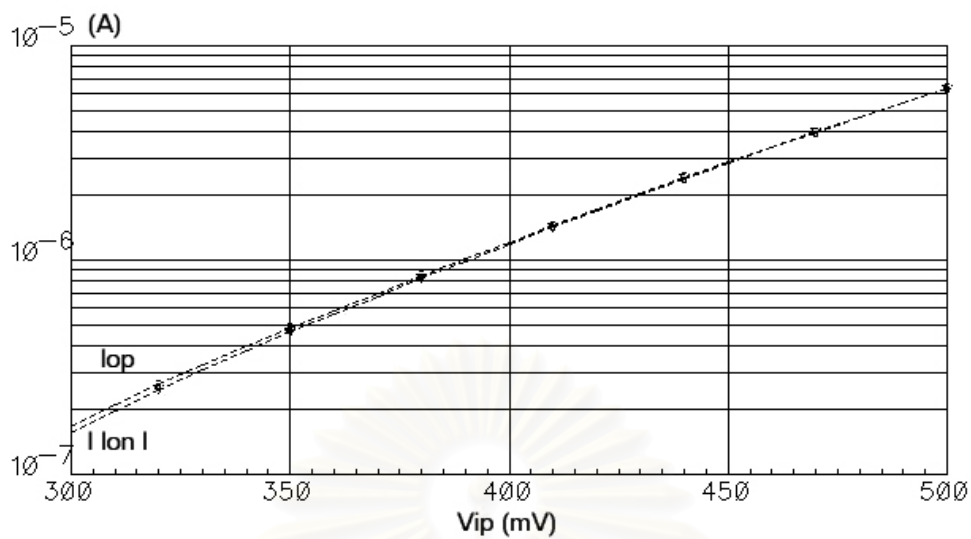
วงจรแผ่ขยายสัญญาณคลาสเอบี เซิงเอกซ์โพเนนเชียลในรูปที่ 4-2 จะแผ่ขยายแรงดันขาเข้าด้วยฟังก์ชันเอกซ์โพเนนเชียลให้เป็นกระแสดังรูปที่ 6-12 และรูปที่ 6-13 จะเห็นว่า I_{op} และ $|I_{on}|$ ในสเกลเชิงลอการิทึมจะแปรผันตรงกับ V_{ip} ดังรูปที่ 6-14



รูปที่ 6-12 ผลตอบทางเวลาของวงจรแผ่ขยายสัญญาณเซิงเอกซ์โพเนนเชียล



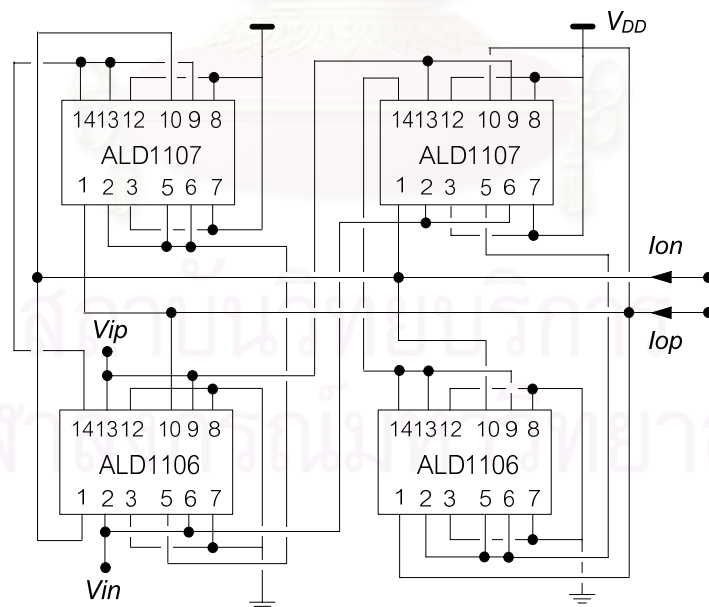
รูปที่ 6-13 ลักษณะสมบัติของวงจรแผ่ขยายสัญญาณในสเกลเชิงเส้น



รูปที่ 6-14 ลักษณะสมบัติของวงจรมอดูเลชันสัญญาณในสเกลลอการิทึม

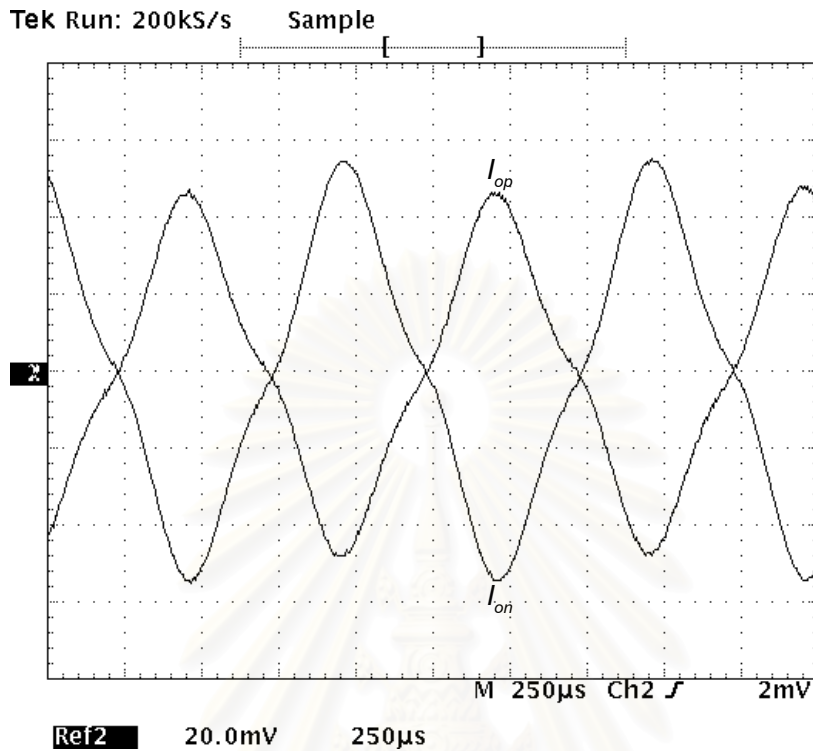
6.2.2 ผลการทดสอบการทำงาน

แรงดันขาเข้าสำหรับการทดสอบจะถูกสร้างจากเครื่องสร้างสัญญาณรูปไซน์ 2 แชนเนล ขนาด 200 มิลลิโวลต์จากยอดถึงยอด แรงดันออฟเซตอยู่ที่ 300 มิลลิโวลต์ มีความถี่ 1 กิโลเฮิรตซ์ โดยทั้งสองแชนเนลมีเฟสต่างกันอยู่ 180 องศา โดยวงจรถ่ายสัญญาณที่ใช้ทดสอบมีการต่อวงจรดังรูปที่ 6-15



รูปที่ 6-15 การต่อวงจรแผ่ขยายสัญญาณเพื่อทดสอบการทำงาน

กระแสขาออกของวงจรแผ่ขยายสัญญาณ I_{op} และ I_{on} ในรูปที่ 6-16 มีลักษณะเป็นสัญญาณไซน์ที่ถูกแผ่ขยายด้วยฟังก์ชันเอกซโพเนนเชียล เป็นไปตามที่ทำการจำลองผลไว้



รูปที่ 6-16 ผลตอบทางเวลาของวงจรแผ่ขยายสัญญาณ เมื่อให้สัญญาณเข้ารูปไซน์

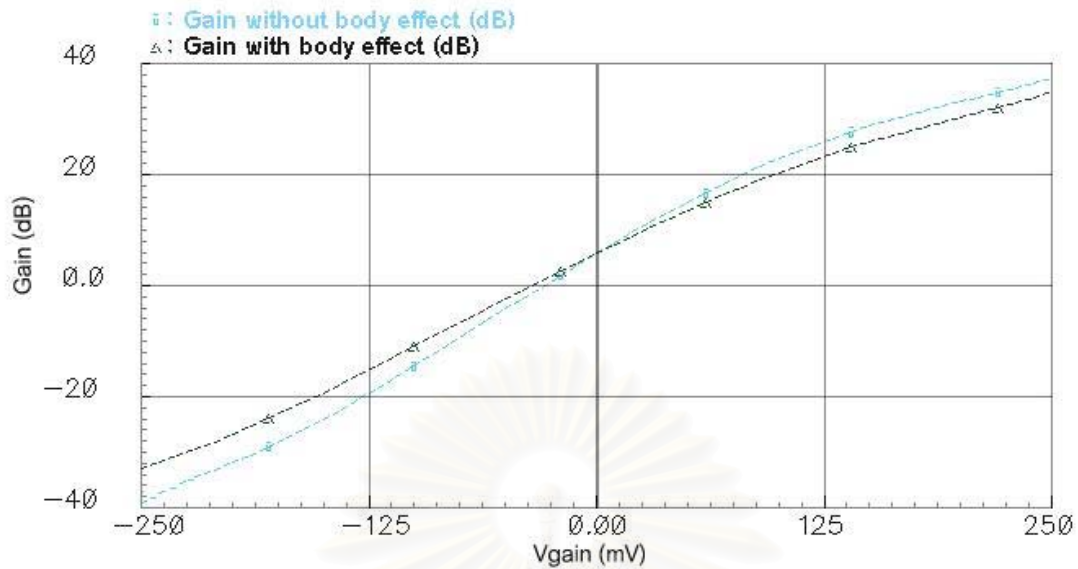
6.3 วงจรขยายผลต่างคลาสเอบี

6.3.1 ผลการจำลองการทำงาน

เมื่อนำวงจรบีบอัดและแผ่ขยายสัญญาณมาต่อรวมกันเพื่อใช้งานเป็นวงจรขยายดังรูปที่ 4-3 โดยมีขนาดทรานซิสเตอร์ตามตารางที่ 6-2 การปรับค่า V_{gain} จะมีผลทำให้อัตราขยายของวงจรเปลี่ยนไป โดยอัตราขยายที่เปลี่ยนแปลงตามค่า V_{gain} แสดงไว้ในรูปที่ 6-17 จะเห็นว่าอัตราขยายที่ใช้งานได้อยู่ที่ประมาณ -40 dB ถึง 38 dB สำหรับวงจรที่ไม่มีผลจาก body effect และอัตราขยายจะลดลงสำหรับวงจรที่มีผลของ body effect ทั้งนี้วงจรถูกออกแบบให้สามารถสร้างอัตราขยายที่น้อยกว่า 1 ได้ เพื่อป้องกันการขยายสัญญาณที่มีขนาดใหญ่เกินไป ในกรณีที่นำวงจรขยายนี้ไปใช้ในวงจรขยายแบบปรับค่าได้อัตโนมัติ

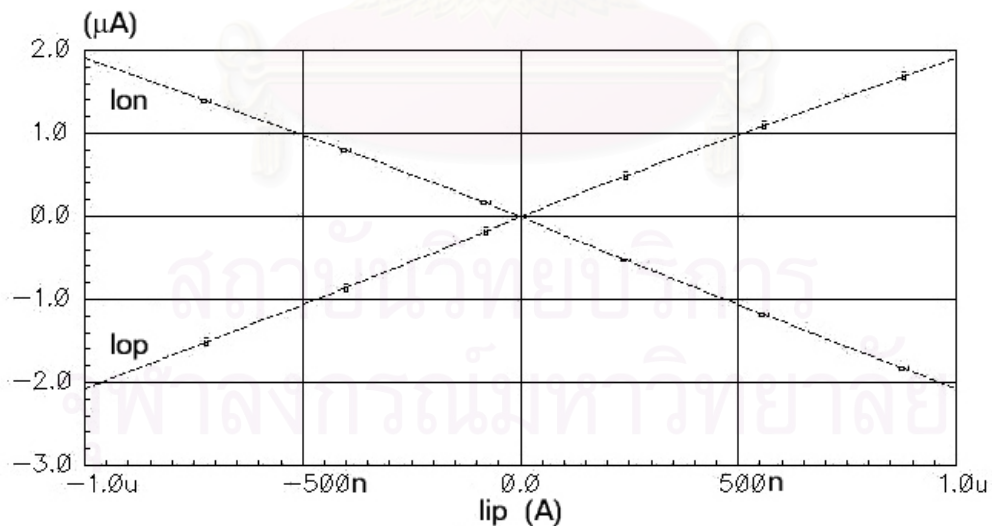
ตารางที่ 6-2 ขนาดของทรานซิสเตอร์ที่ใช้ในวงจรขยาย

ชื่อ	P1-P6	N1-N6	P7-P10	N7-N10
W/L (μm)	3/0.3	3/0.3	30/0.3	30/0.3



รูปที่ 6-17 อัตราขยายของวงจรที่ V_{gain} ค่าต่างๆ ทั้งที่มีและไม่มีผลของ *body effect*

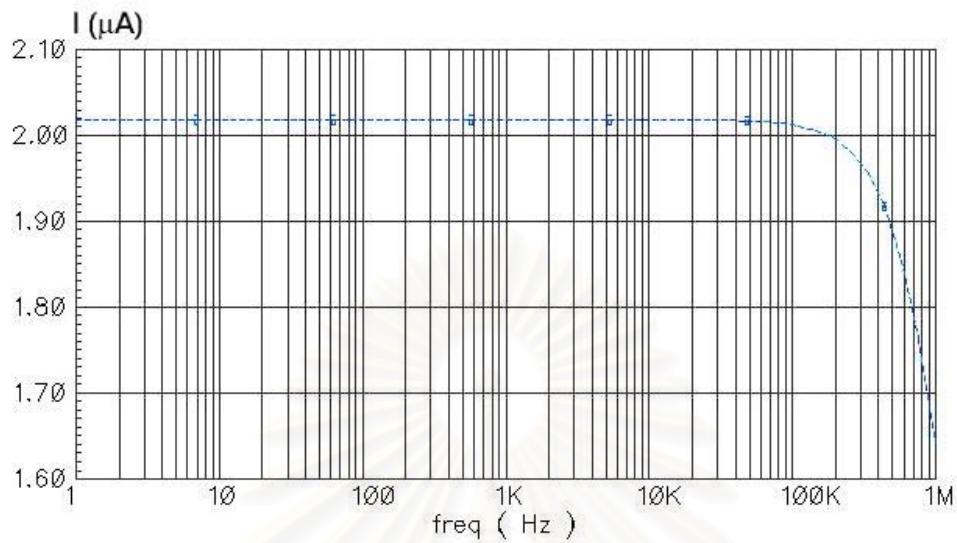
เมื่อพิจารณาสัญญาณขนาดใหญ่ของกระแสขาออก เปรียบเทียบกับกระแสขาเข้า โดยมี $V_{gain} = 0$ จะได้ผลการทำงานดังแสดงในรูปที่ 6-18 จะเห็นว่าสัญญาณขาออกมีความเป็นเชิงเส้นกับสัญญาณขาเข้ามาก แต่จะมีกระแสออฟเซตใน I_{on} และ I_{op} เพียงเล็กน้อย ซึ่งผลของกระแสออฟเซตนี้จะถูกหักล้างไปเพราะกระแสขาออกที่เป็นสัญญาณแบบผลต่างนั่นเอง



รูปที่ 6-18 ลักษณะกระแสขาออกของวงจรขยายเมื่อใส่กระแสขาเข้าค่าต่างๆ

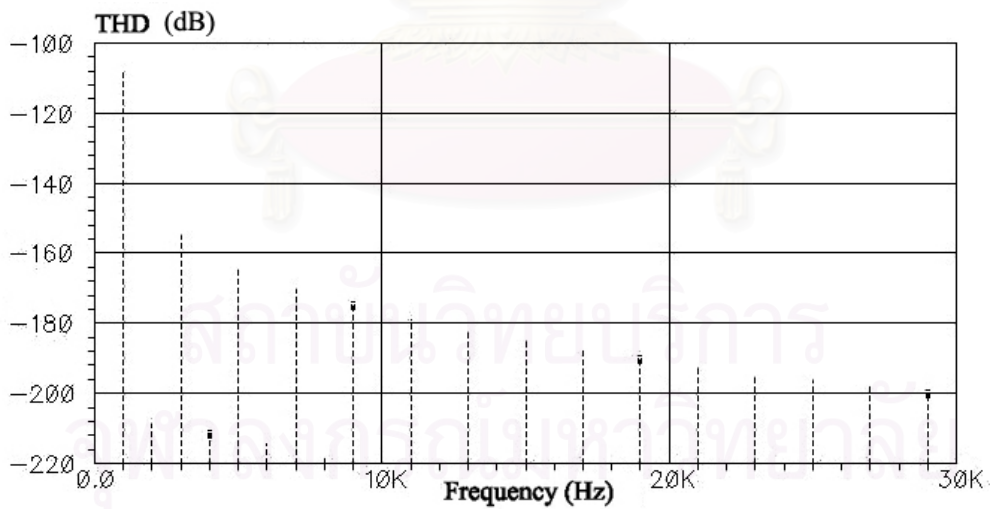
ผลตอบสนองเชิงความถี่ของวงจรขยายดังแสดงในรูปที่ 6-19 จะเห็นว่าวงจรมีความถี่ตัดอยู่ที่ประมาณ 200 กิโลเฮิร์ตซ์ ซึ่งทำให้วงจรทำงานได้ในย่านความถี่เสียง การที่

ความถี่ตัดของวงจรมีค่าสูงสุดได้เพียง 200 กิโลเฮิร์ตซ์นี้ เนื่องมาจากการที่ขนาดของกระแสภายในวงจรมีค่าน้อยมาก ทำให้ย่านความถี่ที่วงจรทำงานได้มีค่าน้อยตามไปด้วย



รูปที่ 6-19 ผลตอบสนองเชิงความถี่ของวงจรมายาย

ความเพี้ยนเชิงเส้นของวงจรมายายแสดงเป็น THD (Total Harmonic Distortion) ดังรูปที่ 6-20 วัดได้ 0.55% ซึ่งอยู่ในระดับที่น่าพอใจ เมื่อเปรียบเทียบกับมาตรฐาน IEC 268 ซึ่งเป็นมาตรฐานสำหรับอุปกรณ์ไฟฟ้าที่เกี่ยวข้องกับเสียง ซึ่งกำหนดไว้ให้ค่า THD ต่ำกว่า 1%



รูปที่ 6-20 ผลการวัดความเพี้ยนเชิงเส้นของวงจรมายาย

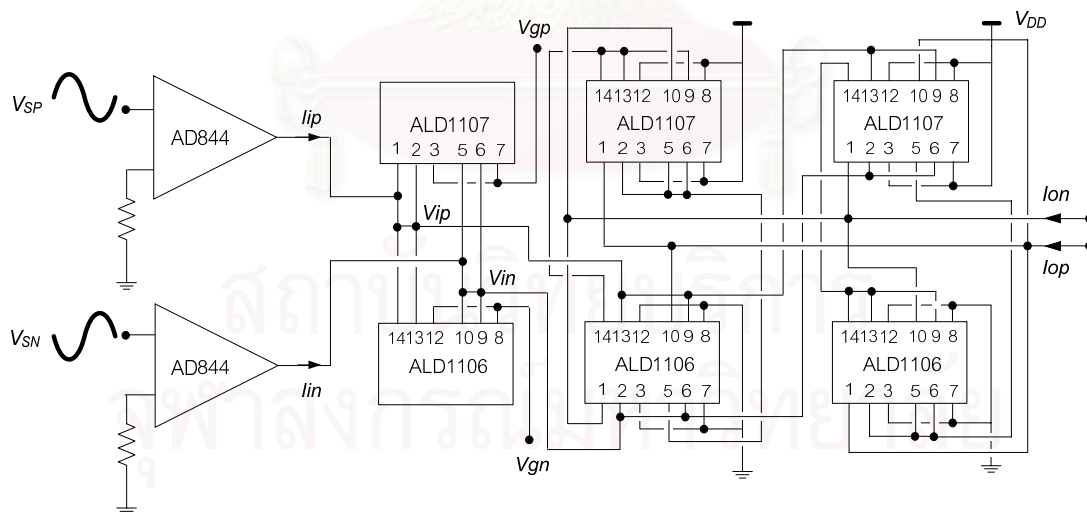
ค่าต่างๆ ที่จุดทำงานสงบของวงจรแสดงไว้ในตารางที่ 6-3 กระแสที่ไหลผ่านมอสแต่ละตัวมีค่าต่ำมากอยู่ในระดับนาโนแอมป์ ทำให้วงจรขยายนี้ใช้พลังงานต่ำมากเมื่อสัญญาณที่เข้ามาในวงจรเป็นศูนย์

ตารางที่ 6-3 จุดทำงานสงบของวงจรขยาย

Name	$ I_d $ (nA)	$ V_{GS} $ (mV)	Name	$ I_d $ (nA)	$ V_{GS} $ (mV)
P1-P2	25.94	327.6	N1-N2	25.94	272.4
P3,P6	29.50	327.6	N3,N6	31.82	272.4
P4,P5	29.79	327.6	N4,N5	29.37	272.4

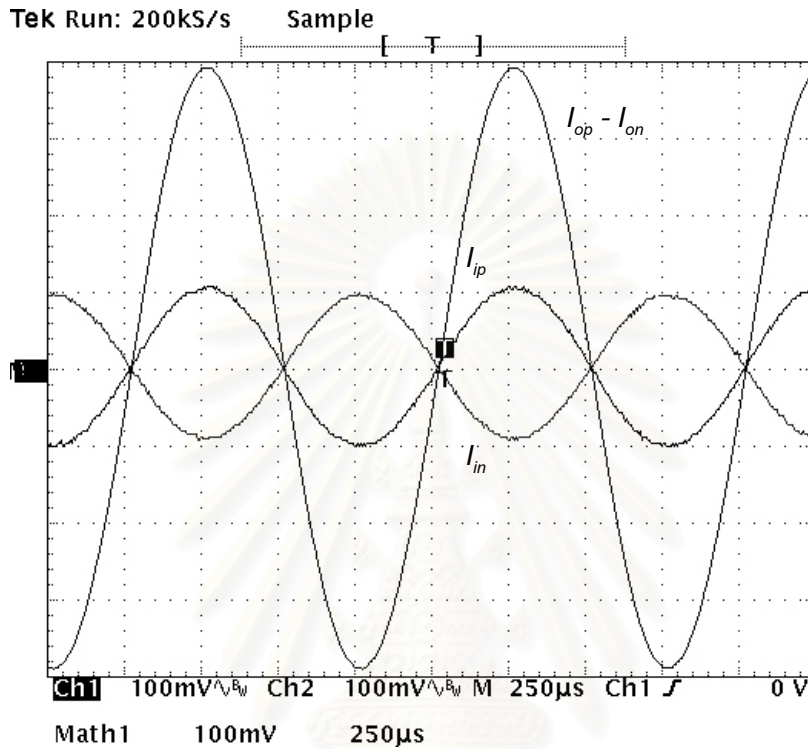
6.3.2 ผลการทดสอบการทำงาน

ในการต่อวงจรเพื่อทดสอบการทำงานของวงจรขยาย มีการต่อวงจรดังรูปที่ 6-21 โดยสัญญาณขาเข้าที่ใส่เข้าไปในวงจรจะเป็นเช่นเดียวกับการทดสอบวงจรบีบอัดสัญญาณ คือการใช้วงจรรวมออปแอมป์ AD844 แปลงแรงดันรูปไซน์ V_{SP} และ V_{SN} ขนาด 50 มิลลิโวลต์ จากยอดถึงยอด ให้เป็นกระแส I_{ip} และ I_{in} ขนาด 2 ไมโครแอมป์จากยอดถึงยอดตามลำดับ จากนั้นแรงดันที่ถูกบีบอัด V_{ip} และ V_{in} จะถูกส่งต่อไปยังวงจรแผ่ขยายสัญญาณได้กระแสขาออก I_{op} และ I_{on}



รูปที่ 6-21 การต่อวงจรขยายเพื่อทดสอบการทำงาน

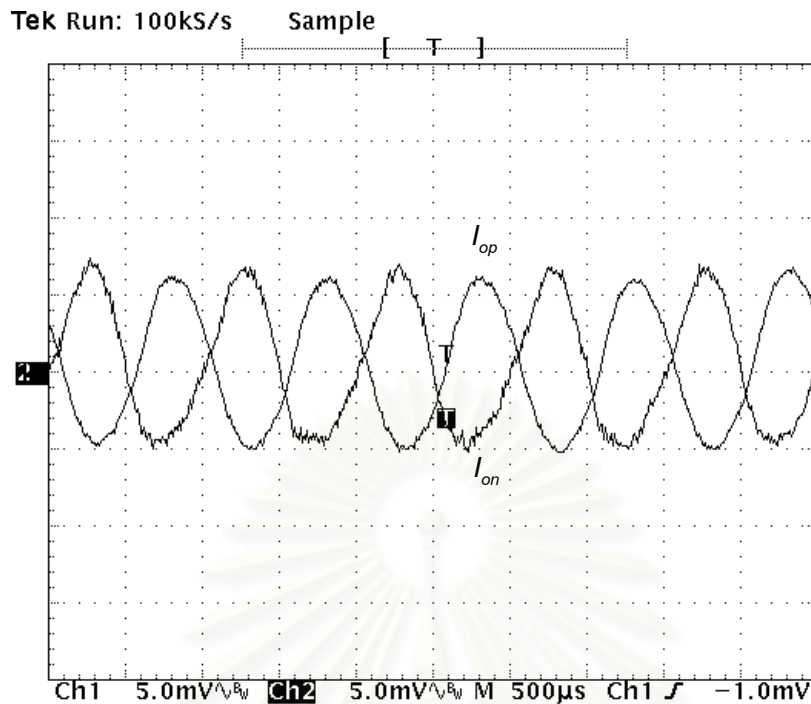
เมื่อทำการวัดกระแสขาออกของวงจรถ่ายเปรียบเทียบกับกระแสขาเข้าโดยให้ V_{gain} เป็น 0 โวลต์ ผลการทดสอบเป็นไปดังรูปที่ 6-22 จะเห็นว่า $I_{op} - I_{on}$ มีค่าประมาณ 2 เท่าของ $I_{ip} - I_{in}$ เป็นไปตามสมการการทำงานของวงจรถ่าย (4.5)



รูปที่ 6-22 กระแสขาออกของวงจรถ่ายเปรียบเทียบกับกระแสขาเข้า

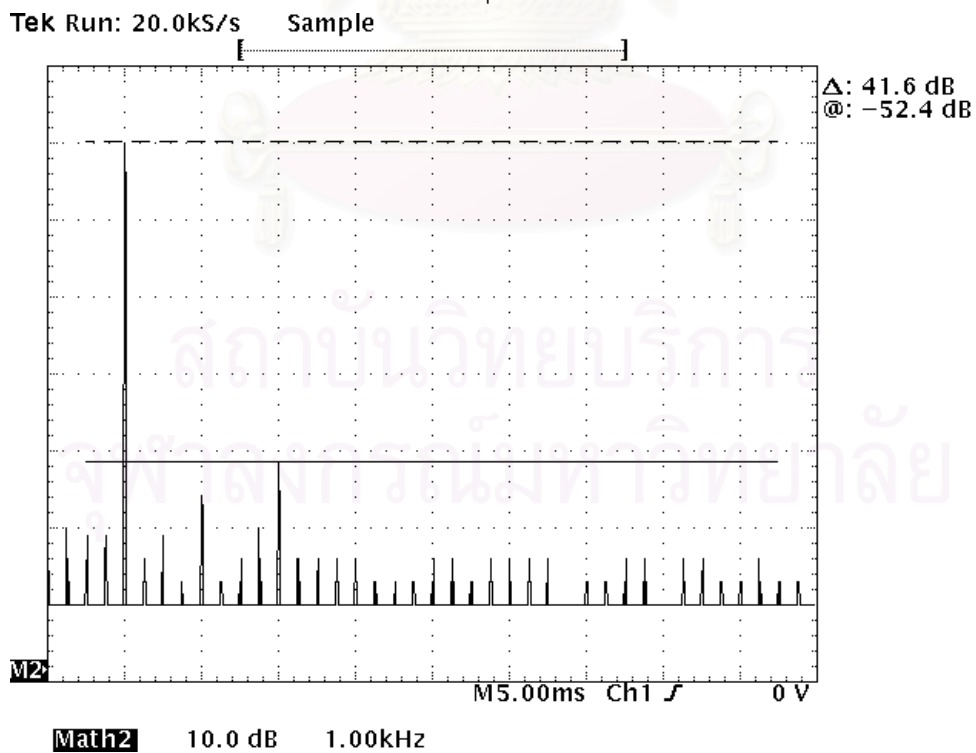
เพื่อดูความสามารถในการกำจัดสัญญาณโหมดร่วมของวงจรถ่าย จึงได้ทำการใส่กระแสขาเข้าวงจรถ่ายเป็นสัญญาณโหมดร่วมที่มี $I_{ip} = I_{in}$ กระแสขาออกของวงจรถ่ายที่วัดได้แสดงไว้ในรูปที่ 6-23 โดยทั้ง I_{op} และ I_{on} มีค่าน้อยกว่าเมื่อกระแสขาเข้าเป็นสัญญาณผลต่างอยู่ 20 เท่า คำนวณหาค่า CMRR (Common Mode Rejection Ratio) ได้ดังนี้

$$20 \log \left[\frac{0.05 \mu A}{1 \mu A} \right] = 26.02 \text{ dB}$$



รูปที่ 6-23 กระแสขาออกของวงจรขยาย เมื่อมีสัญญาณขาเข้าแบบโหมคร่วม

ความเพี้ยนเชิงเส้นของวงจรขยายวัดโดยทำการแปลงฟูเรียร์สัญญาณขาออก แล้วดูขนาดสัญญาณที่ความถี่ฮาร์โมนิกคือต่างๆ วัด THD (Total Harmonic Distortion) ได้ 0.83%



รูปที่ 6-24 ความเพี้ยนเชิงเส้นของวงจรขยาย

คุณสมบัติต่างๆ ของวงจรมัลติเพล็กซ์ที่ทำการจำลองผล และทดสอบผลนี้ได้สรุปเปรียบเทียบไว้ในตารางที่ 6-4

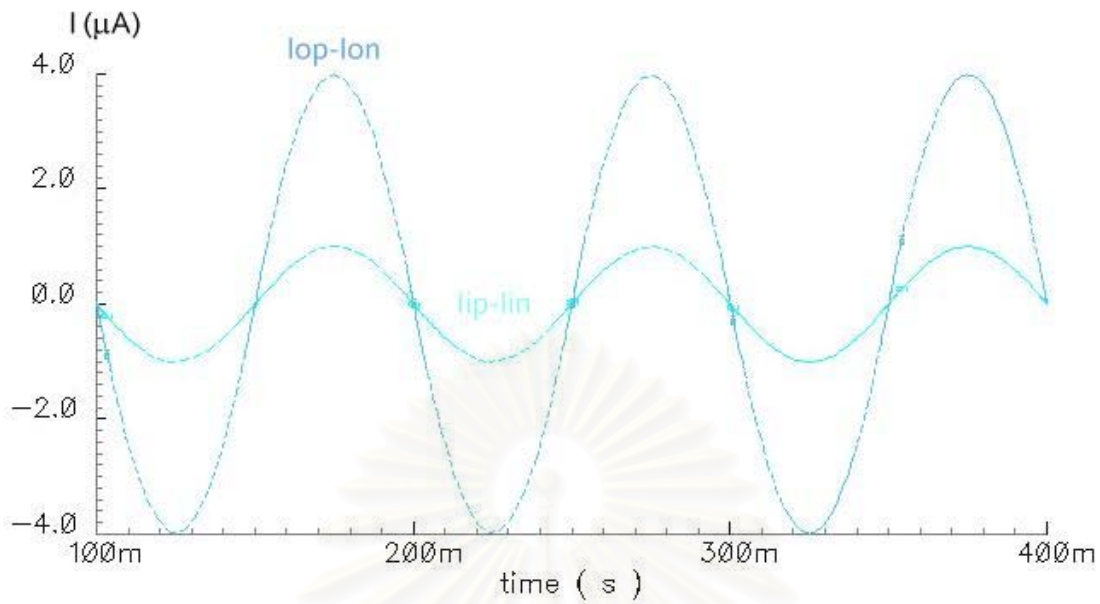
ตารางที่ 6-4 สรุปผลการทำงานของวงจรมัลติเพล็กซ์

คุณสมบัติ	ค่าจากการจำลองผล	ค่าจากการทดสอบ	เงื่อนไข
แรงดันไฟเลี้ยง	0.6 V	1.12 V	-
อัตราขยาย	-40 to 38 dB	-	-
พิกัดสัญญาณขาเข้า	-1 to 1 μ A	-1 to 1 μ A	-
ความถี่สัญญาณขาเข้าสูงสุด	200 kHz	-	-
พลังงานที่ใช้	3.16 μ W	-	$V_{gain}=0$, สัญญาณขาเข้าสูงสุด
%THD	0.55 %	0.83 %	$V_{gain}=0$, สัญญาณขาเข้าสูงสุด
CMRR	35.76 dB	26.02 dB	$V_{gain}=0$, สัญญาณขาเข้าสูงสุด

6.4 ผลการจำลองการทำงานของวงจรมัลติเพล็กซ์ต่างสัญญาณคลาสเอบี

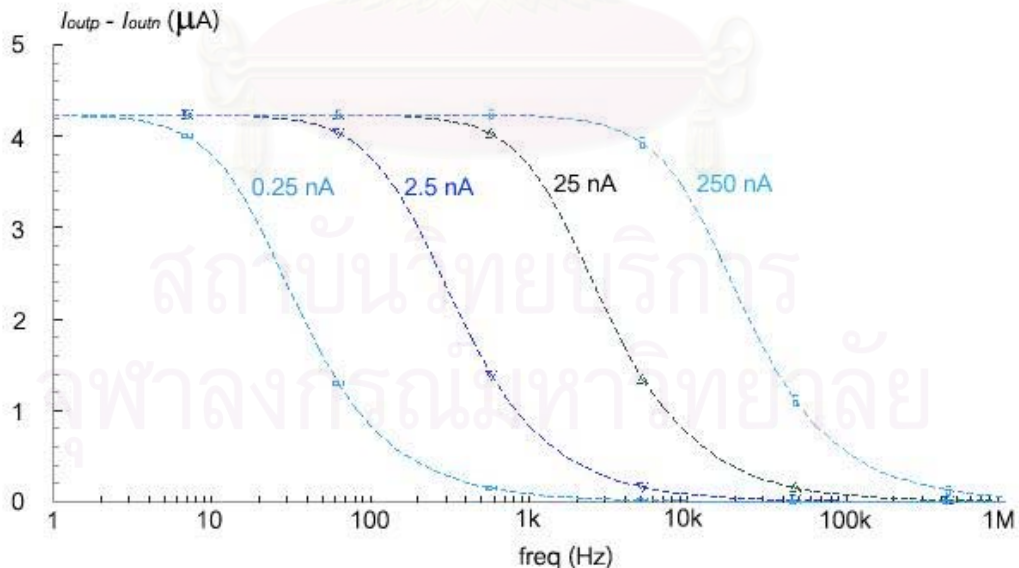
วงจรมัลติเพล็กซ์ความถี่ต่ำอันดับหนึ่งที่ออกแบบจะให้สัญญาณขาออก $I_{op} - I_{on}$ เป็นสี่เท่าของ $I_{ip} - I_{in}$ เมื่อให้ $V_{gain} = 0$ V โดยผลตอบทางเวลาของวงจรมัลติเพล็กซ์นี้ เมื่อให้สัญญาณขาเข้าขนาด 2 ไมโครแอมป์ จากยอดถึงยอด ความถี่ 10 เฮิรตซ์ จะมีสัญญาณขาออกเป็นดังแสดงในรูปที่ 6-25

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 6-25 ผลตอบทางเวลาของวงจรรอง

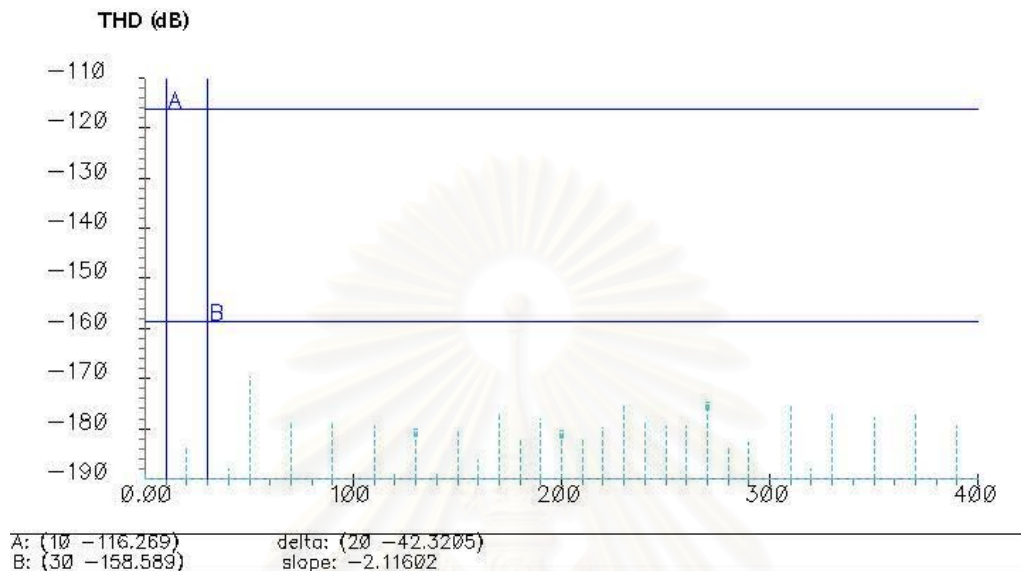
การทำงานของวงจรถจะเป็นดังสมการที่ (5.4) คือมีความถี่ตัดที่ $\omega_0 = I_{tun}/nU_T C$ ดังนั้นจึงสามารถเลือกความถี่ตัดของวงจรถได้จากค่า C ในขั้นตอนการออกแบบ หรือปรับค่า I_{tun} ในระหว่างการใช้งานก็ได้ โดยการเปลี่ยนแปลงค่า C ให้มีค่าลดลง หรือการเพิ่ม I_{tun} จะส่งผลให้ความถี่ตัดมีค่าสูงขึ้น ดังจะเห็นได้จากผลตอบทางความถี่ในรูปที่ 6-26



รูปที่ 6-26 ผลตอบเชิงความถี่ของวงจรรองที่ค่า I_{tun} ต่างๆ

ความเพี้ยนเชิงเส้นของวงจรถ หรือค่า THD เมื่อทำการวัดจากผลการแปลงฟูเรียร์ในรูปที่ 6-27 จะคิดเป็นเปอร์เซ็นต์ได้ 0.94% ซึ่งถือว่าค่อนข้างสูง แต่ก็ยังอยู่ในเกณฑ์ที่กำหนดโดย IEC คือ 1%

นอกจากนี้วงจรทั้งวงจรยังทำงานภายใต้แรงดันไฟเลี้ยง 0.6 V ส่งผลให้ทั้งวงจรใช้พลังงานเพียง 4.29 ไมโครวัตต์เมื่อมีสัญญาณขาเข้าขนาดสูงสุด และใช้พลังงาน 2.09 ไมโครวัตต์เมื่อไม่มีสัญญาณเข้ามาในวงจร โดยผลการทำงานของวงจรรองที่ออกแบบนี้แสดงสรุปไว้ในตารางที่ 6-5



รูปที่ 6-27 ความเพี้ยนเชิงเส้นของวงจรรองวัดเป็นหน่วย dB

ตารางที่ 6-5 สรุปผลการทำงานของวงจรรองผ่านความถี่ต่ำ

คุณสมบัติ	ค่าจากการจำลองผล	เงื่อนไข
แรงดันไฟเลี้ยง	0.6 V	-
พิสัยสัญญาณขาเข้า	-1 to 1 μ A	-
ความถี่ตัดสูงสุดที่ปรับค่าได้	20 kHz	-
พลังงานที่ใช้	4.29 μ W	$V_{gain}=0$, สัญญาณขาเข้าสูงสุด
%THD	0.94 %	$V_{gain}=0$, สัญญาณขาเข้าสูงสุด
CMRR	69.12 dB	$V_{gain}=0$, สัญญาณขาเข้าสูงสุด
ค่าตัวเก็บประจุที่ใช้ทั้งหมด	12 pF	-

บทที่ 7

ข้อสรุปและข้อเสนอแนะ

7.1 ข้อสรุป

วงจรที่ออกแบบในงานวิจัยนี้ได้แก่วงจรขยายและวงจรรองผ่านความถี่ต่ำอันดับหนึ่งของผลต่างสัญญาณคลาสเอบี โดยใช้เทคนิคการบีบอัดและขยายสัญญาณเชิงลอการิทึม โดยวงจขยายที่ออกแบบ มีประสิทธิภาพเหนือกว่างานวิจัยในปัจจุบันทางด้านแรงดันไฟเลี้ยงที่มีขนาดเล็กเพียง 0.6 โวลต์ รวมไปถึงพลังงานที่ใช้ ความเพี้ยนเชิงเส้นของวงจรถูกอยู่ในระดับที่น่าพอใจ คือ 0.55% ใกล้เคียงกับงานวิจัยที่มีอยู่ นอกจากนี้วงจรมีความสามารถในการกำจัดสัญญาณรบกวนใหม่คร่อม ซึ่งไม่มีในงานวิจัยปัจจุบันอื่นด้วย ในส่วนของวงจรรองที่ออกแบบ เป็นวงจรรองความถี่ต่ำอันดับหนึ่ง ซึ่งสามารถประยุกต์ออกแบบให้เป็นวงจรรองรูปแบบอื่น หรืออันดับที่สูงกว่านี้ได้ โดยมีการใช้พลังงานที่ต่ำมาก ภายใต้แรงดัน 0.6 โวลต์เช่นเดียวกัน ความถี่ตัดของวงจรมีความสามารถเลือกได้จากการกำหนดค่าตัวเก็บประจุ หรือปรับค่า I_{un} ก็ได้ ทั้งนี้ต้องคำนึงถึงผลที่เกิดจากค่า n ที่ไม่เท่ากันของ NMOS และ PMOS ด้วย

7.2 ข้อเสนอแนะ

วงจรที่ทำการทดสอบนี้ ทำการทดสอบโดยใช้มอสอะเรย์สำเร็จรูป ALD1106 และ ALD1107 ทำให้ไม่สามารถกำหนดค่าพารามิเตอร์ต่างๆ ของมอสตามที่ต้องการได้ อีกทั้งยังทำการทดสอบบนแผงทดลองวงจรต้นแบบ (Protoboard) ซึ่งมีสัญญาณรบกวนมาก ดังนั้นหากทำการเจือสารวงจรผลที่ได้จากการวัดจะมีประสิทธิภาพที่ใกล้เคียงกับผลการจำลอง อย่างไรก็ตามวงจรที่ต่อโดยใช้มอสอะเรย์สำเร็จรูปก็ยังสามารถทำงานได้ตามที่ต้องการ จึงสามารถพัฒนาให้ดีขึ้นโดยการสร้างเป็นแผ่นวงจรพิมพ์ (PCB) ได้

นอกจากนี้เทคนิคที่น่าเสนอในวิทยานิพนธ์นี้ยังสามารถจะนำไปประยุกต์ใช้ออกแบบวงจรที่ต้องการประหยัดพลังงานอื่นๆ ได้อีกมาก

รายการอ้างอิง

- [1] P. Favrat, P. Deval, and M. J. Declercq. An improved voltage doubler in a standard CMOS technology, in Proc. IEE Int. Symp. Circuits and Systems 1 (1997) : 249–252.
- [2] Y.Tsividis. Externally Linear, Time-Invariant Systems and Their Application to Companding Signal Processors. IEEE Transactions on Circuits and Systems- II 44, 2 (Feb 1997): 65–85.
- [3] A. C. van der Woerd. Analog circuits for a single-chip infrared controlled hearing aid, J. Analog Integrated Circuits Signal Processing 3 (1993) : 91–103.
- [4] D. G. Gata, W. Sjrnsen, J. R. Hochschild, J. W. Fattaruso, L. Fang, G. R. Iannelli, Z. Jiang, C. M. Branch, J. A. Holmes, M. L. Skorcz, E. M. Petilli, S. Chen, G. Wakeman, D. A. Preves, and W. A. Severin. A 1.1-V 270-uA mixed-signal hearing aid chip. IEEE J. Solid-State Circuits 37 (Dec. 2002) : 1670–1678.
- [5] Varona, J., Hamoui, A.A. and Martin, K. A low-voltage fully-monolithic /spl Delta//spl Sigma/-based class-D audio amplifier. Solid-State Circuits Conference, 2003. ESSCIRC '03. Proceedings of the 29th European (16-18 Sept. 2003) : 545 - 548
- [6] Naktongkul, P. and Thanachayanont, A. A 1-V 25-dB 100-MHz CMOS variable gain amplifier cell. Communications and Information Technology, 2004. ISCIT 2004. IEEE International Symposium on 1 (26-29 Oct. 2004) : 527 – 530
- [7] Serra-Graells, F. and Huertas, J.L. Low-voltage CMOS subthreshold log amplification and AGC. Circuits, Devices and Systems, IEE Proceedings- 152, 1 (4 Feb. 2005) : 61 – 70
- [8] Quoc-Hoang Duong, Quan Le, Chang-Wan Kim and Sang-Gug Lee. A 95-dB linear low-power variable gain amplifier. Circuits and Systems I: Regular Papers, IEEE Transactions on 53, 8 (Aug. 2006) : 1648 – 1657

- [9] Serra-Graells, F. All-MOS subthreshold log filters. Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on 1 (6-9 May 2001) : 137 - 140
- [10] Krishnapura, N. and Tsvividis, Y. Micropower low-voltage analog filter in a digital CMOS process. IEEE Journal of Solid-State Circuits 38, 6 (June 2003) : 1063 – 1067.
- [11] Omeni, O., Rodriguez-Villegas, E. and Toumazou, C. A micropower CMOS continuous-time filter with on-chip automatic tuning. Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on 52, 4 (April 2005) : 695 – 705
- [12] Redondo, X. and Serra-Graells, F. 1 V compact class-AB CMOS log filters. Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium 3 (23-26 May 2005) : 2000 – 2003.
- [13] Francisco Serra-Graells, Jose L. Huertas and Adoracion Rueda. Low-Voltage Cmos Log Companding Analog Design. Kluwer Academic Pub, June 2003.
- [14] G.A.S. Machado, C.C. Enz, and M. Bucher. Estimating key parameters in the EKV MOST model for analogue design and simulation. proc. of IEEE ISCAS'95.
- [15] G.Giustolisi, G.Palumbo, M.Criscione, and F.Cutri. A low-voltage low-power voltage reference based on subthreshold MOSFET. IEEE J. Solid-State Circuits. 38, 1 (Jan.2003) : 151-154.
- [16] Y.Cheng and C.Hu. MOSFET Modeling & BSIM3 User's Guide. New York : Kluwer ,1999.
- [17] Po-Hsuan Huang, Hongchin Lin and Yen-Tai Lin. A Simple Subthreshold CMOS Voltage Reference Circuit With Channel-Length Modulation Compensation. IEEE Transactions on Circuits and Systems-II 53, 9 (September 2006).
- [18] Khumsat, P.; Worapishet, A. High-gain current amplifiers for low-power MOSFET-C filters. Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium (21-24 May 2006) : 4.
- [19] Cadence Design Systems, Inc. http://www-inst.eecs.berkeley.edu/~n240/sp06/spectre_user_guide.pdf San Jose, USA : Cadence Design Systems, July 2002

[20] Behzad Razavi. Design of Analog Cmos Integrated Circuits : McGraw-Hill, January 2001

[21] Analog Devices Inc. Data sheet of AD844. Norwood : Analog Devices, 1992



สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

PROCESS PARAMETERS		MTL5	N_WELL	UNITS							
Sheet Resistance		0.03	1191	ohms/sq							
Width Variation (measured - drawn)		0.04		microns							
Contact Resistance		8.13		ohms							
CAPACITANCE PARAMETERS		N+ACTV	P+ACTV	POLY	MTL1	MTL2	MTL3	MTL4	MTL5	N_WELL	UNITS
Area (substrate)		1872	1877	97	38	19	13	8	8	62	aF/um ²
Area (N+active)				5912	50	20	14	11	9		aF/um ²
Area (P+active)				5691							aF/um ²
Area (poly)					63	17	10	7	6		aF/um ²
Area (metal1)						37	15	9	7		aF/um ²
Area (metal2)							38	15	9		aF/um ²
Area (metal3)								38	15		aF/um ²
Area (metal4)									37		aF/um ²
Fringe (substrate)	440		352		23	60	56	42	24		aF/um
Fringe (poly)					70	42	30	24	21		aF/um
Fringe (metal1)						52	36	29	24		aF/um
Fringe (metal2)							49	36	29		aF/um
Fringe (metal3)								52	38		aF/um
Fringe (metal4)									65		aF/um
Overlap (N+active)				627							aF/um
Overlap (P+active)				559							aF/um
CIRCUIT PARAMETERS					UNITS						
Inverters		K									
Vinv		1.0		1.03	Volts						
Vinv	1.08/0.72	1.5		1.12	Volts						
Vol (100 uA)	1.44/0.72	2.0		0.30	Volts						
Voh (100 uA)	1.44/0.72	2.0		2.06	Volts						
Vinv	1.44/0.72	2.0		1.18	Volts						
Gain	1.44/0.72	2.0		-18.28	Volts						

COMMENTS: DEEP_SUBMICRON

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ข

รายละเอียดของวงจรรวมที่ใช้ทำการทดสอบวงจร



ADVANCED
LINEAR
DEVICES, INC.

ALD1106/ALD1116

QUAD/DUAL N-CHANNEL MATCHED MOSFET ARRAY

GENERAL DESCRIPTION

The ALD1106/ALD1116 are monolithic quad/dual N-channel enhancement mode matched MOSFET transistor arrays intended for a broad range of precision analog applications. The ALD1106/ALD1116 offer high input impedance and negative current temperature coefficient. The transistor pairs are matched for minimum offset voltage and differential thermal response, and they are designed for switching and amplifying applications in +2V to +12V systems where low input bias current, low input capacitance and fast switching speed are desired. These MOSFET devices feature very large (almost infinite) current gain in a low frequency, or near DC, operating environment. The ALD1106/ALD1116 are building blocks for differential amplifier input stages, transmission gates, and multiplexer applications, current sources and many precision analog circuits.

FEATURES

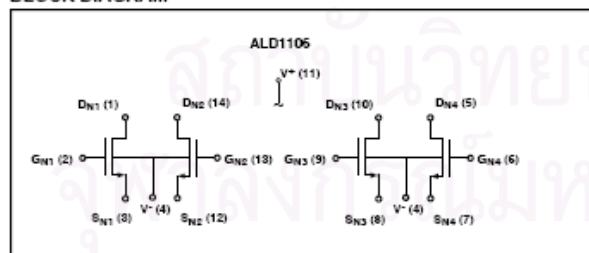
- Low threshold voltage of 0.7V
- Low input capacitance
- Low V_{os} 2mV typical
- High input impedance -- $10^{14}\Omega$ typical
- Negative current (I_{DS}) temperature coefficient
- Enhancement-mode (normally off)
- DC current gain 10^9
- Low input and output leakage currents

ORDERING INFORMATION

Operating Temperature Range*		
-55°C to +125°C	0°C to +70°C	0°C to +70°C
8-Pin Cerdip Package	8-Pin Plastic Dip Package	8-Pin SOIC Package
ALD1116 DA	ALD1116 PA	ALD1116 SA
14-Pin Cerdip Package	14-Pin Plastic Dip Package	14-Pin SOIC Package
ALD1106 DB	ALD1106 PB	ALD1106 SB

* Contact factory for industrial temperature range.

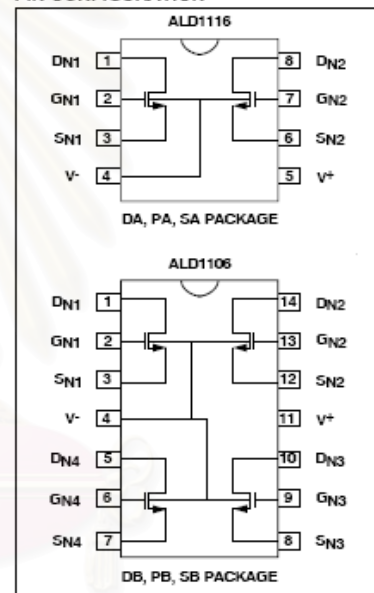
BLOCK DIAGRAM



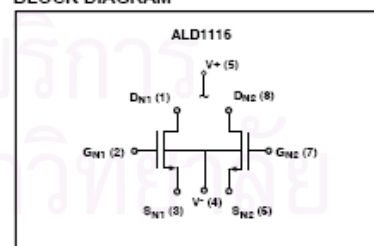
APPLICATIONS

- Precision current mirrors
- Precision current sources
- Voltage choppers
- Differential amplifier input stage
- Voltage comparator
- Data converters
- Sample and Hold
- Analog signal processing

PIN CONFIGURATION



BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Drain-source voltage, V_{DS}	13.2V
Gate-source voltage, V_{GS}	13.2V
Power dissipation	600 mW
Operating temperature range PA, SA, PB, SB package	0°C to +70°C
DA, DB package	-55°C to +125°C
Storage temperature range	-85°C to +150°C
Lead temperature, 10 seconds	+260°C

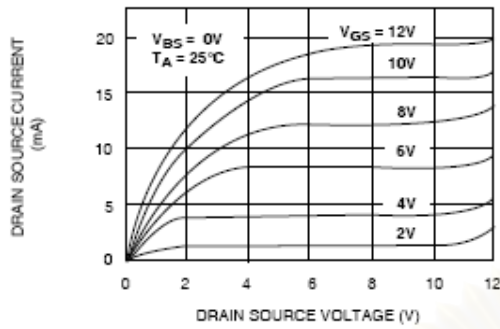
OPERATING ELECTRICAL CHARACTERISTICS $T_A = 25^\circ\text{C}$ unless otherwise specified

Parameter	Symbol	ALD1106			ALD1116			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
Gate Threshold Voltage	V_T	0.4	0.7	1.0	0.4	0.7	1.0	V	$I_{DS} = 1.0\mu\text{A}$ $V_{GS} = V_{DS}$
Offset Voltage $V_{GS1} - V_{GS2}$	V_{OS}		2	10		2	10	mV	$I_{DS} = 10\mu\text{A}$ $V_{DS} = V_{OS}$
Gate Threshold Temperature Drift ²	TC_{VT}		-1.2			-1.2		mV/°C	
On Drain Current	$I_{DS(ON)}$	3.0	4.8		3.0	4.8		mA	$V_{GS} = V_{DS} = 5\text{V}$
Transconductance	G_{DS}	1.0	1.8		1.0	1.8		mmho	$V_{DS} = 5\text{V}$ $I_{DS} = 10\text{mA}$
Mismatch	ΔG_{DS}		0.5			0.5		%	
Output Conductance	G_{OS}		200			200		μmho	$V_{DS} = 5\text{V}$ $I_{DS} = 10\text{mA}$
Drain Source On Resistance	$R_{DS(ON)}$		350	500		350	500	Ω	$V_{DS} = 0.1\text{V}$ $V_{GS} = 5\text{V}$
Drain Source On Resistance Mismatch	$\Delta R_{DS(ON)}$		0.5			0.5		%	$V_{DS} = 0.1\text{V}$ $V_{GS} = 5\text{V}$
Drain Source Breakdown Voltage	BV_{DS}	12			12			V	$I_{DS} = 1.0\mu\text{A}$ $V_{GS} = 0\text{V}$
Off Drain Current ¹	$I_{DS(OFF)}$		10	400 4		10	400 4	pA nA	$V_{DS} = 12\text{V}$ $V_{GS} = 0\text{V}$ $T_A = 125^\circ\text{C}$
Gate Leakage Current	I_{GSS}		0.1	10 1		0.1	10 1	pA nA	$V_{DS} = 0\text{V}$ $V_{GS} = 12\text{V}$ $T_A = 125^\circ\text{C}$
Input Capacitance ²	C_{ISS}		1	3		1	3	pF	

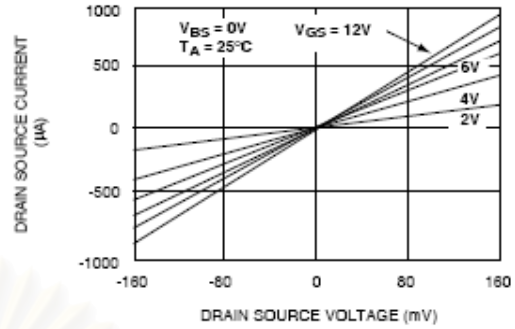
Notes: ¹ Consists of junction leakage currents
² Sample tested parameters

TYPICAL PERFORMANCE CHARACTERISTICS

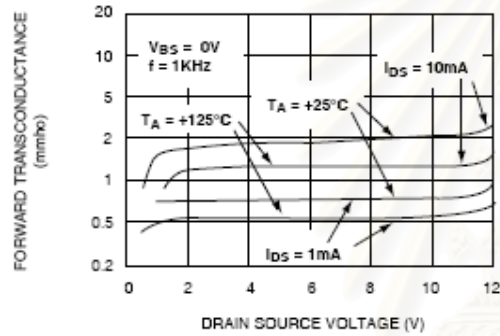
OUTPUT CHARACTERISTICS



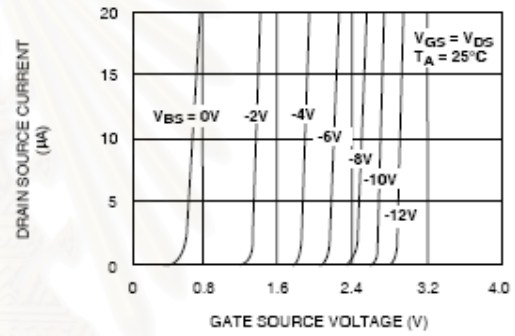
LOW VOLTAGE OUTPUT CHARACTERISTICS



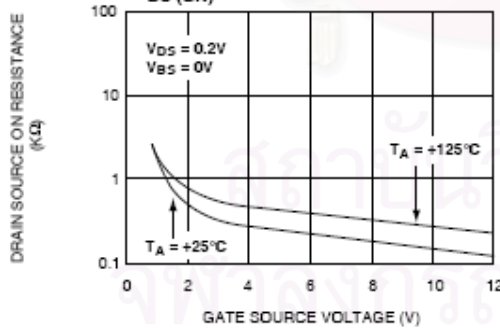
FORWARD TRANSCONDUCTANCE vs. DRAIN SOURCE VOLTAGE



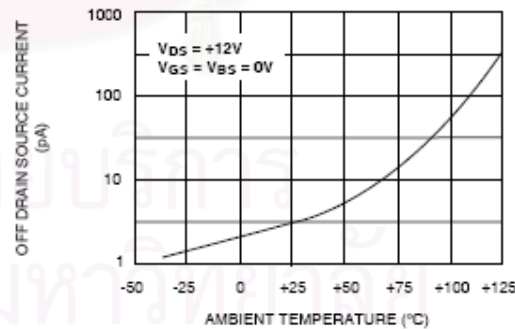
TRANSFER CHARACTERISTIC WITH SUBSTRATE BIAS



DRAIN SOURCE ON RESISTANCE $R_{DS(ON)}$ vs. GATE SOURCE VOLTAGE



OFF DRAIN CURRENT vs. AMBIENT TEMPERATURE



QUAD/DUAL P-CHANNEL MATCHED MOSFET ARRAY

GENERAL DESCRIPTION

The ALD1107/ALD1117 are monolithic quad/dual P-channel enhancement mode matched MOSFET transistor arrays intended for a broad range of precision analog applications. The ALD1107/ALD1117 offer high input impedance and negative current temperature coefficient. The transistor pairs are matched for minimum offset voltage and differential thermal response, and they are designed for precision analog switching and amplifying applications in +2V to +12V systems where low input bias current, low input capacitance and fast switching speed are desired. These MOSFET devices feature very large (almost infinite) current gain in a low frequency, or near DC operating environment. The ALD1107/ALD1117 are building blocks for differential amplifier input stages, transmission gates, multiplexer applications, current sources, current mirrors and other precision analog circuits.

FEATURES

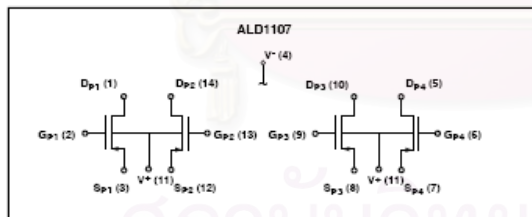
- Low threshold voltage of -0.7
- Low input capacitance
- Low V_{DS} 2mV typical
- High input impedance -- 1014Ω typical
- Low input and output leakage currents
- Negative current (I_{DS}) temperature coefficient
- Enhancement-mode (normally off)
- DC current gain 10^9
- Low input and output leakage currents

ORDERING INFORMATION

Operating Temperature Range*		
-55°C to +125°C	0°C to +70°C	0°C to +70°C
8-Pin Cerdip Package	8-Pin Plastic Dip Package	8-Pin SOIC Package
ALD1117 DA	ALD1117PA	ALD1117 SA
14-Pin Cerdip Package	14-Pin Plastic Dip Package	14-Pin SOIC Package
ALD1107 DB	ALD1107 PB	ALD1107 SB

* Contact factory for industrial temperature range.

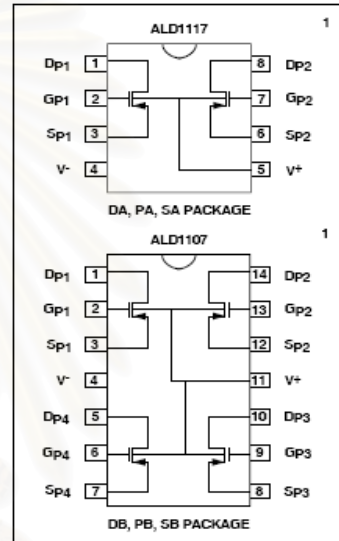
BLOCK DIAGRAM



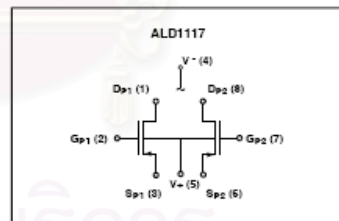
APPLICATIONS

- Precision current sources
- Precision current mirrors
- Voltage Choppers
- Differential amplifier input stage
- Voltage comparator
- Data converters
- Sample and Hold
- Precision analog signal processing

PIN CONFIGURATION



BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Drain-source voltage, V_{DS}	_____	-13.2V
Gate-source voltage, V_{GS}	_____	-13.2V
Power dissipation	_____	500 mW
Operating temperature range	PA, SA, PB, SB package _____	0°C to +70°C
	DA, DB package _____	-55°C to +125°C
Storage temperature range	_____	-85°C to +150°C
Lead temperature, 10 seconds	_____	+280°C

OPERATING ELECTRICAL CHARACTERISTICS

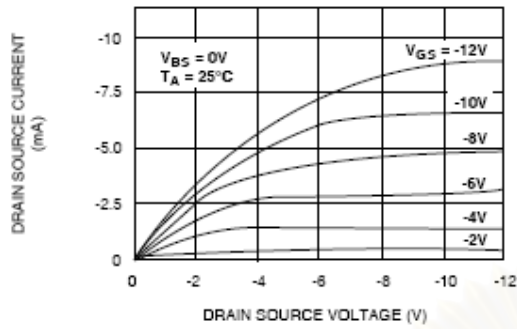
$T_A = 25^\circ\text{C}$ unless otherwise specified

Parameter	Symbol	ALD1107			ALD1117			Unit	Test Conditions
		Min	Typ	Max	Min	Typ	Max		
Gate Threshold Voltage	V_T	-0.4	-0.7	-1.0	-0.4	-0.7	-1.0	V	$I_{DS} = -1.0\mu\text{A}$ $V_{GS} = V_{DS}$
Offset Voltage $V_{GS1} - V_{GS2}$	V_{OS}		2	10		2	10	mV	$I_{DS} = -10\mu\text{A}$ $V_{GS} = V_{DS}$
Gate Threshold Temperature Drift ²	TC_{VT}		-1.3			-1.3		mV/°C	
On Drain Current	$I_{DS(ON)}$	-1.3	-2		-1.3	-2		mA	$V_{GS} = V_{DS} = -5V$
Transconductance	G_{DS}	0.25	0.67		0.25	0.67		mmho	$V_{DS} = -5V$ $I_{DS} = -10\text{mA}$
Mismatch	ΔG_{DS}		0.5			0.5		%	
Output Conductance	G_{OS}		40			40		μmho	$V_{DS} = -5V$ $I_{DS} = -10\text{mA}$
Drain Source On Resistance	$R_{DS(ON)}$		1200	1800		1200	1800	Ω	$V_{DS} = -0.1V$ $V_{GS} = -5V$
Drain Source On Resistance Mismatch	$\Delta R_{DS(ON)}$		0.5			0.5		%	$V_{DS} = -0.1V$ $V_{GS} = -5V$
Drain Source Breakdown Voltage	BV_{DS}	-12			-12			V	$I_{DS} = -1.0\mu\text{A}$ $V_{GS} = 0V$
Off Drain Current ¹	$I_{DS(OFF)}$		10	400		10	400	pA nA	$V_{DS} = -12V$ $V_{GS} = 0V$ $T_A = 125^\circ\text{C}$
Gate Leakage Current	I_{GSS}		0.1	10		0.1	10	pA nA	$V_{DS} = 0V$ $V_{GS} = -12V$ $T_A = 125^\circ\text{C}$
Input Capacitance ²	C_{ISS}		1	3		1	3	pF	

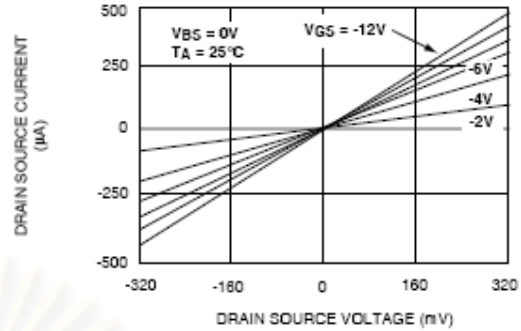
Notes: ¹ Consists of junction leakage currents
² Sample tested parameters

TYPICAL PERFORMANCE CHARACTERISTICS

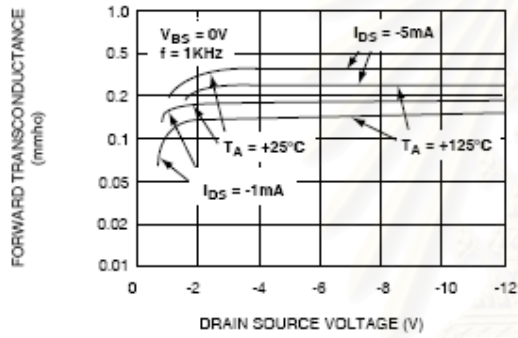
OUTPUT CHARACTERISTICS



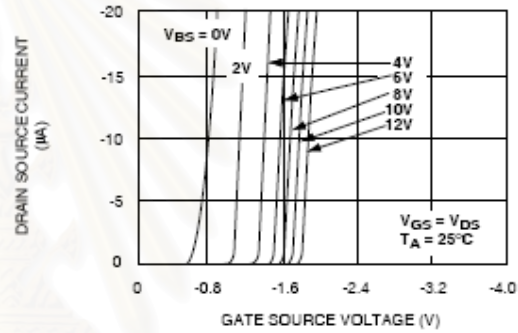
LOW VOLTAGE OUTPUT CHARACTERISTICS



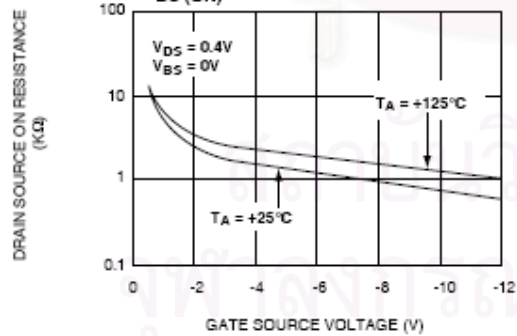
FORWARD TRANSCONDUCTANCE vs. DRAIN SOURCE VOLTAGE



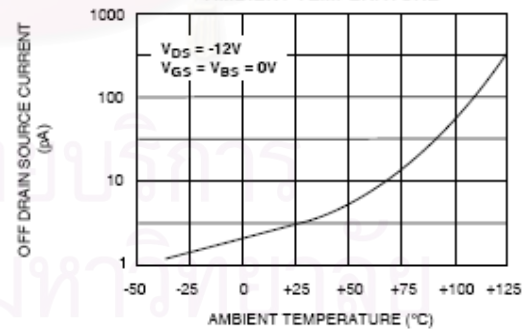
TRANSFER CHARACTERISTIC WITH SUBSTRATE BIAS



DRAIN SOURCE ON RESISTANCE $R_{DS(ON)}$ vs. GATE SOURCE VOLTAGE

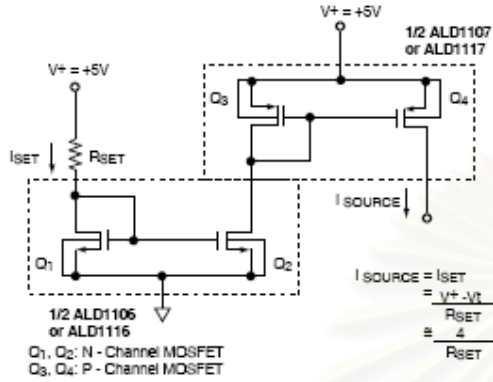


OFF DRAIN CURRENT vs. AMBIENT TEMPERATURE

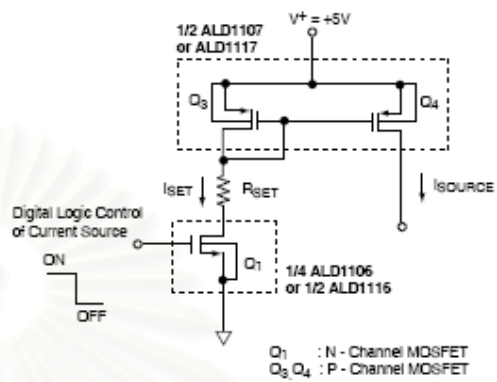


TYPICAL APPLICATIONS

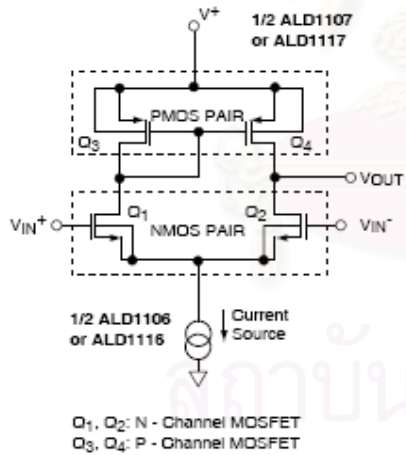
CURRENT SOURCE MIRROR



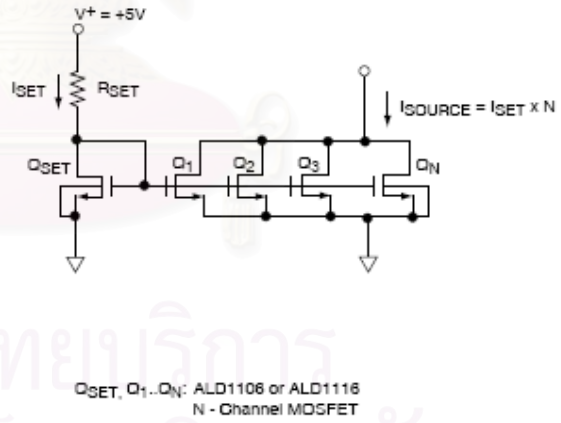
CURRENT SOURCE WITH GATE CONTROL



DIFFERENTIAL AMPLIFIER



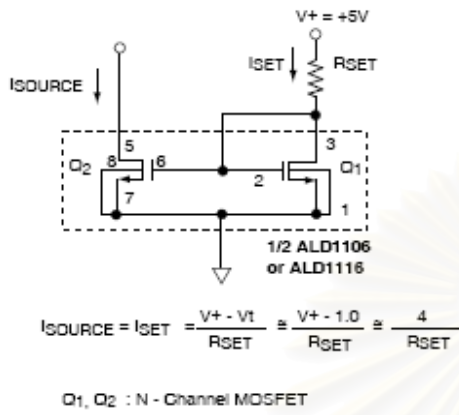
CURRENT SOURCE MULTIPLICATION



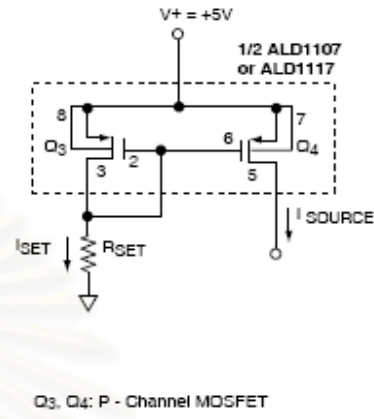
TYPICAL APPLICATIONS

BASIC CURRENT SOURCES

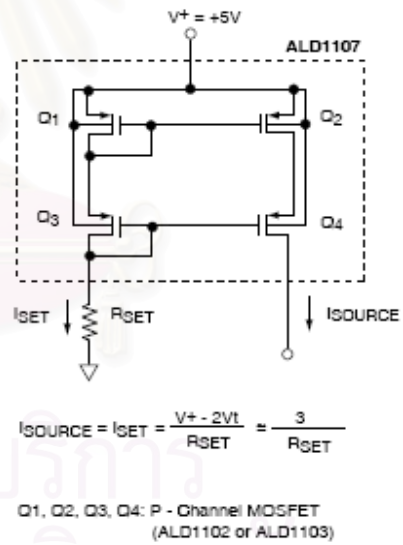
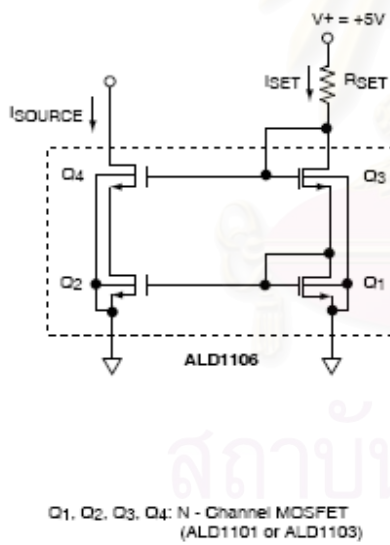
N- CHANNEL CURRENT SOURCE



P- CHANNEL CURRENT SOURCE



CASCODE CURRENT SOURCES




ภาคผนวก ค

การพิสูจน์สมการด้วยโปรแกรม Mathematica

ผลการพิสูจน์สมการด้วยโปรแกรมคำนวณทางคณิตศาสตร์ Mathematica 4

Compressor.nb



```

Idn[t] = Isn * Exp[{Vgb[t] - Vton} / {nN * Ut}] * Exp[-Vsb[t] / Ut]
{e- $\frac{Vton+Vgb[t]}{nN Ut} - \frac{Vsb[t]}{Ut}$  Isn}

Idp[t] = -Isp * Exp[{-Vgb[t] - Vtop} / {nP * Ut}] * Exp[Vsb[t] / Ut]
{-e- $\frac{Vtop-Vgb[t]}{nP Ut} + \frac{Vsb[t]}{Ut}$  Isp}

Vgb = Vinp
Vinp
Vsb = Vgain
Vgain

In1 = Idn
{e- $\frac{Vgain}{Ut} + \frac{Vinp-Vton}{nN Ut}$  Isn}

Vgb = Vinn
Vinn

In2 = Idn
{e- $\frac{Vgain}{Ut} + \frac{Vinn-Vton}{nN Ut}$  Isn}

Vgb = Vinp - Vdd
-Vdd + Vinp

Vsb = -Vgain
-Vgain

Ip1 = Idp
{-e- $\frac{Vgain}{Ut} + \frac{Vdd-Vinp-Vtop}{nP Ut}$  Isp}

Vgb = Vinn - Vdd
-Vdd + Vinn

Ip2 = Idp
{-e- $\frac{Vgain}{Ut} + \frac{Vdd-Vinn-Vtop}{nP Ut}$  Isp}

Iin = {In1 + Ip1 - In2 - Ip2} / 2
{ $\frac{1}{2}$  (-e- $\frac{Vgain}{Ut} + \frac{Vinn-Vton}{nN Ut}$  Isn + e- $\frac{Vgain}{Ut} + \frac{Vinp-Vton}{nN Ut}$  Isn + e- $\frac{Vgain}{Ut} + \frac{Vdd-Vinn-Vtop}{nP Ut}$  Isp - e- $\frac{Vgain}{Ut} + \frac{Vdd-Vinp-Vtop}{nP Ut}$  Isp)}

```

Expander.nb

$$I_{dn}[t] = I_{sn} * \text{Exp}[\{V_{gb}[t] - V_{ton}\} / \{nN * Ut\}] * \text{Exp}[-V_{sb}[t] / Ut]$$

$$\left\{ e^{\frac{-V_{ton} + V_{gb}[t]}{nN Ut} - \frac{V_{sb}[t]}{Ut}} I_{sn} \right\}$$

$$I_{dp}[t] = -I_{sp} * \text{Exp}[\{-V_{gb}[t] - V_{top}\} / \{nP * Ut\}] * \text{Exp}[V_{sb}[t] / Ut]$$

$$\left\{ -e^{\frac{-V_{top} - V_{gb}[t]}{nP Ut} + \frac{V_{sb}[t]}{Ut}} I_{sp} \right\}$$

$$V_{gb} = V_{inpn}$$

$$V_{inpn}$$

$$V_{sb} = 0$$

$$0$$

$$I_{n4} = I_{dn}$$

$$\left\{ e^{\frac{V_{inpn} - V_{ton}}{nN Ut}} I_{sn} \right\}$$

$$V_{gb} = V_{innn}$$

$$V_{innn}$$

$$I_{n6} = I_{dn}$$

$$\left\{ e^{\frac{V_{innn} - V_{ton}}{nN Ut}} I_{sn} \right\}$$

$$V_{gb} = V_{inpp} - V_{dd}$$

$$-V_{dd} + V_{inpp}$$

$$I_{p6} = I_{dp}$$

$$\left\{ -e^{\frac{V_{dd} - V_{inpp} - V_{top}}{nP Ut}} I_{sp} \right\}$$

$$V_{gb} = V_{innp} - V_{dd}$$

$$-V_{dd} + V_{innp}$$

$$I_{p4} = I_{dp}$$

$$\left\{ -e^{\frac{V_{dd} - V_{innp} - V_{top}}{nP Ut}} I_{sp} \right\}$$

$$I_{outp} = I_{n4} - I_{n6} + I_{p6} - I_{p4}$$

$$\left\{ -e^{\frac{V_{innn} - V_{ton}}{nN Ut}} I_{sn} + e^{\frac{V_{inpn} - V_{ton}}{nN Ut}} I_{sn} + e^{\frac{V_{dd} - V_{inpp} - V_{top}}{nP Ut}} I_{sp} - e^{\frac{V_{dd} - V_{inpp} - V_{top}}{nP Ut}} I_{sp} \right\}$$



สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Integratornn.nb

$$I_{dn}[t] = I_{sn} * \text{Exp}[\{Vg[t] - V_{ton}\} / \{nN * Ut\}] * \text{Exp}[-Vs[t] / Ut]$$

$$\left\{ e^{\frac{-V_{ton} + Vg[t]}{nN Ut} - \frac{Vs[t]}{Ut}} I_{sn} \right\}$$

$$I_{dp}[t] = -I_{sp} * \text{Exp}[\{-Vg[t] + V_{dd} - V_{top}\} / \{nP * Ut\}] * \text{Exp}[\{Vs[t] - V_{dd}\} / Ut]$$

$$\left\{ -e^{\frac{V_{dd} - V_{top} - Vg[t]}{nP Ut} + \frac{-V_{dd} + Vs[t]}{Ut}} I_{sp} \right\}$$

$$Vg = V_{inn}$$

Vinn

$$Vs = Vx$$

Vx

$$I_{n7} = I_{dn}[t]$$

$$\left\{ e^{\frac{-V_{ton} + V_{inn}[t]}{nN Ut} - \frac{Vx[t]}{Ut}} I_{sn} \right\}$$

$$Vg = V_{inp}$$

Vinp

$$I_{n8} = I_{dn}[t]$$

$$\left\{ e^{\frac{-V_{ton} + V_{inp}[t]}{nN Ut} - \frac{Vx[t]}{Ut}} I_{sn} \right\}$$

$$Vg = V_{outnn}$$

Voutnn

$$I_{n9} = I_{dn}[t]$$

$$\left\{ e^{\frac{-V_{ton} + V_{outnn}[t]}{nN Ut} - \frac{Vx[t]}{Ut}} I_{sn} \right\}$$

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

$$Ic = \text{Simplify}[In7 - In8]$$

$$\left\{ e^{-\frac{V_{ton} + nV_x[t]}{nN Ut}} \left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) Isn \right\}$$

$$Ix = \text{Simplify}[Ic / In9]$$

$$\left\{ e^{-\frac{V_{outn}[t]}{nN Ut}} \left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) \right\}$$

$$V_{outn}'[t] * \{Cn / Itun\} = Ix$$

$$\left\{ e^{-\frac{V_{outn}[t]}{nN Ut}} \left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) \right\}$$

$$\text{DSolve}[V'[t] * \{Cn / Itun\} = \left\{ e^{-\frac{V[t]}{nN Ut}} \left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) \right\}, V[t], t]$$

$$\left\{ \left\{ V[t] \rightarrow nN Ut \text{Log} \left[-\frac{-C[1] - Itun \int \left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) \frac{\left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) nN Ut}{e^{\frac{V_{inn}[t]}{nN Ut}} nN Ut - e^{\frac{V_{inp}[t]}{nN Ut}} nN Ut} dt}{Cn nN Ut} \right] \right\} \right\}$$

$$\text{Exp}[V_{outn} / (nN * Ut)] = \text{Simplify} \left[-\frac{-C[1] - Itun \int \left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) \frac{\left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) nN Ut}{e^{\frac{V_{inn}[t]}{nN Ut}} nN Ut - e^{\frac{V_{inp}[t]}{nN Ut}} nN Ut} dt}{Cn nN Ut} \right]$$

$$\frac{C[1] + Itun \int \left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) dt}{Cn nN Ut}$$

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Integratorpn.nb

$$I_{dn}[t] = I_{sn} * \text{Exp}[\{Vg[t] - V_{ton}\} / \{nN * Ut\}] * \text{Exp}[-Vs[t] / Ut]$$

$$\left\{ e^{\frac{-V_{ton} + Vg[t]}{nN Ut} - \frac{Vs[t]}{Ut}} I_{sn} \right\}$$

$$I_{dp}[t] = -I_{sp} * \text{Exp}[\{-Vg[t] + V_{dd} - V_{top}\} / \{nP * Ut\}] * \text{Exp}[\{Vs[t] - V_{dd}\} / Ut]$$

$$\left\{ -e^{\frac{V_{dd} - V_{top} - Vg[t]}{nP Ut} + \frac{-V_{dd} + Vs[t]}{Ut}} I_{sp} \right\}$$

$$Vg = V_{inp}$$

$$V_{inp}$$

$$Vs = Vx$$

$$Vx$$

$$I_{n7} = I_{dn}[t]$$

$$\left\{ e^{\frac{-V_{ton} + V_{inp}[t]}{nN Ut} - \frac{Vx[t]}{Ut}} I_{sn} \right\}$$

$$Vg = V_{inn}$$

$$V_{inn}$$

$$I_{n8} = I_{dn}[t]$$

$$\left\{ e^{\frac{-V_{ton} + V_{inn}[t]}{nN Ut} - \frac{Vx[t]}{Ut}} I_{sn} \right\}$$

$$Vg = V_{outpn}$$

$$V_{outpn}$$

$$I_{n9} = I_{dn}[t]$$

$$\left\{ e^{\frac{-V_{ton} + V_{outpn}[t]}{nN Ut} - \frac{Vx[t]}{Ut}} I_{sn} \right\}$$

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

$$Ic = \text{Simplify}[In7 - In8]$$

$$\left\{ e^{-\frac{V_{outpn}[t]}{nN Ut}} \left(-e^{\frac{V_{inn}[t]}{nN Ut}} + e^{\frac{V_{inp}[t]}{nN Ut}} \right) Isn \right\}$$

$$Ix = \text{Simplify}[Ic / In9]$$

$$\left\{ e^{-\frac{V_{outpn}[t]}{nN Ut}} \left(-e^{\frac{V_{inn}[t]}{nN Ut}} + e^{\frac{V_{inp}[t]}{nN Ut}} \right) \right\}$$

$$V_{outpn}'[t] * \{Cn / Itun\} = Ix$$

$$\left\{ e^{-\frac{V_{outpn}[t]}{nN Ut}} \left(-e^{\frac{V_{inn}[t]}{nN Ut}} + e^{\frac{V_{inp}[t]}{nN Ut}} \right) \right\}$$

$$\text{DSolve}[V'[t] * \{Cn / Itun\} = \left\{ e^{-\frac{V[t]}{nN Ut}} \left(-e^{\frac{V_{inn}[t]}{nN Ut}} + e^{\frac{V_{inp}[t]}{nN Ut}} \right) \right\}, V[t], t]$$

$$\left\{ \left\{ V[t] \rightarrow nN Ut \text{Log} \left[-\frac{-C[1] + Itun \int \left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) \frac{\left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) nN Ut}{e^{\frac{V_{inn}[t]}{nN Ut}} nN Ut - e^{\frac{V_{inp}[t]}{nN Ut}} nN Ut} dt}{Cn nN Ut} \right] \right\} \right\}$$

$$\text{Exp}[V_{outpn} / \{nN * Ut\}] =$$

$$\text{Simplify} \left[-\frac{1}{Cn nN Ut} \left(-C[1] + Itun \int \left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) \frac{\left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) nN Ut}{e^{\frac{V_{inn}[t]}{nN Ut}} nN Ut - e^{\frac{V_{inp}[t]}{nN Ut}} nN Ut} dt \right) \right]$$

$$\frac{C[1] - Itun \int \left(e^{\frac{V_{inn}[t]}{nN Ut}} - e^{\frac{V_{inp}[t]}{nN Ut}} \right) dt}{Cn nN Ut}$$

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Integratorpp.nb

$$I_{dn}[t] = I_{sn} * \text{Exp}[(Vg[t] - Vton) / (nN * Ut)] * \text{Exp}[-Vs[t] / Ut]$$

$$\left\{ e^{-\frac{Vton+Vg[t]}{nN Ut} - \frac{Vs[t]}{Ut}} I_{sn} \right\}$$

$$I_{dp}[t] = -I_{sp} * \text{Exp}[(-Vg[t] + Vdd - Vtop) / (nP * Ut)] * \text{Exp}[(Vs[t] - Vdd) / Ut]$$

$$\left\{ -e^{\frac{Vdd-Vtop-Vg[t]}{nP Ut} + \frac{-Vdd+Vs[t]}{Ut}} I_{sp} \right\}$$

$$Vg = \text{Vinp}$$

$$\text{Vinp}$$

$$Vs = Vx$$

$$Vx$$

$$Ip9 = I_{dp}[t]$$

$$\left\{ -e^{\frac{Vdd-Vtop-Vinp[t]}{nP Ut} + \frac{-Vdd+Vx[t]}{Ut}} I_{sp} \right\}$$

$$Vg = \text{Vinn}$$

$$\text{Vinn}$$

$$Ip10 = I_{dp}[t]$$

$$\left\{ -e^{\frac{Vdd-Vtop-Vinn[t]}{nP Ut} + \frac{-Vdd+Vx[t]}{Ut}} I_{sp} \right\}$$

$$Vg = \text{Voutpp}$$

$$\text{Voutpp}$$

$$Ip11 = I_{dp}[t]$$

$$\left\{ -e^{\frac{Vdd-Vtop-Voutpp[t]}{nP Ut} + \frac{-Vdd+Vx[t]}{Ut}} I_{sp} \right\}$$

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

$I_c = \text{Simplify}[I_{p10} - I_{p9}]$

$$\left\{ e^{-\frac{V_{dd} + nP_{V_{ds}} + V_{in0}[t] + V_{inp}[t] - nP_{V_x}[t]}{nP_{U_t}}} \left(e^{\frac{V_{in0}[t]}{nP_{U_t}}} - e^{\frac{V_{inp}[t]}{nP_{U_t}}} \right) I_{sp} \right\}$$

$I_x = \text{Simplify}[I_c / I_{p11}]$

$$\left\{ e^{-\frac{V_{in0}[t] + V_{inp}[t] - V_{outpp}[t]}{nP_{U_t}}} \left(-e^{\frac{V_{in0}[t]}{nP_{U_t}}} + e^{\frac{V_{inp}[t]}{nP_{U_t}}} \right) \right\}$$

$V_{outpp}'[t] * \{C_p / I_{tun}\} = I_x$

$$\left\{ e^{-\frac{V_{in0}[t] + V_{inp}[t] - V_{outpp}[t]}{nP_{U_t}}} \left(-e^{\frac{V_{in0}[t]}{nP_{U_t}}} + e^{\frac{V_{inp}[t]}{nP_{U_t}}} \right) \right\}$$

$\text{DSolve}[V'[t] * \{C_p / I_{tun}\} = \left\{ e^{\frac{V_{in0}[t]}{nP_{U_t}}} \left(-e^{\frac{V_{inp}[t]}{nP_{U_t}}} + e^{\frac{V_{in0}[t]}{nP_{U_t}}} \right) \right\}, V[t], t]$

$$\left\{ \left\{ V[t] \rightarrow -nP_{U_t} \text{Log} \left[\frac{-C[1] + I_{tun} \int e^{-\frac{V_{in0}[t] - V_{inp}[t]}{nP_{U_t}}} \left(e^{\frac{V_{in0}[t]}{nP_{U_t}}} - e^{\frac{V_{inp}[t]}{nP_{U_t}}} \right) \frac{\left(e^{\frac{V_{in0}[t]}{nP_{U_t}}} - e^{\frac{V_{inp}[t]}{nP_{U_t}}} \right) nP_{U_t}}{e^{\frac{V_{in0}[t]}{nP_{U_t}}} - e^{\frac{V_{inp}[t]}{nP_{U_t}}}} dt}{C_p nP_{U_t}} \right] \right\} \right\}$$

$\text{Exp}[-V_{outpp} / \{nP * U_t\}] =$

$$\text{Simplify} \left[\frac{-C[1] + I_{tun} \int e^{-\frac{V_{in0}[t] - V_{inp}[t]}{nP_{U_t}}} \left(e^{\frac{V_{in0}[t]}{nP_{U_t}}} - e^{\frac{V_{inp}[t]}{nP_{U_t}}} \right) \frac{\left(e^{\frac{V_{in0}[t]}{nP_{U_t}}} - e^{\frac{V_{inp}[t]}{nP_{U_t}}} \right) nP_{U_t}}{e^{\frac{V_{in0}[t]}{nP_{U_t}}} - e^{\frac{V_{inp}[t]}{nP_{U_t}}}} dt}{C_p nP_{U_t}} \right]$$

$$\frac{-C[1] + I_{tun} \int \left(-e^{-\frac{V_{in0}[t]}{nP_{U_t}}} + e^{-\frac{V_{inp}[t]}{nP_{U_t}}} \right) dt}{C_p nP_{U_t}}$$

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Integratornp.nb

$$Idn[t] = Isn * \text{Exp}[\{Vg[t] - Vton\} / \{nN * Ut\}] * \text{Exp}[-Vs[t] / Ut]$$

$$\left\{ e^{-\frac{Vton + Vg[t] - Vs[t]}{nN * Ut}} Isn \right\}$$

$$Idp[t] = -Isp * \text{Exp}[\{-Vg[t] + Vdd - Vtop\} / \{nP * Ut\}] * \text{Exp}[\{Vs[t] - Vdd\} / Ut]$$

$$\left\{ -e^{-\frac{Vdd - Vtop - Vg[t] + Vs[t] - Vdd}{nP * Ut}} Isp \right\}$$

$$Vg = Vinn$$

Vinn

$$Vs = Vx$$

Vx

$$Ip9 = Idp[t]$$

$$\left\{ -e^{-\frac{Vdd - Vtop - Vinn[t] + Vs[t] - Vdd}{nP * Ut}} Isp \right\}$$

$$Vg = Vinp$$

Vinp

$$Ip10 = Idp[t]$$

$$\left\{ -e^{-\frac{Vdd - Vtop - Vinp[t] + Vs[t] - Vdd}{nP * Ut}} Isp \right\}$$

$$Vg = Voutnp$$

Voutnp

$$Ip11 = Idp[t]$$

$$\left\{ -e^{-\frac{Vdd - Vtop - Voutnp[t] + Vs[t] - Vdd}{nP * Ut}} Isp \right\}$$

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

$I_c = \text{Simplify}[I_{p10} - I_{p9}]$

$$\left\{ e^{-\frac{V_{dd} + nP V_{dd} + V_{top} + V_{inn}[t] + V_{inp}[t] - nP V_x[t]}{nP Ut}} \left(-e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) I_{sp} \right\}$$

$I_x = \text{Simplify}[I_c / I_{p11}]$

$$\left\{ e^{-\frac{V_{inn}[t] + V_{inp}[t] - V_{outp}[t]}{nP Ut}} \left(e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}} \right) \right\}$$

$V_{outnp}'[t] * \{C_p / I_{tun}\} = I_x$

$$\left\{ e^{-\frac{V_{inn}[t] + V_{inp}[t] - V_{outp}[t]}{nP Ut}} \left(e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}} \right) \right\}$$

$\text{DSolve}[V'[t] * \{C_p / I_{tun}\} = \left\{ e^{-\frac{V_{inn}[t]}{nP Ut}} \left(e^{-\frac{V_{inp}[t]}{nP Ut}} - e^{-\frac{V_{inn}[t]}{nP Ut}} \right) \right\}, V[t], t]$

$\{ \{V[t] \rightarrow -nP Ut$

$$\text{Log} \left[-\frac{1}{C_p nP Ut} \left(-C[1] + I_{tun} \int e^{-\frac{V_{inn}[t]}{nP Ut} - \frac{V_{inp}[t]}{nP Ut}} \left(e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}} \right) \frac{\left(\frac{V_{inn}[t]}{nP Ut} - e^{-\frac{V_{inp}[t]}{nP Ut}} \right) nP Ut}{e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}}} dt \right) \right] \right\}$$

$\text{Exp}[-V_{outnp} / \{nP * Ut\}] =$

$$\text{Simplify} \left[-\frac{1}{C_p nP Ut} \left(-C[1] + I_{tun} \int e^{-\frac{V_{inn}[t]}{nP Ut} - \frac{V_{inp}[t]}{nP Ut}} \left(e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}} \right) \frac{\left(\frac{V_{inn}[t]}{nP Ut} - e^{-\frac{V_{inp}[t]}{nP Ut}} \right) nP Ut}{e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}}} dt \right) \right]$$

$$\frac{C[1] - I_{tun} \int \left(-e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt}{C_p nP Ut}$$

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

Integrator.nb

$$I_{outp} = \left\{ -e^{-\frac{V_{outnn}[t]}{nN Ut}} * e^{-\frac{V_{ton}}{nN Ut}} * I_{sn} + \right. \\ \left. e^{-\frac{V_{outpn}[t]}{nN Ut}} * e^{-\frac{V_{ton}}{nN Ut}} * I_{sn} + e^{-\frac{V_{outnp}[t]}{nP Ut}} * e^{-\frac{V_{dd-V_{top}}}{nP Ut}} * I_{sp} - e^{-\frac{V_{outpp}[t]}{nP Ut}} * e^{-\frac{V_{dd-V_{top}}}{nP Ut}} * I_{sp} \right\}$$

$$\left\{ -e^{-\frac{V_{ton}}{nN Ut} + \frac{V_{outnn}[t]}{nN Ut}} I_{sn} + e^{-\frac{V_{ton}}{nN Ut} + \frac{V_{outpn}[t]}{nN Ut}} I_{sn} + e^{-\frac{V_{dd-V_{top}}}{nP Ut} - \frac{V_{outnp}[t]}{nP Ut}} I_{sp} - e^{-\frac{V_{dd-V_{top}}}{nP Ut} - \frac{V_{outpp}[t]}{nP Ut}} I_{sp} \right\}$$

$$\text{Exp}[-V_{outnp} / \{nP * Ut\}] = \frac{C[1] - Itun \int \left(-e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt}{Cp nP Ut}$$

$$\frac{C[1] - Itun \int \left(-e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt}{Cp nP Ut}$$

$$\text{Exp}[V_{outpn} / \{nN * Ut\}] = \frac{C[1] - Itun \int \left(e^{-\frac{V_{inn}[t]}{nN Ut}} - e^{-\frac{V_{inp}[t]}{nN Ut}} \right) dt}{Cn nN Ut}$$

$$\frac{C[1] - Itun \int \left(e^{-\frac{V_{inn}[t]}{nN Ut}} - e^{-\frac{V_{inp}[t]}{nN Ut}} \right) dt}{Cn nN Ut}$$

$$\text{Exp}[-V_{outpp} / \{nP * Ut\}] = \frac{-C[1] + Itun \int \left(-e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt}{Cp nP Ut}$$

$$\frac{C[1] - Itun \int \left(-e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt}{Cp nP Ut}$$

$$\text{Exp}[V_{outnn} / \{nN * Ut\}] = \frac{C[1] + Itun \int \left(e^{-\frac{V_{inn}[t]}{nN Ut}} - e^{-\frac{V_{inp}[t]}{nN Ut}} \right) dt}{Cn nN Ut}$$

$$\frac{C[1] + Itun \int \left(e^{-\frac{V_{inn}[t]}{nN Ut}} - e^{-\frac{V_{inp}[t]}{nN Ut}} \right) dt}{Cn nN Ut}$$

$$I_{outp} = \left\{ -\frac{C[1] + Itun \int \left(e^{-\frac{V_{inn}[t]}{nN Ut}} - e^{-\frac{V_{inp}[t]}{nN Ut}} \right) dt}{Cn nN Ut} * e^{-\frac{V_{ton}}{nN Ut}} * I_{sn} + \right.$$

$$\frac{C[1] - Itun \int \left(e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt}{Cn nN Ut} * e^{-\frac{V_{ton}}{nN Ut}} * I_{sn} + \frac{C[1] - Itun \int \left(-e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt}{Cp nP Ut} * \right.$$

$$\left. e^{-\frac{V_{dd-V_{top}}}{nP Ut}} * I_{sp} - \frac{-C[1] + Itun \int \left(-e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt}{Cp nP Ut} * e^{-\frac{V_{dd-V_{top}}}{nP Ut}} * I_{sp} \right\}$$

จุฬาลงกรณ์มหาวิทยาลัย

$$\left\{ \frac{e^{-\frac{V_{ton}}{nN Ut}} \text{Isn} \left(C[1] - \text{Itun} \int \left(e^{-\frac{V_{inn}[t]}{nN Ut}} - e^{-\frac{V_{inp}[t]}{nN Ut}} \right) dt \right)}{Cn nN Ut} - \right. \\
\frac{e^{-\frac{V_{ton}}{nN Ut}} \text{Isn} \left(C[1] + \text{Itun} \int \left(e^{-\frac{V_{inn}[t]}{nN Ut}} - e^{-\frac{V_{inp}[t]}{nN Ut}} \right) dt \right)}{Cn nN Ut} + \\
\frac{e^{-\frac{V_{dd-Vtop}}{nP Ut}} \text{Isp} \left(C[1] - \text{Itun} \int \left(-e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt \right)}{Cp nP Ut} - \\
\left. \frac{e^{-\frac{V_{dd-Vtop}}{nP Ut}} \text{Isp} \left(-C[1] + \text{Itun} \int \left(-e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt \right)}{Cp nP Ut} \right\} \\
\text{Ioutp} = \left\{ \frac{e^{-\frac{V_{ton}}{nN Ut}} \text{Isn} \text{Itun} \left(\int \left(-e^{-\frac{V_{inn}[t]}{nN Ut}} + e^{-\frac{V_{inp}[t]}{nN Ut}} - e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt \right)}{Cn nN Ut} + \right. \\
\left. \frac{e^{-\frac{V_{dd-Vtop}}{nP Ut}} \text{Isp} \text{Itun} \left(\int \left(e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}} + e^{-\frac{V_{inn}[t]}{nN Ut}} - e^{-\frac{V_{inp}[t]}{nN Ut}} \right) dt \right)}{Cp nP Ut} \right\} \\
\left\{ \frac{e^{-\frac{V_{ton}}{nN Ut}} \text{Isn} \text{Itun} \int \left(-2 e^{-\frac{V_{inn}[t]}{nN Ut}} + 2 e^{-\frac{V_{inp}[t]}{nN Ut}} \right) dt}{Cn nN Ut} + \frac{e^{-\frac{V_{dd-Vtop}}{nP Ut}} \text{Isp} \text{Itun} \int \left(2 e^{-\frac{V_{inn}[t]}{nP Ut}} - 2 e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt}{Cp nP Ut} \right\} \\
\text{Iin}[t] = \left\{ \frac{1}{2} \left(\left\{ -e^{-\frac{V_{inn}[t]}{nN Ut}} + e^{-\frac{V_{inp}[t]}{nN Ut}} \right\} e^{-\frac{V_{gain}}{Ut}} + e^{-\frac{V_{ton}}{nN Ut}} \text{Isn} + \left\{ e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}} \right\} e^{-\frac{V_{gain}}{Ut}} + \frac{V_{dd-Vtop}}{nP Ut} \text{Isp} \right) \right\} \\
\left\{ \frac{1}{2} \left(e^{-\frac{V_{gain}}{Ut}} - \frac{V_{ton}}{nN Ut} \left(-e^{-\frac{V_{inn}[t]}{nN Ut}} + e^{-\frac{V_{inp}[t]}{nN Ut}} \right) \text{Isn} + e^{-\frac{V_{gain}}{Ut}} + \frac{V_{dd-Vtop}}{nP Ut} \left(e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}} \right) \text{Isp} \right) \right\} \\
\text{Ioutp} = \left\{ \text{Itun} / (Cn Ut) \right\} \left\{ e^{-\frac{V_{ton}}{nN Ut}} \text{Isn} \left(\int \left(-e^{-\frac{V_{inn}[t]}{nN Ut}} + e^{-\frac{V_{inp}[t]}{nN Ut}} - e^{-\frac{V_{inn}[t]}{nP Ut}} + e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt \right) + \right. \\
\left. e^{-\frac{V_{dd-Vtop}}{nP Ut}} \text{Isp} \left(\int \left(e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}} + e^{-\frac{V_{inn}[t]}{nN Ut}} - e^{-\frac{V_{inp}[t]}{nN Ut}} \right) dt \right) \right\} \\
\left\{ \frac{1}{Cn Ut} \right. \\
\left. \left(\text{Itun} \left(e^{-\frac{V_{ton}}{nN Ut}} \text{Isn} \int \left(-2 e^{-\frac{V_{inn}[t]}{nN Ut}} + 2 e^{-\frac{V_{inp}[t]}{nN Ut}} \right) dt + e^{-\frac{V_{dd-Vtop}}{nP Ut}} \text{Isp} \int \left(2 e^{-\frac{V_{inn}[t]}{nP Ut}} - 2 e^{-\frac{V_{inp}[t]}{nP Ut}} \right) dt \right) \right) \right\} \\
\text{Ioutp} = \text{Integrate} \left[\left(4 * \text{Itun} * \text{Exp} \left[\frac{V_{gain}}{Ut} \right] / (Cn Ut) \right) * \text{Iin}[t], t \right] \\
\left\{ \frac{1}{Cn Ut} \left(4 e^{-\frac{V_{gain}}{Ut}} \text{Itun} \right. \right. \\
\left. \left. \int \left\{ \frac{1}{2} \left(e^{-\frac{V_{gain}}{Ut}} - \frac{V_{ton}}{nN Ut} \left(-e^{-\frac{V_{inn}[t]}{nN Ut}} + e^{-\frac{V_{inp}[t]}{nN Ut}} \right) \text{Isn} + e^{-\frac{V_{gain}}{Ut}} + \frac{V_{dd-Vtop}}{nP Ut} \left(e^{-\frac{V_{inn}[t]}{nP Ut}} - e^{-\frac{V_{inp}[t]}{nP Ut}} \right) \text{Isp} \right) \right\} [t] dt \right) \right\}$$

ภาคผนวก ง

บทความที่ได้รับการพิจารณาตอบรับใน

Electrical Engineering/Electronics, Computer, Telecommunications
and Information Technology Conference 2007 (ECTI-CON 2007)

A Design of CMOS Class-AB Differential Log-Companing Amplifier

Kobkaew Opasjumruskit¹, Apisak Worapishet² and Ekachai Leelarasamee³

^{1,3}IC Design and Application Research Laboratory (IDAR),

Department of Electrical Engineering, Faculty of Engineering, Chulalongkorn University, Thailand

²Mahanakorn Microelectronics Research Centre (MMRC), Mahanakorn University of Technology, Thailand

email : kobkaew.o@digital.ee.eng.chula.ac.th, apisak@mut.ac.th, ekachai.l@chula.ac.th

Abstract – This paper presents a new low-voltage and low-power amplifier based on the class-AB differential log-companing technique. The circuit has been designed using a 0.25 μm CMOS process. The proposed amplifier consumes less than 3.2 μW from 0.6 V supply voltage at the maximum input current. The CMRR of this circuit is 35.76 dB; thus, it has very high performance in eliminating the common mode signal. The presented technique can be applied to many applications, such as filter, reference voltage, rectifier, etc.

I. INTRODUCTION

The main purposes in developing a better amplifier for hearing aid chips are shrinking its area, reducing power consumption and improving noise rejection. A previous hearing-aid amplifier [1] was designed based on the log-companing technique using CMOS technology [1], allowing its operation at 1 V. This design utilizes a class-A amplifier which consumes large amount of power at zero input. A class-AB integrator [2], which is also based on the log-companing technique, is proposed to reduce the power consumption. This circuit generates positive and negative voltages from a single input, and then passes them through a non-linear processing. The results are used to generate a single-ended output. Since the input and the output are both single-ended, this circuit is differential only in the non-linear processing section. In this work, a truly differential class-AB amplifier is developed by exploiting complementary NMOS and PMOS transistors. The quiescent current flowing through PMOS is reused in NMOS, thus this amplifier can consume lower power. Because of the class-AB operation, the proposed amplifier can handle larger input compared to the amplifier in [1]. Moreover, the differential structure improves common mode signal rejection. The proposed technique is suitable for portable application where the power is limited and the supply voltage is as low as 0.6 V.

II. DESIGN PRINCIPLES

A. Log-Companing Technique

The signal in the current form (I-domain) is compressed into the voltage form (V-domain) by a compressor. Then, the compressed signal V_{in} is processed by a non-linear function. Finally, the processed signal V_{out} is expanded back to the I-domain by an expander. From the I-domain point-of-view, the overall process is a linear function. The block diagram of this technique is shown in Fig. 1. The compression in this technique helps lowering the supply voltage required for the

non-linear processing section. The log-companing technique can be used with many types of transistors, such as BJT and CMOS. To use a CMOS transistor in a log-companing circuit, the transistor must be operated in the subthreshold region that gives exactly the logarithmic compression and exponential expansion.

B. MOS characteristics in the subthreshold region

MOS transistors can operate in 3 main regions corresponding to the voltage between gate and source of the transistor (V_{gs}) comparing with the threshold voltage (V_{TO}). If $V_{gs} \ll V_{TO}$, this region is called *Weak Inversion* (or Subthreshold). On the other hand, if $V_{gs} \gg V_{TO}$ this region is called *Strong Inversion* which further categorized into saturation region and triode region. Elsewhere, the region that V_{gs} is close to V_{TO} is called *Moderate Inversion*. MOS that operates in the subthreshold region has logarithmic characteristic. Equation of NMOS that operates in the subthreshold region from EKV model [3] is shown in eq. (1)

$$I_{DN} = I_{SN} \exp\left[\frac{V_{GS} - V_{TON}}{n_n U_t}\right] \left(\exp\left[-\frac{V_{SD}}{U_t}\right] - \exp\left[-\frac{V_{SD}}{U_t}\right] \right) \quad (1)$$

$$V_{SD,OB} \gg \frac{V_{GS} - V_{TO}}{n} \quad \text{and} \quad I_S = 2n\beta U_t^2$$

Whereas I_{Sx} is the specific current, β_x is the current multiplier, n_x is the subthreshold slope, U_t is the thermal potential and V_{TOx} is the threshold voltage. The x in the subscript can be N or P denoting parameters of NMOS and PMOS respectively or omitted in case of generic parameters that share between NMOS and PMOS

For PMOS, the equation is shown in eq. (2).

$$I_{DP} = -I_{SP} \exp\left[\frac{-V_{GS} - V_{TOP}}{n_p U_t}\right] \left(\exp\left[\frac{V_{SD}}{U_t}\right] - \exp\left[\frac{V_{SD}}{U_t}\right] \right) \quad (2)$$

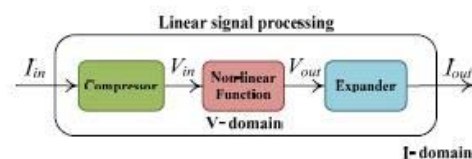


Fig. 1. Log-companing signal processing

For a CMOS model used in this work, we used BSIM3 level 49 [5] which gives V_{TON} of approximately 0.5V and PMOS's V_{TOP} of approximately 0.6V.

III. PROPOSED CIRCUIT AND ANALYSIS

The proposed class-AB differential amplifier based on log-comparing technique consists of the compressor to logarithmically compress the input currents into voltages and the expander to convert these voltages exponentially back into the output currents. The amplifier's gain can be controlled by adjusting V_{SB} of NMOS and PMOS in the compressor.

A. Compressor

The compressor circuit is shown in Fig. 2(a). It is sufficient to consider only half of the circuit because of the symmetry. If parameters n , I_s , $|V_{TO}|$ and $|V_{SB}|$ between NMOS and PMOS are equal, I_p can be separated into I_{p1} and I_{p2} as shown in eq. (3).

$$I_p = I_{p1} + I_{p2} = I_{ss} \exp\left[\frac{V_p}{nU_t}\right] - I_{ss} \exp\left[\frac{-V_p}{nU_t}\right] \quad (3)$$

Where
$$I_{ss} = I_s \exp\left[\frac{-V_{TO} - n|V_{SB}|}{nU_t}\right]$$

Rearranging the above equation, V_p can be expressed in term of I_p as shown in eq.(4)

$$V_p = nU_t \sinh^{-1}\left[\frac{I_p}{2I_{ss}}\right] \quad (4)$$

In general, n , I_s , $|V_{TO}|$ and $|V_{SB}|$ of NMOS and PMOS may not be identical. Difference in coefficient and exponent of I_{p1} and I_{p2} yields implicit function of V_p ; thus, it is difficult to write V_p in term of I_p ($V_p = f(kI_p)$, k is arbitrary constant) directly. However, we can still expand V_p and V_{in} using both NMOS expander and PMOS expander. This can be shown straightforward that even in the case of unmatched NMOS and PMOS parameters, the proposed expander still operate correctly.

B. Expander

The basic expander is shown in Fig. 2(b). This circuit expands V_p and V_{in} exponentially into I_{op} and I_{on} respectively. The equation of the basic expander is shown in eq. (5) and (6).

$$I_{op} = I_N \exp\left[\frac{V_p}{n_N U_t}\right] + I_P \exp\left[\frac{-V_p}{n_P U_t}\right] \quad (5)$$

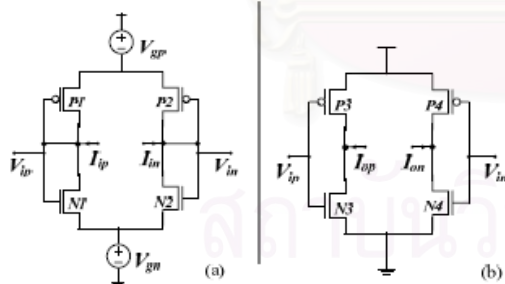


Fig. 2. (a)The proposed class-AB compressor (b) The basic expander

$$I_{on} = -I_P \exp\left[\frac{-V_{in}}{n_P U_t}\right] - I_N \exp\left[\frac{V_{in}}{n_N U_t}\right] \quad (6)$$

Where $I_N = I_{ss} \exp\left[\frac{-V_{TON}}{n_N U_t}\right]$ and $I_P = -I_{sp} \exp\left[\frac{-V_{TOP} + V_{DD}}{n_P U_t}\right]$

The basic expander's equation can be rewritten as $I_{op} = g(V_p)$ whereas $g(x)$ is the inverse function of $f(x)$. When we combine the compressor in Fig. 2(a) and the basic expander in Fig. 2(b) together to make a basic class-AB amplifier, the amplifier's transfer function is $I_{op} = g(f(kI_p)) = kI_p$. The transfer function is obtained by substituting V_p in eq. (5) with the term in eq. (4). In general case, the transfer function is still valid even V_p is an implicit function of I_p (the proof is beyond the scope of this paper). Choosing $V_{gp} = V_{gm} = V_{gsim}$ simplifies the transfer function of the amplifier which is shown in eq. (7).

$$\frac{I_{op} - I_{on}}{I_p - I_{in}} = \exp\left(\frac{V_{gsim}}{U_t}\right) \quad (7)$$

From the equation, the gain of this amplifier can be varied by changing the value V_{gsim} . Although the basic expander exhibits a good performance in cancelling the effect of I_N , I_P , n_N and n_P , this circuit cannot eliminate the common mode noise from the input. To solve this problem, we need to construct a true differential expander.

C. Amplifier

Based on the basic idea in [6], the proposed differential expander is shown in Fig. 3. This circuit proposes better common mode noise rejection.

The circuit expands V_p and V_{in} exponentially into differential output currents. V_p is expanded exponentially by N3, N4, P3 and P4, while expanding V_{in} is done by N5, N6, P5 and P6. A current expanded from V_{in} by N6 is copied to subtract with a current expanded from V_p by N4 to

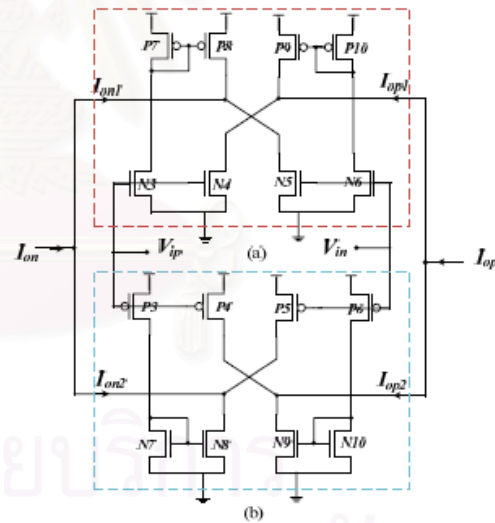


Fig. 3. Proposed (a) NMOS expander (b) PMOS expander

generate I_{op1} . The same is true for an expanded current from P6 and P4 subtracting each other to generate I_{op2} . Finally, I_{op1} and I_{op2} are combined to generate I_{op} . An equation of I_{op} is shown in eq. (8). I_{on} is generated in the same way with an equation shown in eq. (9).

$$I_{op} = I_N \left(\exp\left[\frac{V_{ip}}{(n_N U_T)}\right] - \exp\left[\frac{V_{in}}{(n_N U_T)}\right] \right) + I_P \left(\exp\left[\frac{-V_{in}}{(n_P U_T)}\right] - \exp\left[\frac{-V_{ip}}{(n_P U_T)}\right] \right) \quad (8)$$

$$I_{on} = I_N \left(\exp\left[\frac{V_{in}}{(n_N U_T)}\right] - \exp\left[\frac{V_{ip}}{(n_N U_T)}\right] \right) + I_P \left(\exp\left[\frac{-V_{ip}}{(n_P U_T)}\right] - \exp\left[\frac{-V_{in}}{(n_P U_T)}\right] \right) \quad (9)$$

When I_{ip} increases positively, according to the operation of the compressor, it increases V_{ip} and decreases V_{in} . Then, the expander gives an increased I_{op} and a decreased I_{on} creating differential output currents. In common mode operation, a matched change in V_{ip} and V_{in} makes no change to I_{op} and I_{on} because changed in expanded currents are cancelled internally. Therefore, this expander can reject common mode input.

To construct the amplifier based on the diagram shown in Fig. 1, we combine the class-AB compressor and the differential expander together. The proposed amplifier's gain can be controlled by adjusting V_{gain} in the compressor. Based on the calculation, the gain of this amplifier is 2 times larger than in eq. (7) because of the differential operation. This technique not only reduces the required supply voltage of the compressor but also decreases the number of CMOS used in the class-AB compressor from ref. [2]. Moreover, the differential expander exhibits better common mode rejection capability.

IV. SIMULATION RESULTS

To prove that the proposed compressor can compress the signal logarithmically, the current $I_{ip} = -I_{in}$ are fed into the circuit and the output V_{ip} and V_{in} are plotted. From Fig. 4 and Fig. 5, the V_{ip} and V_{in} are plotting with I_{ip} in linear and logarithmic scale respectively. Notice that V_{ip} and V_{in} make straight line in the logarithmic scale. Moreover, the proposed expander can also expand V_{ip} and V_{in} exponentially. Fig. 6 and Fig. 7 show the variation of I_{op} and $|I_{on}|$ with respect to V_{ip} in linear and logarithmic scale of the output current respectively. Also remarked that logarithmic values of I_{op} and $|I_{on}|$ are proportional to V_{ip} .

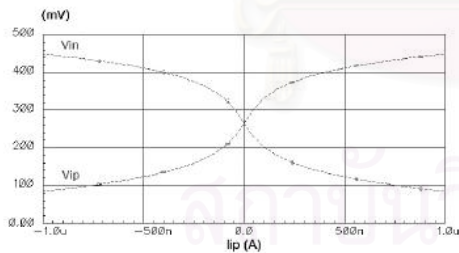


Fig. 4 Variation of V_{ip} and V_{in} respect to I_{ip} in linear scale

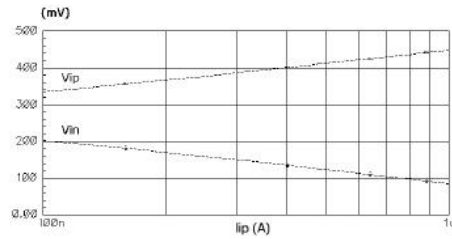


Fig. 5. Variation of V_{ip} and V_{in} respect to I_{ip} in logarithmic scale

The proposed amplifier should have a transfer function 2 times larger than in eq. (7). The simulated result in Fig. 8 shows that the amplifier is operating as expected, except for a minute offset current in I_{op} and I_{on} which will be cancelled automatically by the differential output scheme.

Parameters of MOS used in the proposed amplifier are shown in TABLE I. We can see that the circuit draws very low current at DC state from TABLE II. There are offset currents in I_{op} and I_{on} due to bias currents which affect the linearity of the amplifier's gain. This makes the result slightly differ from what we expected. Nevertheless, the proposed circuit has differential output that can finally eliminate the offset value in the output current. As mentioned in the previous section, the gain of this amplifier is affected by the value of V_{gain} . The gain of amplifier respect to V_{gain} is shown in Fig. 9.

TABLE I PARAMETERS OF TRANSISTORS USED IN THE PROPOSED CIRCUIT

Name	P1-P6	N1-N6	P7-P10	N7-N10
W/L (μm)	3/0.3	3/0.3	30/0.3	30/0.3

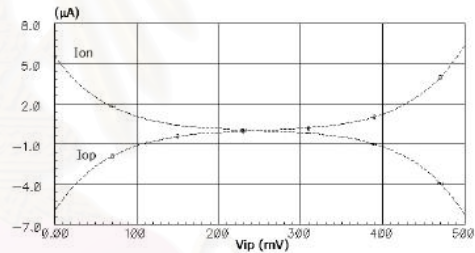


Fig. 6 Variation of I_{op} and I_{on} in linear scale respect to V_{ip}

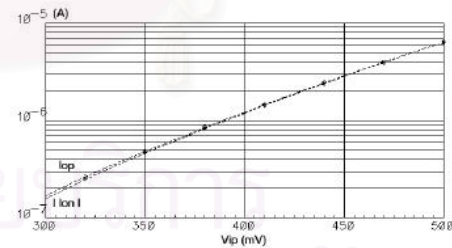


Fig. 7. Variation of I_{op} and $|I_{on}|$ in logarithmic scale respect to V_{ip}

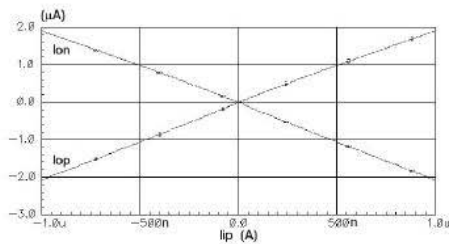


Fig. 8 Shows output currents varied with the input current

The linearity of the proposed circuit is defined by THD (Total Harmonic Distortion). From the simulation result shown in Fig. 10. THD of the proposed circuit is 0.55% and CMRR is 35.76 dB from $1\mu\text{A}$ sinusoidal input. The frequency range of the circuit is up to 200 kHz which is satisfactory for audio application. The small signal gain from frequency analysis shown in Fig. 11 is approximately 2.02. Because of the differential structure, this circuit has very high performance in eliminating the common mode input. Moreover, the power consumption of the circuit is 291nW while the circuit operates in quiescent state. At the maximum input state the circuit consumes $3.16\mu\text{W}$ from 0.6 V supply voltage. The summary of the proposed amplifier's performance is shown in TABLE III.

TABLE II QUIESCENT VALUE OF THE CIRCUIT

Name	$ I_d $ (nA)	$ V_{GS} $ (mV)	Name	$ I_d $ (nA)	$ V_{GS} $ (mV)
P1-P2	25.94	327.6	N1-N2	25.94	272.4
P3,P6	29.50	327.6	N3,N6	31.82	272.4
P4,P5	29.79	327.6	N4,N5	29.37	272.4

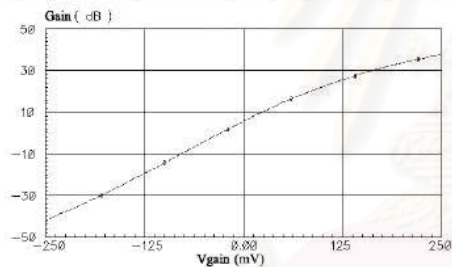


Fig. 9. Gain Variation of the proposed amplifier respect to V_{gain}

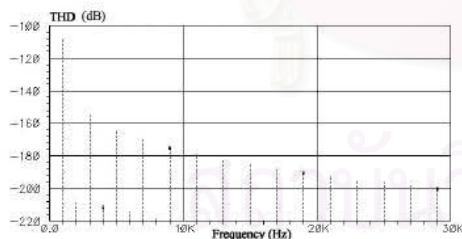


Fig. 10. THD analysis of the proposed amplifier

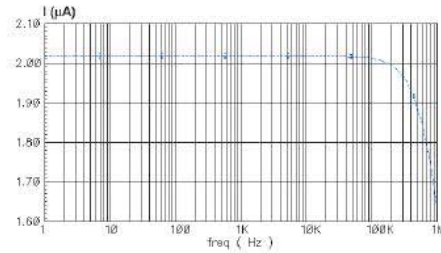


Fig. 11. Frequency Response of the proposed amplifier

TABLE III SUMMARY OF THE PROPOSED CIRCUIT'S PERFORMANCE

Name	Value	Condition
Voltage Supply	0.6 V	-
Gain	-40 to 38 dB	-
Input Range	-1 to 1 μA	-
Max. Input Frequency	200 kHz	-
Power	3.16 μW	$V_{gain}=0$, Maximum Input
%THD	0.55 %	Maximum Input
CMRR	35.76 dB	Maximum Input

V. CONCLUSION AND FUTURE WORK

Log-companding technique can reduce circuit's supply voltage value. Moreover, class-AB and differential technique are used to decrease total power consumption and eliminate common mode noise. In this work, the circuit is operated well with 0.6 V supply voltage. The total power consumption is $3.16422\mu\text{W}$. The amplifier gain can be varied from -40 dB to 38 dB, the THD of the circuit is 0.55%, and the CMRR of the proposed amplifier is 35.76 dB. These techniques can be used in many others applications. The future work is to design a log-companding filter based on these techniques.

REFERENCES

- [1] Francisco Serra-Graells, Jose L. Huertas, Adoracion Rueda; "Low-Voltage Cmos Log Companding Analog Design", Kluwer Academic Pub, June 2003
- [2] Redondo, X.; Serra-Graells, F.; "1 V compact class-AB CMOS log filters" Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on 23-26 May 2005 Page(s):2000 - 2003 Vol. 3
- [3] G.A.S. Machado, C.C. Enz, and M. Bucher; "Estimating key parameters in the EKV MOST model for analogue design and simulation," proc. of IEEE ISCAS'95.
- [4] G.Giustolisi, G.Palumbo, M.Criscione, and F.Cutri, "A low-voltage low-power voltage reference based on subthreshold MOSFET"; *IEEE J. Solid-State Circuits*, vol.38, no.1, pp. 151-154, Jan.2003
- [5] Y.Cheng and C.Hu, *MOSFET Modeling & BSIM3 User's Guide*. New York: Kluwer, 1999
- [6] Khumsat, P.; Worapishet, A." High-gain current amplifiers for low-power MOSFET-C filters";Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on 21-24 May 2006 Page(s):4 pp.

ประวัติผู้เขียนวิทยานิพนธ์

นางสาวกอบแก้ว โอภาสจรัสกิจ เกิดเมื่อวันที่ 7 เมษายน พ.ศ.2526 ที่จังหวัด กรุงเทพมหานคร สำเร็จการศึกษาระดับปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า จากคณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัยในปีการศึกษา 2547 และเข้าศึกษาต่อใน หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า แขนงวิชาการออกแบบและ ประยุกต์วงจรรวม ที่คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2548



สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย