หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

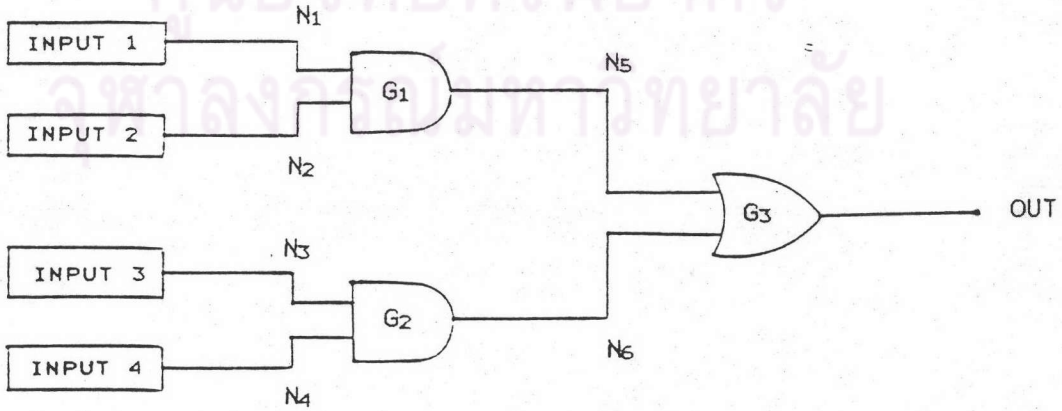
บทที่ 6

การทดสอบการทำงานของโปรแกรม

ในการพัฒนาโปรแกรมจำลองการทำงานของวงจรตรรกะต้นแบบของ LAP เพื่อเป็นการยืนยันถึงความถูกต้องของหลักการที่ใช้ในการพัฒนาดังที่ได้กล่าวถึงไปแล้วทั้งหมดในบทก่อน เราต้องมีการทดสอบการทำงานโดยอาศัยตัวอย่างจำนวนหนึ่ง เพื่อสาธิตถึงการทำงานและขีดความสามารถของโปรแกรม รวมทั้งแสดงผลของประสิทธิภาพในการจำลองการทำงานโดยอาศัยวิธีจำลองการทำงานแบบ Event Driven โดยจะเริ่มการทดสอบจากตัวอย่างที่ง่ายไปจนถึงตัวอย่างที่ซับซ้อนขึ้นเพื่อให้ผู้ใช้มีความเข้าใจถึงขีดความสามารถ และขีดจำกัดของโปรแกรมต้นแบบที่ได้ทำการพัฒนาขึ้น

6.1 วงจรแบบจัดหมู่อย่างง่าย

จากรูปที่ 6.1 ก. เป็นวงจรจัดหมู่วงจรหนึ่งซึ่งมี netlist ดังแสดงไว้ในรูปที่ 6.1 ข วงจรนี้จะทดสอบการทำงานพื้นฐานของวงจรในการหาค่าตารางค่าความจริงของวงจรจัดหมู่โดยที่ไม่มีการนำค่าเวลาประวิงเข้ามาเกี่ยวข้องด้วย

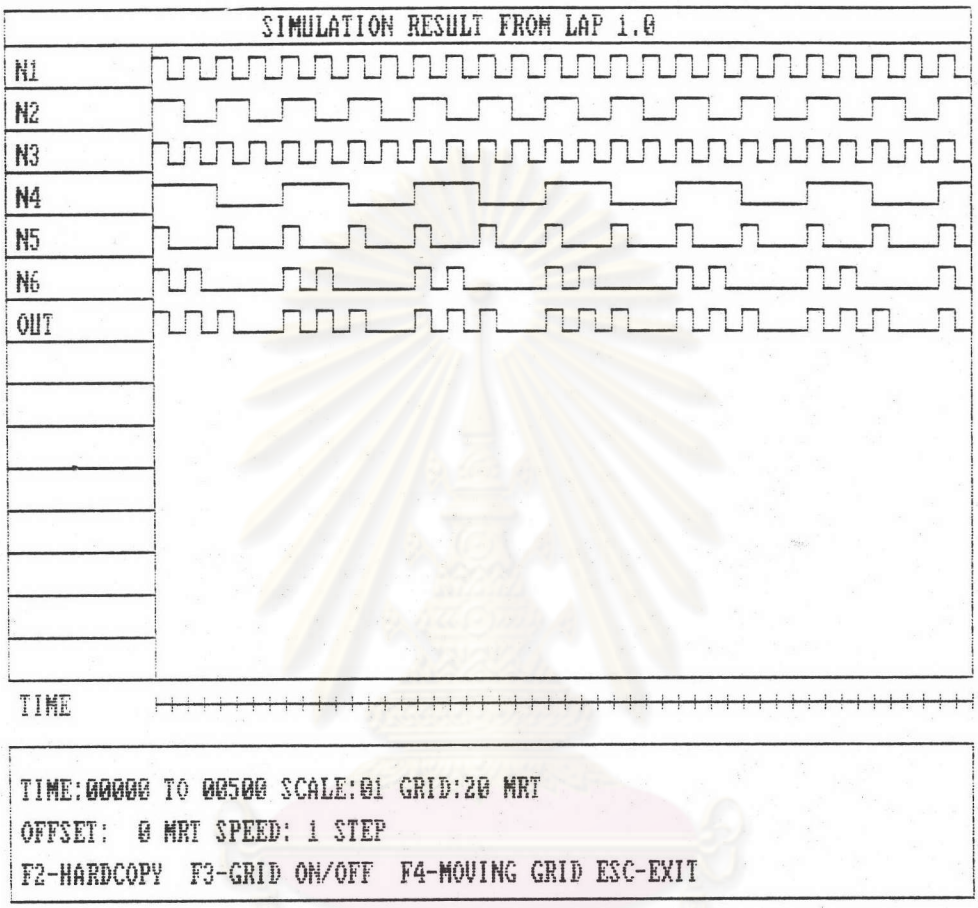


รูปที่ 6.1 ก. ตัวอย่างวงจรจัดหมู่

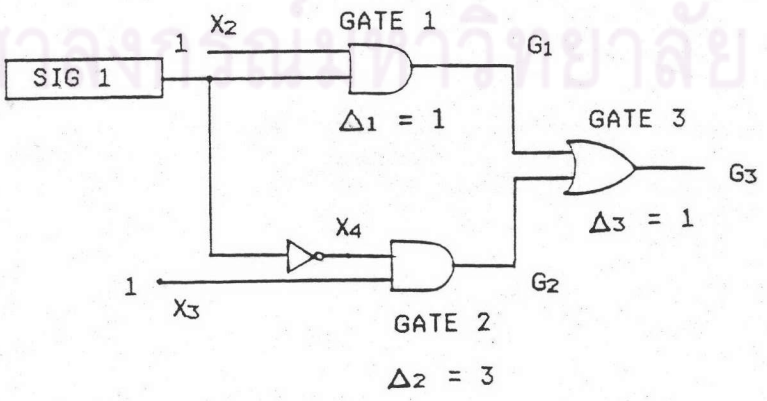
```
*-----------------------------------------------*
*          SIMPLE COMBINATIONAL CIRCUIT
*-----------------------------------------------*
*
*  GATE MODEL
*
74LS08    MODEL   AND2     0
74LS32    MODEL   OR2      0
*
*    CIRCUIT
*
G1   74LS08   N1    N2    N5
G2   74LS08   N3    N4    N6
G3   74LS32   N5    N6    OUT
*
*    SIGNAL SOURCE
*
INPUT1   SIGNAL N1   2
10   1
10   0
INPUT2   SIGNAL N2   2
20   1
20   0
INPUT3   SIGNAL N3   2
10   1
10   0
INPUT4   SIGNAL N4   2
40   1
40   0
***********   END   ***********
```

รูปที่ 6.1 ข. แสดง netlist ของรูป 6.1 ก

จากการจำลองการทำงานพบว่าผลที่ได้ถูกต้องตรงกับตารางค่าความจริงของการทำงานของวงจรตัวอย่างแรกนี้ดังแสดงในรูปที่ 6.1 ค. ซึ่งเป็นแผนภาพสัญญาณเวลาของการทำงานของวงจรตัวอย่างนี้



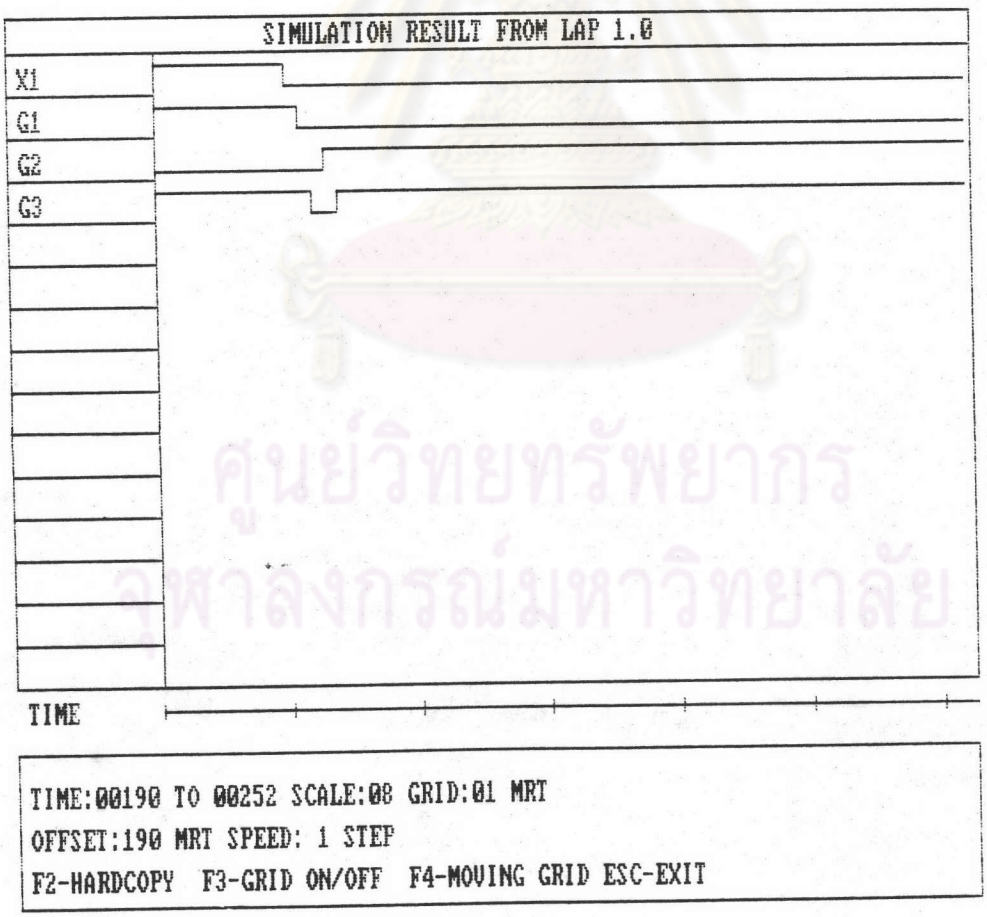
รูปที่ 6.1 ค. แผนภาพสัญญาณเวลาของวงจรในรูป 6.1 ก.



รูปที่ 6.2 ก. วงจรทดสอบผลการประวิงเวลา

```
*
*  GATE MODEL
*
74GAS04   MODEL   INV     0
74LS08    MODEL   AND2    1
74L08     MODEL   AND2    3
74LS32    MODEL   OR2     1
*
*    CIRCUIT
*
GATE1     74LS08    X1    X2    G1
GATE2     74L08     NX1   X3    G2
GATE3     74LS32    G1    G2    G3
NOT       74GAS04   X1    NX1
*
*    SIGNAL SOURCE
*
SIG1   SIGNAL   X1    2
200    H
120    L
*
*   INITIAL CONDITION
*
X1     NODE    H
X2     NODE    H
X3     NODE    H
```

รูปที่ 6.2 ข. แสดง netlist ของวงจร



รูปที่ 6.2 ค. แสดงผลการทำงานของโปรแกรม

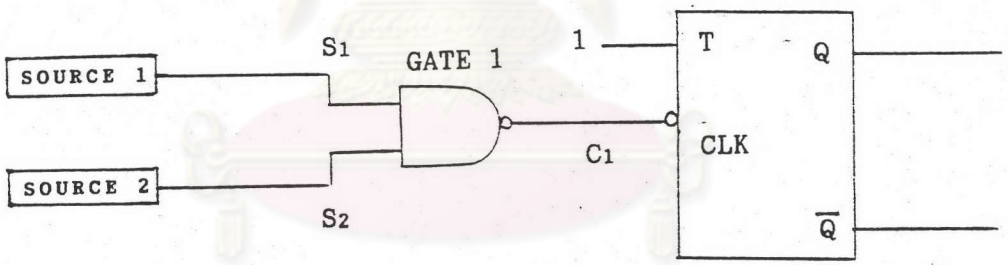
ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

6.2 ผลของเวลาประวิงต่อการทำงานของวงจร

ผลของเวลาประวิงในวงจรอาจทำให้เกิดสัญญาณพัลซ์เล็ก ๆ ในจุดต่าง ๆ ของวงจรได้ ตัวอย่างนี้เป็นการจำลองการทำงานของวงจรในรูป 2.12 (บทที่ 2) เพื่อทดสอบการเกิดสัญญาณเนื่องจากค่าเวลาประวิงที่แตกต่างกันของเกต วงจรทดสอบและผลการจำลองการทำงานเป็นไปดังรูปที่ 6.2(ก)(ข)(ค) ซึ่งตรงกับผลที่จากทฤษฎีทุกประการ

6.3 การเกิด delta spike

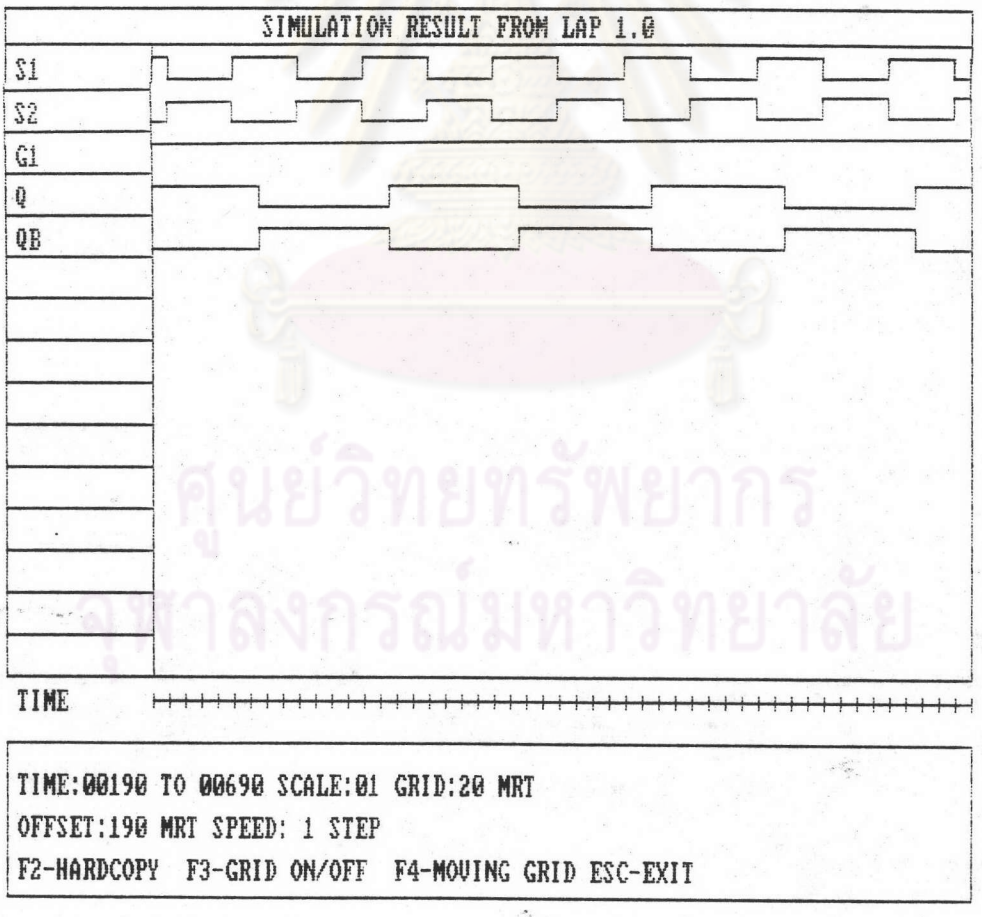
ในบางกรณีนั้น การเปลี่ยนแปลงของสัญญาณอาจเกิดขึ้นที่ขั้วเข้าในลักษณะซึ่งพร้อมกัน ผลที่ได้ทำให้เกิดสัญญาณพัลซ์เล็ก ๆ ที่มีคาบเวลาเป็น 0 เกิดขึ้นทางด้านออกของอุปกรณ์ ซึ่งสัญญาณนี้จะกระจายผ่านไปในวงจร และอาจมีผลกระทบต่อวงจรได้ถ้าถูกต่อไปยังจุดที่ขับวงจรลำดับ เช่น ฟลิปฟลอบ ดังตัวอย่างในรูปที่ 6.3



รูปที่ 6.3 แสดงการเกิด delta spike

SOURCE 1 และ SOURCE 2 เป็นสัญญาณที่มีคาบเวลาเท่ากันแต่กลับเฟสกัน ทำให้เกิดพัลซ์ซึ่งไปทำการตั้งค่า T ฟลิปฟลอบให้เกิดการเปลี่ยนแปลงได้ ผลที่ได้แสดงในรูปที่ 6.4

```
*
*      Delta spike example
*
7400      MODEL          NAND2     1
GATE1     7400           S1        S2      G1
FF1       TFF      VCC     G1      Q        QB
S1     SIGNAL     S1       2
40     H
40     L
S2     SIGNAL     S2       2
40     L
40     H
```

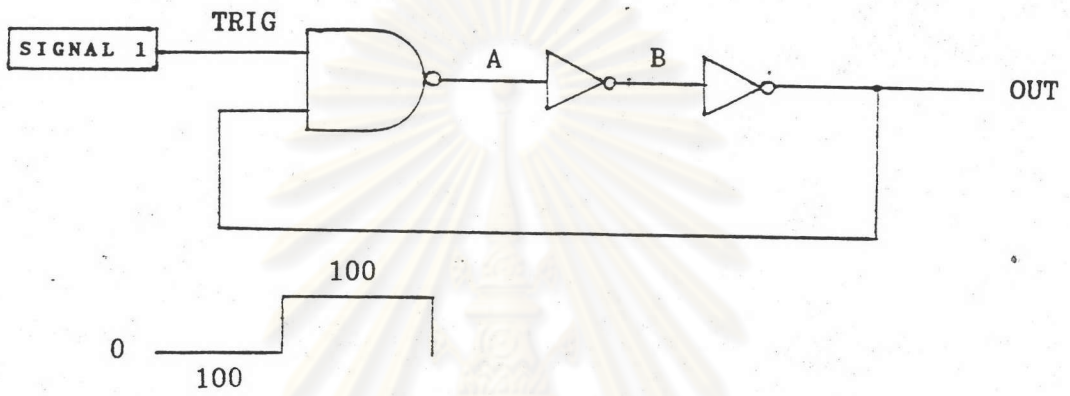


รูป 6.4 แสดงการจำลองการเกิด delta spike ในวงจร

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

6.4 การจำลองการทำงานของวงจรออสซิลเลเตอร์

ตัวอย่างนี้จะแสดงให้เห็นว่าโปรแกรมสามารถจำลองการทำงานโดยใช้ผลของเวลาประวิงซึ่งมีการป้อนกลับได้อย่างถูกต้อง โดยจะจำลองการทำงานของวงจรออสซิลเลเตอร์ที่ใช้วงจรตรรกะซึ่งมีวงจรควบคุมจังหวะของการแกว่งดังรูปที่ 6.5(ก)(ข)(ค)



รูป 6.5 ก การจำลองการทำงานของวงจรออสซิลเลเตอร์

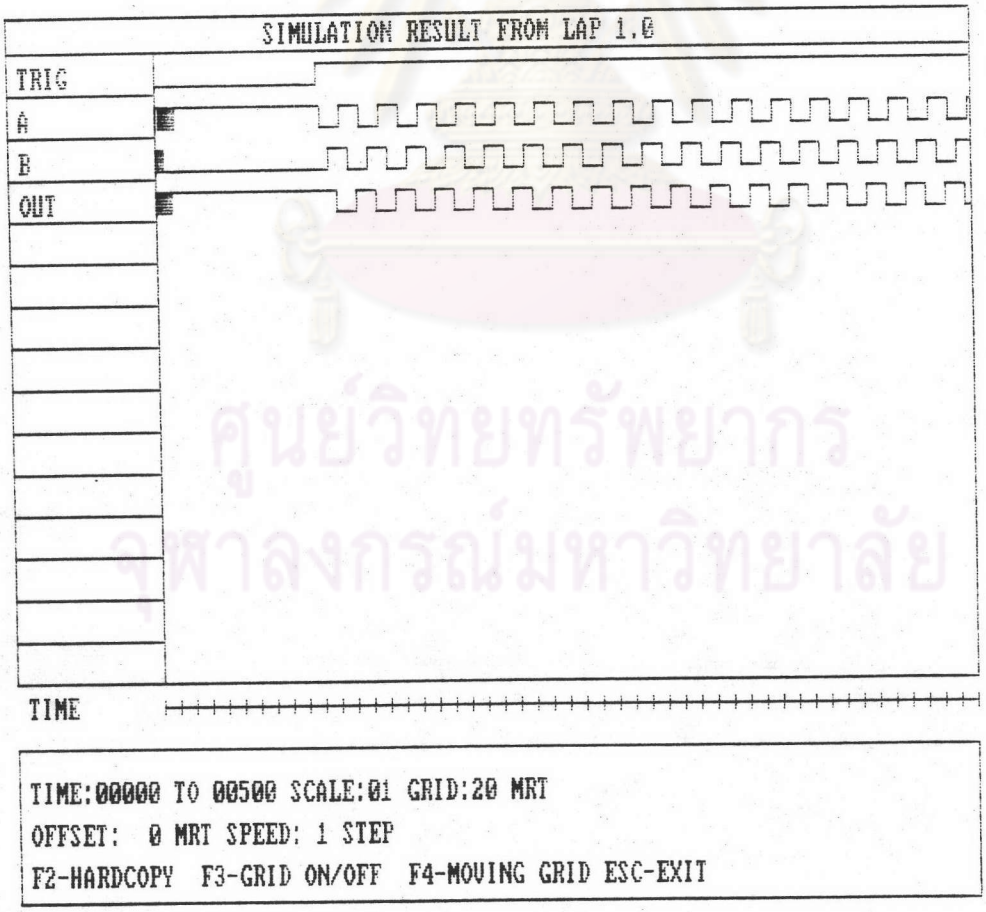
6.5 การจำลองการทำงานโดยใช้แมคโคร

ในการจำลองการทำงานโดยเฉพาะวงจรที่มีความมซับซ้อนและประกอบด้วยส่วนต่าง ๆ นั้นอาจทำให้ง่ายได้โดยการแยกออกเป็นองค์ประกอบย่อยเป็นกลุ่มที่ซ้ำกัน และกำหนดวงจรชุดนั้นในลักษณะเป็นอุปกรณ์หนึ่งซึ่งเรียกว่า แมคโคร และเรียกใช้เข้าไปรวมกับวงจรเช่นเดียวกับอุปกรณ์ธรรมดา

ในรูปที่ 6.6 เป็นวงจร half adder และ full adder ซึ่งถ้าพิจารณาดูจะพบว่า วงจร full adder นั้นสามารถออกแบบได้ด้วยวงจร half adder 2 ตัวรวมกัน ดังนั้นในการออกแบบจึงทำการรวม half adder เป็นแมคโคร ผลการจำลองการทำงานได้พิสูจน์ถึงการทำงานของแมคโครว่าเป็นไปโดยถูกต้อง (รูปที่ 6.7,6.8 และ 6.9)

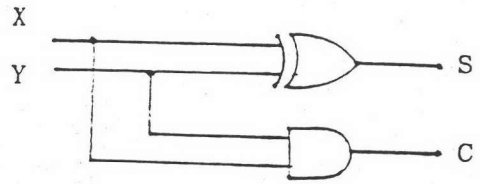
```
*
*              OSC.LAP
*    Simulation of gate oscillator
*
74LS14   MODEL   INV 5
7400     MODEL   NAND2   2
*
*    CIRCUIT
*
G1 7400     OUT    TRIG   A
G2 74LS14   A      B
G3 74LS14   B      OUT
*
*    SIGNAL SOURCE
*
TRIG    SIGNAL   TRIG   2
100       L
5000      H
*
*   INITIAL CONDITION
*
A    NODE   H
B    NODE   X
OUT  NODE   X
```

6.5 ข แสดง netlist ของวงจรออสซิลเลเตอร์

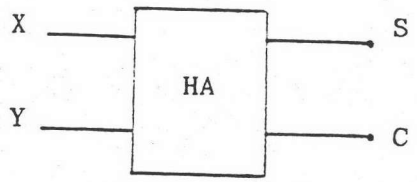


รูปที่ 6.5 ค ผลการวิเคราะห์การทำงานของวงจรออสซิลเลเตอร์

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

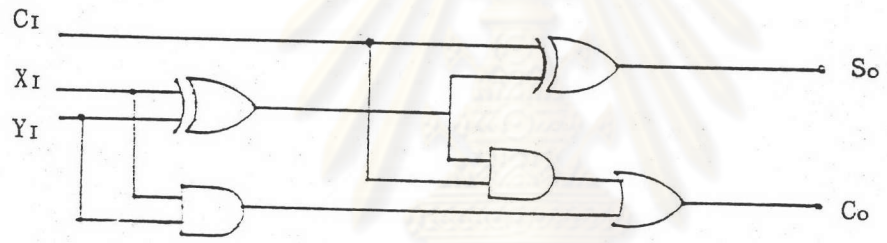


HALF ADDER

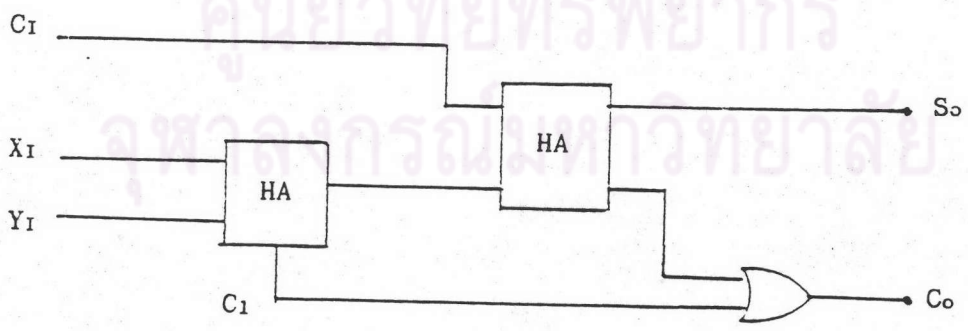


MACRO

HALF ADDDER



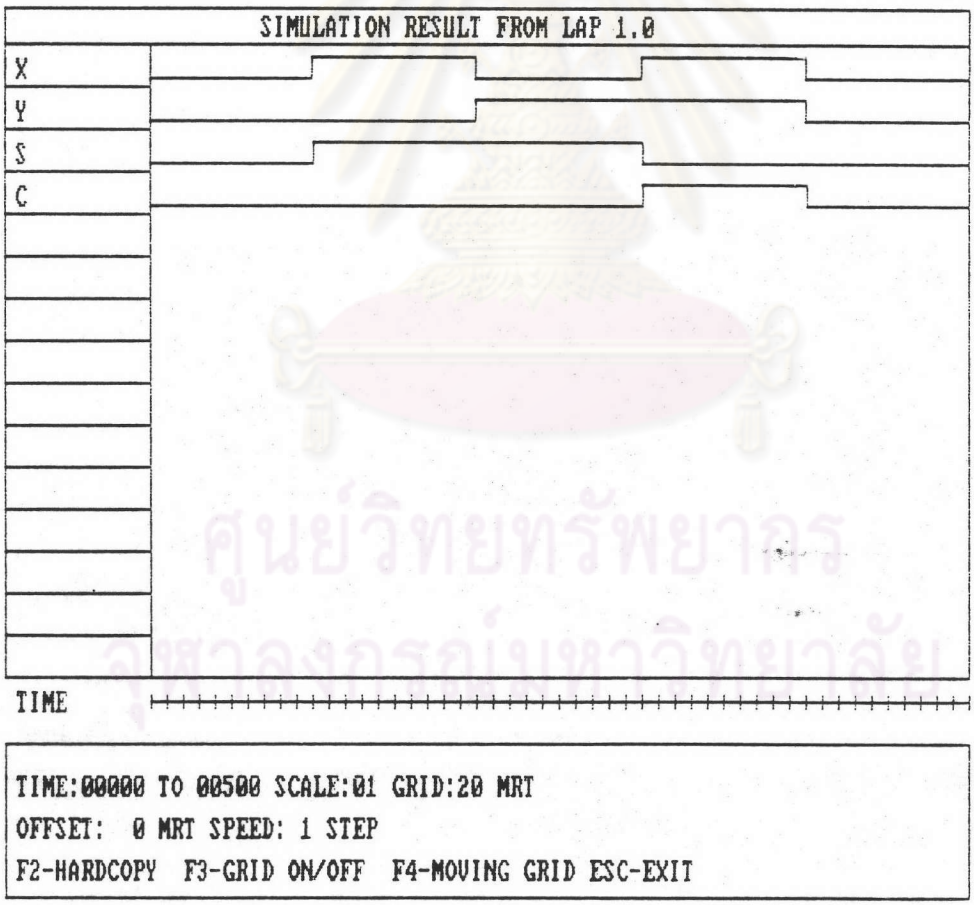
FULL ADDER



FULL ADDER USING MACRO

รูปที่ 6.7 การออกแบบ ADDER

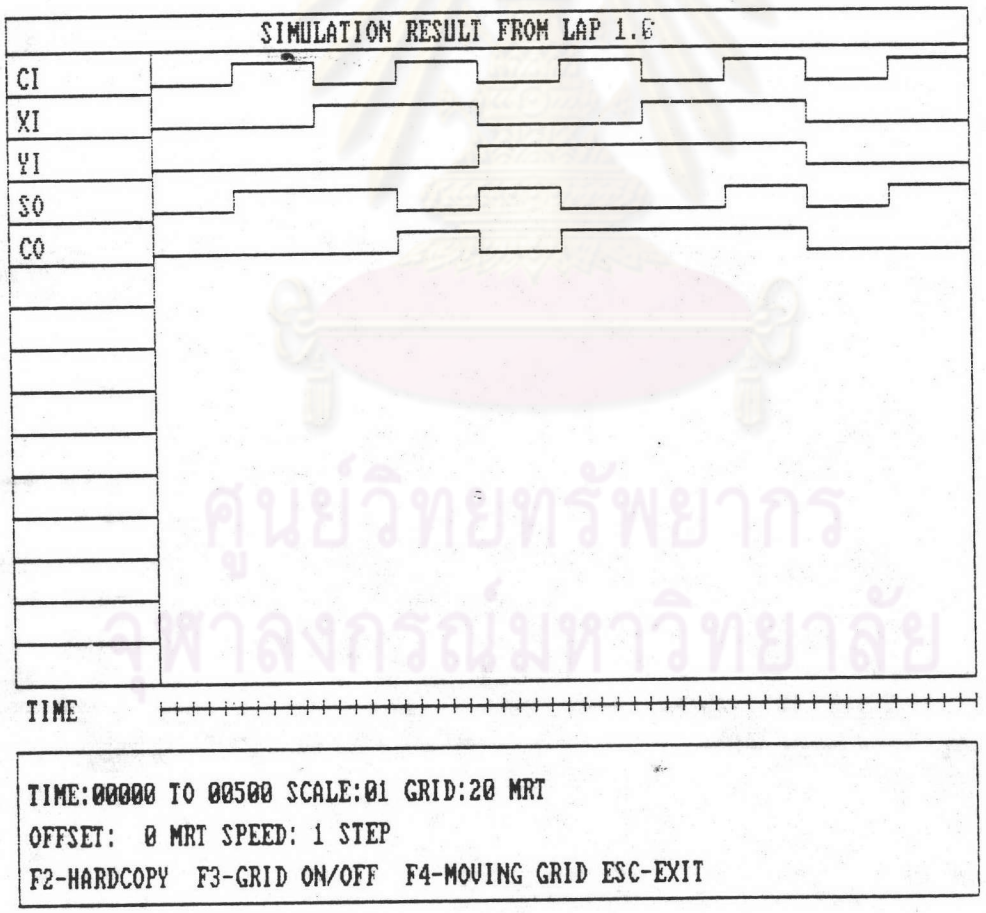
```
*-----------------------*
*  Half Adder           *
*  18-August-1988       *
*-----------------------*
MYXOR  MODEL  XOR  1
AND  MODEL  AND2  1
*
GATE1    MYXOR    X  Y  S
GATE2    AND      X  Y  C
*
S1  CLOCK  X  100  100
S2  CLOCK  Y  200  200
```



รูปที่ 6.8 การจำลองการทำงานของ HALF ADDER

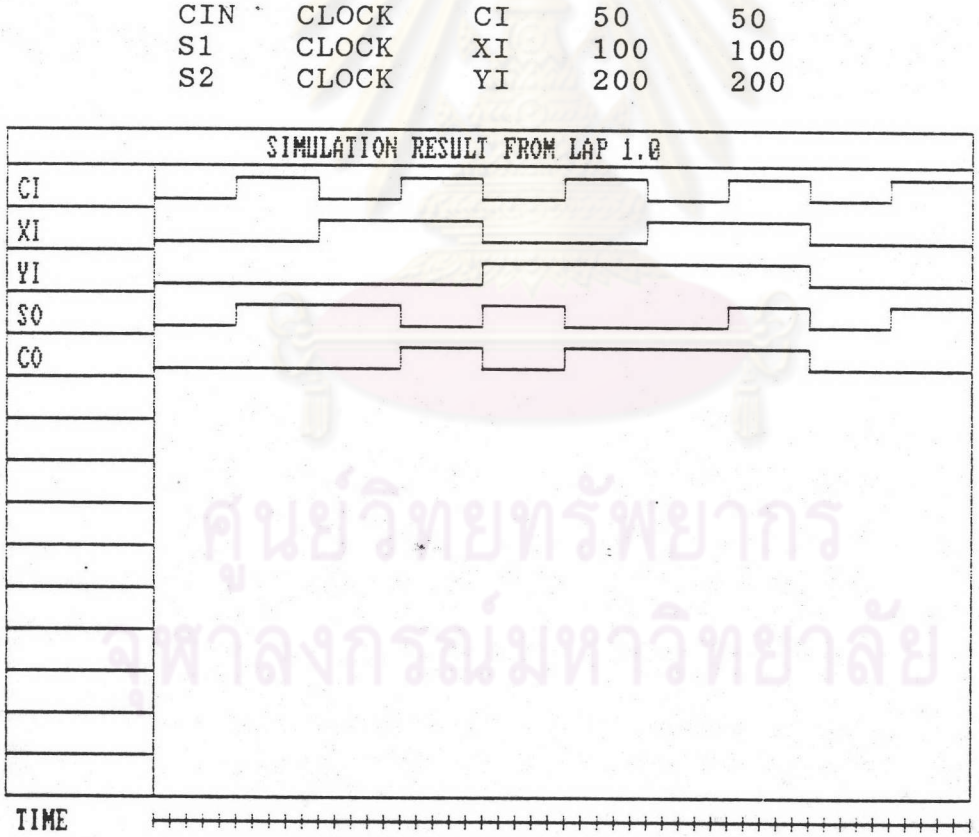
ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

```
*----------------------*
*      FULL ADDER      *
*   USE GATE CIRCUIT   *
*   20-August-1988     *
*----------------------*
OR      MODEL   OR2       0
MYXOR   MODEL   XOR       0
AND     MODEL   AND2      0
*
*     CIRCUIT
*
G1    MYXOR    XI     YI       B
G2    AND      XI     YI       D
G3    MYXOR    CI     B        SO
G4    AND      CI     B        C
G5    OR       C      D        CO
*
*     SIGNAL
*
CIN    CLOCK    CI     50       50
S1     CLOCK    XI     100      100
S2     CLOCK    YI     200      200
```



รูปที่ 6.9 ก. การจำลองการทำงานของ FULL ADDER

```
*-----------------------*
*     FULL ADDER        *
*  18-August-1988       *
*-----------------------*
OR      MODEL  OR2       0
MYXOR   MODEL  XOR       0
AND     MODEL  AND2      0
*
*  MACRO DEFINITION
*
HADDER  MACRO
IN1  IN2  SUM CARRY
X
GATE1    MYXOR    IN1   IN2   SUM
GATE2    AND      IN1   IN2   CARRY
ENDM
*
*     CIRCUIT
*
M1       HADDER   XI   YI   S1    C1
M2       HADDER   CI   S1   SO    C2
GATE     OR       C2   C1   CO
*
*     SIGNAL
*
CIN    CLOCK     CI     50      50
S1     CLOCK     XI     100     100
S2     CLOCK     YI     200     200
```

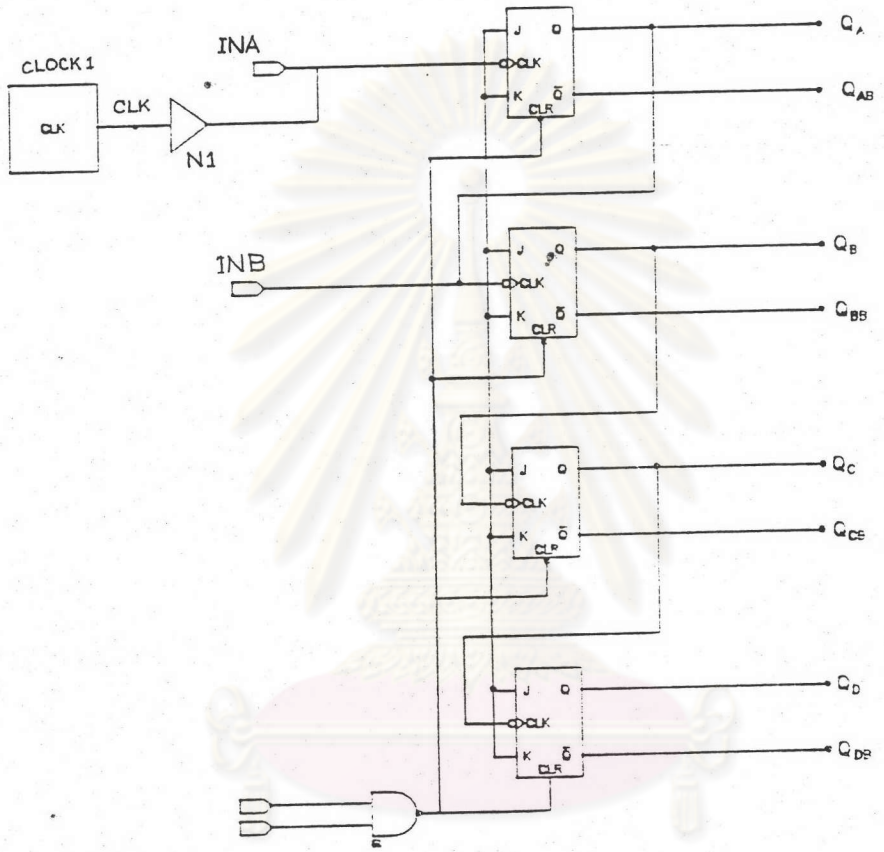


รูปที่ 6.9 ข. การจำลองการทำงานของ FULL ADDER โดยใช้แมคโคร

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

6.6 การจำลองการทำงานของวงจรประมวล 7493

ตัวอย่างนี้เป็นการทดสอบการทำงานโดยการจำลองการทำงานของวงจรประมวลขนาดกลางคือ วงจรนับ 7493 ซึ่งต่อให้นับเป็นแบบ binary counter



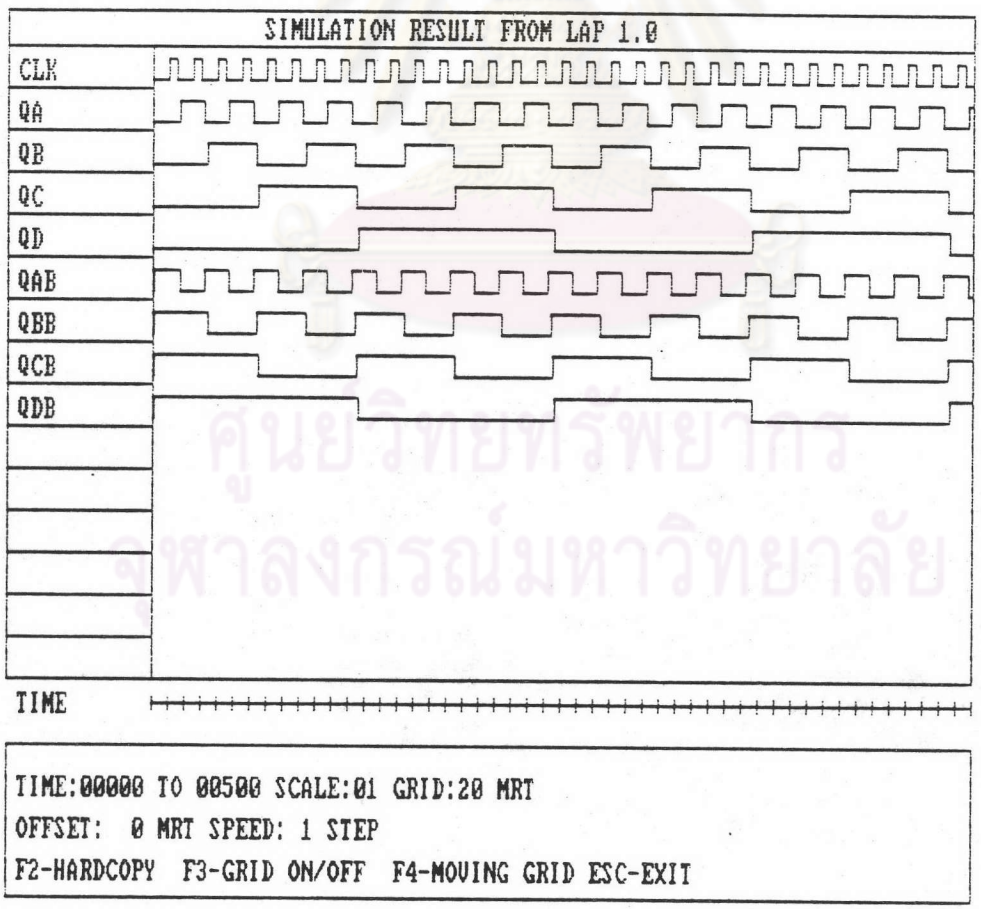
รูปที่ 6.10 วงจรภายในของ 7493

ผลการจำลองการทำงานได้แสดงไว้ในรูปที่ 6.11 ซึ่งได้ผลการทำงานตรงกับทฤษฎีทุกประการ

6.7 ประสิทธิภาพของการจำลองการทำงาน

จากที่ได้กล่าวมาในบทก่อน ๆ ว่าในการจำลองการทำงานของวงจรตรรกะโดยวิธี event driven ทำให้การจำลองเป็นไปอย่างมีประสิทธิภาพ ซึ่งเราสามารถพิจารณาถึงจำนวนการทำงานที่ลดลงได้ว่า ในกรณีที่มีการจำลองการทำงานของเกตทุกตัวในทุก MRT แล้วจะได้จำนวนครั้งที่ทำการจำลองการทำงานของเกต ดังนี้ (การวิเคราะห์ใช้เวลา 1024 MRT)

```
*-------------------------------------
*    7493 circuit from TTL data book
*         22:54:27  5/17/1988
*-------------------------------------
FLIPFLP    MODEL    JKNC   1
FF1        FLIPFLP   VCC    VCC    INA     PR    CLR     QA    QAB
FF2        FLIPFLP   VCC    VCC    INB     PR    CLR     QB    QBB
FF3        FLIPFLP   VCC    VCC     QB     PR    CLR     QC    QCB
FF4        FLIPFLP   VCC    VCC     QC     PR    CLR     QD    QDB
G1         NAND2   R01    R02    CLR      1
*
*  External circuit
*
G3         BUFF    QA     INB      1
N1         BUFF    CLK    INA      1
*
*  Signal source
*
CLOCK1    CLOCK       CLK     5 10
*
*     Initial condition
*
PR      NODE    H
R01     NODE    L
R02     NODE    H
```



รูปที่ 6.11 การทำงานของวงจรนับ 7493

$$N = E * 1024$$

E = จำนวนเกตทั้งหมดในวงจร

N = จำนวนครั้งที่ทำการจำลองการทำงาน

ถ้าให้ Ne คือ จำนวนของการจำลองการทำงานของเกตในวงจรทั้งหมด โดยที่นำเอาวิธี event driven มาใช้แล้ว เราจะสามารถพิจารณาถึงประสิทธิภาพที่เพิ่มขึ้นได้โดยการพิจารณา Ne/N ที่ได้มาจากการจำลองการทำงานแต่ละครั้ง ซึ่งจะเป็นไปดังตาราง

ตัวอย่างที่	รูปที่	จำนวนเกต	Ne	Ne /N (%)
1	6.1	3	470	15.3
2	6.3	4	37	0.9
3	6.4	2	82	4.0
4	6.6	3	240	7.8
5	6.8	2	31	1.5
6	6.9	5	114	2.2
7	6.10	5	114	2.2
8	6.11	6	417	6.8

ค่าเฉลี่ยของ Ne /N =5.08 %

รูปที่ 6.12 ประสิทธิภาพในการจำลองการทำงานของวงจรทดสอบ

พบว่าค่าเฉลี่ยของ Ne/N มีค่าน้อยมากซึ่งแสดงให้เห็นอย่างชัดเจนถึงประสิทธิภาพของการจำลองการทำงานโดยวิธี event driven ที่เลือกใช้ในการพัฒนาโปรแกรมต้นแบบสำหรับวิเคราะห์การทำงานของวงจรตรรกะซึ่งลดการประมวลผลของเกตลงได้มาก