บทที่ 3

ระบบวิเคราะห์และการประมวลผลสัญญาณโดยใช้ชิป TMS320C50

ความนำ

ในบทนี้กล่าวถึงรายละเอียดของชุดทดลองที่ใช้ในงานวิจัยนี้คือ Digital Signal Processing Starter Kit(DSK) ซึ่งเป็นชุดทดลองสำเร็จรูป ประกอบไปด้วย 2 ส่วนสำคัญคือส่วนประมวลผลและส่วนติดต่อข้อมูลกับภายนอก ส่วนประมวลผลของ DSK เลือกใช้ชิป TMS320C50 ซึ่งมีเนื้อที่สำหรับหน่วยความจำอยู่ในตัวชิปจำนวนหนึ่งและมีสมรรถนะในการทำงานที่สูง ส่วนติดต่อข้อมูลกับภายนอกเป็นวงจรเชื่อมต่อสัญญาณอนาลอกที่เลือกใช้ชิป TLC32040 ในการทำงาน รายละเอียดมีดังนี้

3.1 ชิป TMS320C50 [5]

ตัวประมวลผลสัญญาณดิจิตอล(Digital Signal Processor หรือ DSP)ที่ผลิตขึ้นโดยบริษัทเทกซัสอินสตรูเมนท์ (Texas Instrument หรือ TI)มีหลายรุ่น ประกอบด้วยรุ่นที่ทำงานแบบจุดตรึง(fixed-point) 16 บิตและแบบจุดลอย (floating-point) 32 บิต ตัวประมวลผลเหล่านี้ประกอบด้วยชุดคำสั่งที่มีความยืดหยุ่นสูง ซึ่งเป็นการรวมคุณสมบัติของตัวควบคุม(controller)ที่มีความเร็วสูงและความสามารถในการจัดการข้อมูลจำนวนมากได้เหมือนกับตัวประมวลผลแบบอะเรย์รวมเข้าไว้ด้วยกัน รวมทั้งราคาที่ไม่สูง ทำให้ DSP ตระกูลนี้เป็นที่นิยมอย่างกว้างขวาง

สรุปคุณสมบัติเด่นได้ดังนี้

- ชุดคำสั่งสามารถยืดหยุ่นได้มาก
- มีความเร็วสูง
- การออกแบบโครงสร้างที่ทันสมัยและความสามารถในการทำงานแบบขนานได้
- ประสิทธิภาพเหมาะสมกับราคา

TMS320C50 เป็นตัวประมวลผลสัญญาณดิจิตอลตัวหนึ่งในรุ่นที่ 5 ของบริษัทเทกซัสอินสตรูเมนท์ ซึ่งในรุ่นที่ 5 นี้ (ต่อไปจะขอเรียก 'C5X แทนรุ่นที่ 5 และเรียก 'C50 แทน TMS320C50) จะเป็นตัวประมวลผลแบบจุดตรึงขนาด 16 บิตทั้งหมด มีการใช้ชุดคำสั่งที่เหมือนกัน ต่างกันที่จำนวนของหน่วยความจำแบบแรมและรอม โดยแสดงในตาราง 3.1 ดังนี้

TMS320 Device	On-chip Memory			I/O Ports		Cycle Time (ns)	Package Type QFP
	RAM		ROM				
	Data	Data+Prog	Prog	Serial	Parallel		
TMS320C50	1 K	9 K	2 K	2	64 K	50/35	132pin ceramic
TMS320C51	1 K	1 K	8 K	2	64 K	50/35	132pin plastic
TMS320C53	1 K	3 K	16 K	2	64 K	50/35	132pin plastic

ตาราง 3.1 คุณสมบัติทั่วไปของ DSP รุ่น TMS320C5x

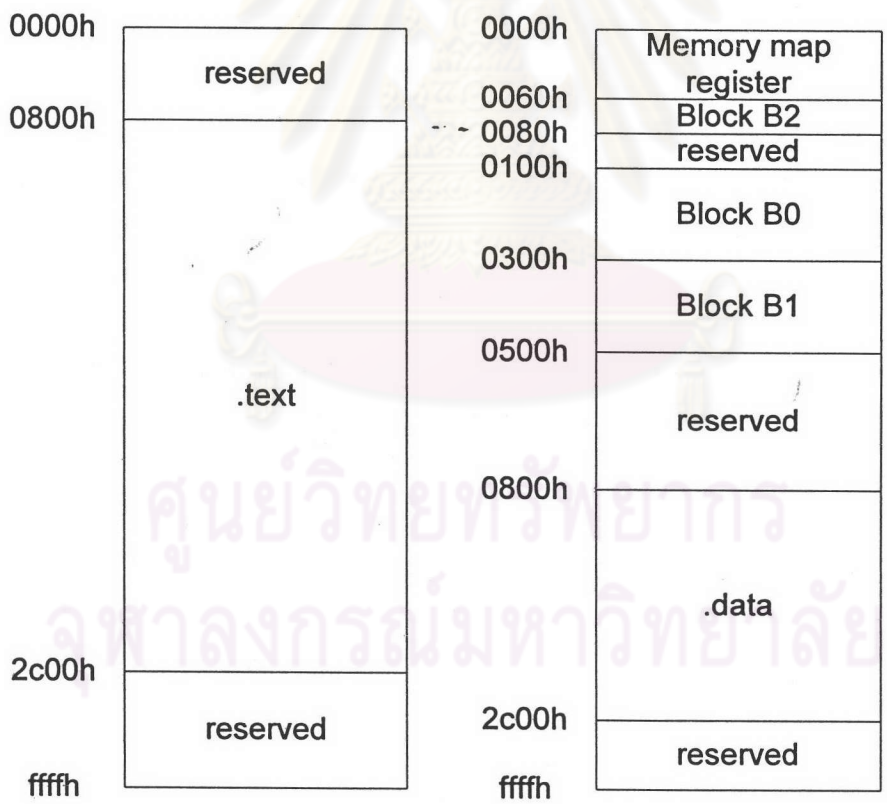
จะเห็นได้ว่า 'C51 และ 'C53 จะเป็นแบบที่เน้นรอมเป็นหลัก(ROM-based) ส่วน 'C50 จะเน้นแรมเป็นหลัก (RAM-based)ซึ่งเป็นตัวที่เลือกใช้ในงานวิจัยนี้ ดังนั้นคุณสมบัติที่จะกล่าวถึงต่อไปนี้เป็นคุณสมบัติที่สำคัญของ'C50

- เวลาที่ในการคำนวณผลคำสั่งเดี่ยว (single-cycle instruction execution time) เท่ากับ 50 นาโนวินาที นั่นคือใน 1 วินาทีสามารถทำงานได้ 20 ล้านคำสั่ง (20 MIPS)
- สามารถใช้กับชุดคำสั่งของรุ่น 'C1x และรุ่น 'C2x ซึ่งเป็นตัวประมวลผลแบบจุดตรึงได้
- มีแรมบนชิปที่ใช้ได้ทั้งโปรแกรมและข้อมูลขนาด 9K x 16 บิต
- มีบูทรอมบนชิปขนาด 2K x 16 บิต
- มีแรมบนชิปสำหรับข้อมูลแบบ dual-access ขนาด 1056 x 16 บิต
- มี arithmetic logic unit (ALU) , accumulator (ACC) และ accumulator buffer (ACCB) ซึ่งมีขนาด 32 บิตทั้ง 3 ตัว
- มี parallel logic unit (PLU) ขนาด 16 บิต สำหรับการคำนวณแบบตรรก(boolean)
- สามารถคูณเลข 16 บิต 2 ตัวได้ผลตอบเป็นเลข 32 บิตได้ภายใน 1 คำสั่งเดี่ยวเท่านั้น
- มีรีจิสเตอร์ช่วย(Auxiliary register หรือ AR) 8 ตัวสำหรับการเข้าถึงข้อมูลทางอ้อม(indirect addressing)
- มีรีจิสเตอร์เงา(shadow registers หรือ context-switch registers) จำนวน 11 ตัวสำหรับเก็บค่าของรีจิสเตอร์ตัวสำคัญๆ ที่ใช้ในการควบคุม CPU ในระหว่างการเข้าไปในเส้นทางบริการของอินเทอรัปต์(interrupt service routine)
- มีฮาร์ดแวร์สแต็กที่ลึก 8 ระดับ
- สามารถเลื่อนข้อมูลแบบ barrel shift ได้ตั้งแต่ 0-16 บิต ทั้งทางซ้ายและทางขวา
- มีการเข้าถึ งตำแหน่งของหน่วยความจำแบบวงกลม(circular addressing)ได้ 2 ชุด
- มีคำสั่งทำซ้ำคำสั่งเดี่ยว(single instruction repeat)และคำสั่งทำซ้ำคำสั่งชุด(block repeat)
- มีคำสั่งย้ายข้อมูลระหว่างหน่วยความจำได้โดยตรง
- การทำงานแบบใช้ไปป์ไลน์(pipeline)ลึก 4 ระดับ

การจัดการหน่วยความจำ

การออกแบบ C5x ใช้สถาปัตยกรรมแบบฮาวาร์ด ซึ่งแบ่งส่วนของหน่วยความจำเป็นหลายส่วนโดยการเข้าถึงหน่วยความจำจะใช้บัส 3 บัสทำงานขนานกันนั่นคือ บัสอ่าน/เขียนโปรแกรม (PAB) บัสอ่านข้อมูล (DAB1) และบัสเขียนข้อมูล (DAB2) บัสเหล่านี้สามารถทำงานได้พร้อมกันจึงสามารถเข้าถึงหน่วยความจำต่างที่กันได้หลายจุดในเวลาเดียวกัน

C5x ประกอบไปด้วยหน่วยความจำภายในชิป(on-chip memory)จำนวนมาก เพื่อช่วยเพิ่มความสามารถในการทำงาน เนื่องจากการจัดการกับหน่วยความจำของ C5x จะใช้เวลาในการทำงานน้อยที่สุดเมื่อหน่วยความจำนั้นอยู่ภายในตัวชิปเอง C50 ที่ใช้ในการทดลองนี้มีหน่วยความจำประกอบไปด้วย บูทรอมขนาด 2 กิโลเวอร์ดอยู่ที่ภาคโปรแกรมจากตำแหน่งที่ 0 ถึง 07ffh ชิงเกิลแอคเซสแรม(SARAM) ขนาด 9 กิโลเวอร์ดใช้สำหรับการเก็บโปรแกรมและข้อมูลโดยเริ่มที่ตำแหน่ง 0800h ถึง 2bffh สำหรับทั้งภาคโปรแกรมและภาคข้อมูล และดับเบิลแอคเซสแรม(DARAM)ขนาด 1056 เวอร์ดสำหรับเก็บข้อมูลสามารถทำการอ่านและเขียนข้อมูลได้พร้อมกันภายใน 1 รอบคำสั่ง แบ่งออกได้เป็น 3 บล็อกคือ บล็อก 0 (B0) ขนาด 512 เวอร์ดเริ่มจากตำแหน่ง 0100h ถึง 02ffh บล็อก 1 (B1) ขนาด 512 เวอร์ดเริ่มจากตำแหน่ง 0300h ถึง 04ffh บล็อก 2 (B2) ขนาด 32 เวอร์ดเริ่มจากตำแหน่ง 0060h ถึง 007fh ดังแสดงในรูป 3.1



รูป 3.1 ตำแหน่งของหน่วยความจำของ 'C50

3.2 วงจรเชื่อมต่อสัญญาณอนาลอก (analog interface circuit -- AIC)

AIC ซึ่งใช้ชิป TLC32040 ในการทำงานประกอบด้วย 2 ส่วนหลัก ๆ ส่วนแรกคือส่วนแปลงสัญญาณจากดิจิตอลเป็นอนาลอก (D/A) และส่วนแปลงสัญญาณจากอนาลอกเป็นดิจิตอล (A/D) ทั้ง 2 ส่วนนี้มีพิสัยของข้อมูลดิจิตอล 14 บิต อัตราการสุ่มข้อมูลของ D/A และ A/D กำหนดได้จากค่าของรีจิสเตอร์ RA ,RA' , RB ,TA ,TA' และ TB โดยที่อัตราการสุ่มข้อมูลของ A/D มีค่าเท่ากับ $(10 * 10^6)/(2 *$ Rx counter A $*$ Rx counter B) และอัตราการสุ่มข้อมูลของ D/A มีค่าเท่ากับ $(10 * 10^6)/(2 *$ Tx counter A $*$ Tx counter B) การกำหนดให้ AIC ทำงานแบบเข้าจังหวะกันระหว่างด้านขาเข้าและด้านขาออกจะทำให้อัตราการสุ่มข้อมูลของ D/A เท่ากับของ A/D นอกจากนี้ที่ด้านขาเข้าจะมีวงจรกรองผ่านแถบความถี่(bandpass filter)ช่วยป้องกันการเกิดการเคลือบแฝง(aliasing)ซึ่งสามารถเลือกให้ทำงานหรือไม่ทำงานก็ได้ มีการเลือกอัตราขยายของสัญญาณได้หลายแบบ ส่วนที่ด้านขาออกจะมีวงจรกรองผ่านความถี่ต่ำ(lowpass filter)ซึ่งจะทำงานตลอดเวลา ในภาคผนวก ค จะมีรายละเอียดของการกำหนดค่าเริ่มต้นให้แก่ AIC ส่วนคุณสมบัติในการทำงานและผลตอบเชิงความถี่ของวงจรกรองทั้งสองตัวและรายละเอียดนอกเหนือจากนี้สามารถดูได้ในคู่มือการใช้งานของ DSK [6]

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย