บทที่ 3

โครงสร้างทางฮาร์ดแวร์ของระบบและการทำงาน

ในบทนี้จะกล่าวถึงโครงสร้างทางฮาร์ดแวร์ของระบบและการทำงานของแต่ละส่วนประกอบ

3.1 โครงสร้างทางฮาร์ดแวร์ของระบบ

จากโครงสร้างและหลักการทำงานของระบบตามที่แสดงไว้ในรูปที่ 2.1 และ 2.2 เมื่อนำมาสร้างจะมีโครงสร้างดังรูปที่ 3.1 คือจะประกอบด้วย backplane ที่มีบัสอยู่ 2 บัส ขนาด 8 บิต และขนาด 16 บิต และมีการ์ดต่าง ๆ ดังนี้

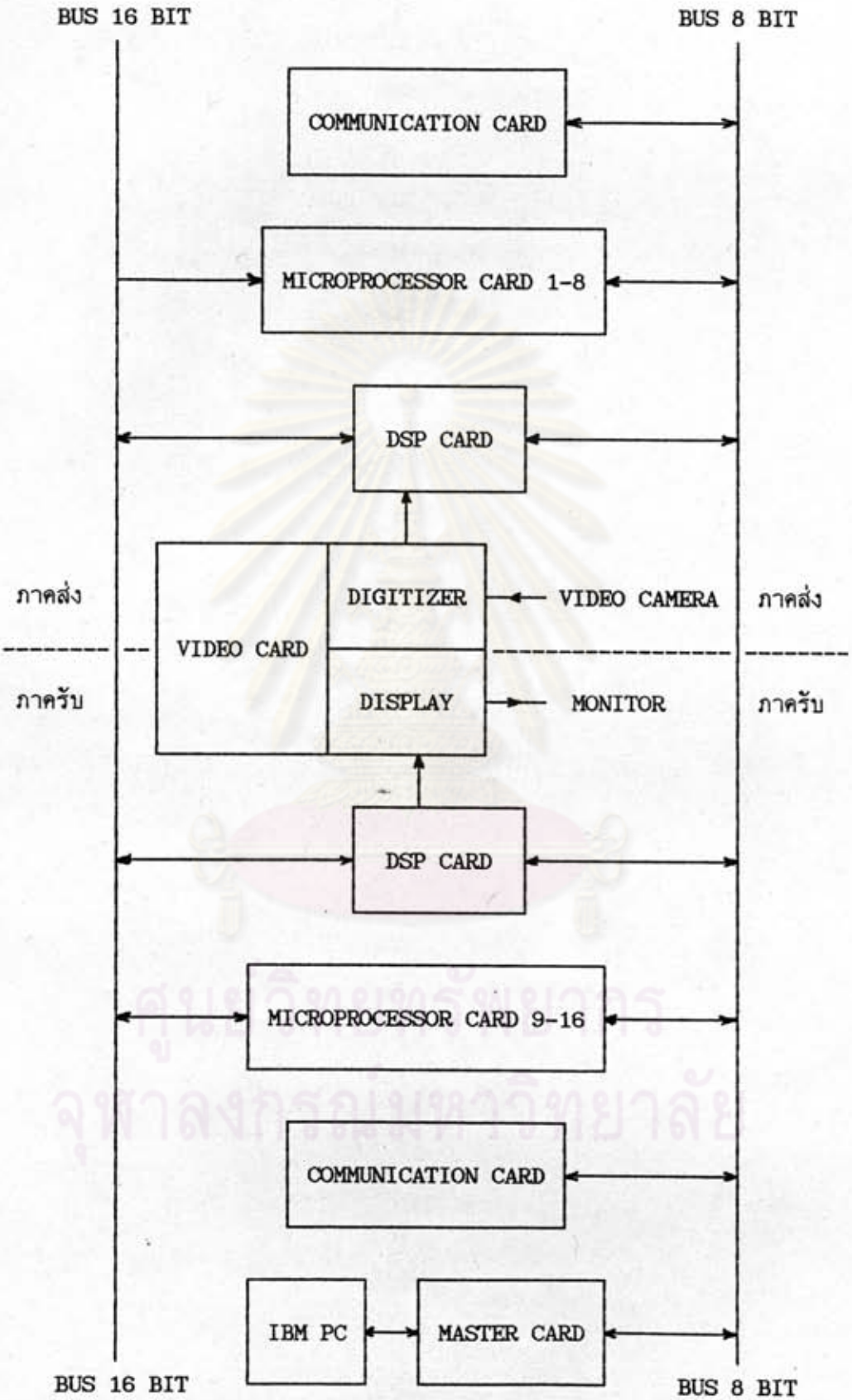
3.1.1. วีดิโอการ์ด (Video digitizer and display card) การ์ดนี้จะทำหน้าที่เป็นอินพุตเอาต์พุตของระบบ โดยทางอินพุตสัญญาณจากกล้องวีดิโอจะถูกแปลงเป็นสัญญาณดิจิตอลขนาด 128x128 จุดจุดละ 6 บิต เก็บไว้ในหน่วยความจำเพื่อให้ DSP card มาอ่านไปทำการคำนวณต่อไป ส่วนทางเอาต์พุตจะรับข้อมูลดิจิตอลจาก DSP card แล้วทำการแปลงกลับเป็นสัญญาณแบบแอนาลอกพร้อมทั้งกำเนิดสัญญาณซิงค์ต่าง ๆ ประกอบกันเป็นคอมโพสิตวีดิโอเพื่อแสดงผลบนจอมอนิเตอร์ โครงสร้างของวีดิโอการ์ดแสดงในรูปที่ 3.2 โดยประกอบด้วยส่วนต่างๆที่สำคัญดังนี้

3.1.1.1 A/D Convertor และ D/A Convertor ทำหน้าที่แปลงสัญญาณแอนาลอกจากกล้องวีดิโอเป็นสัญญาณดิจิตอลในภาคส่ง และแปลงสัญญาณดิจิตอลกลับเป็นสัญญาณแอนาลอกเพื่อแสดงผลบนจอมอนิเตอร์ในภาครับ

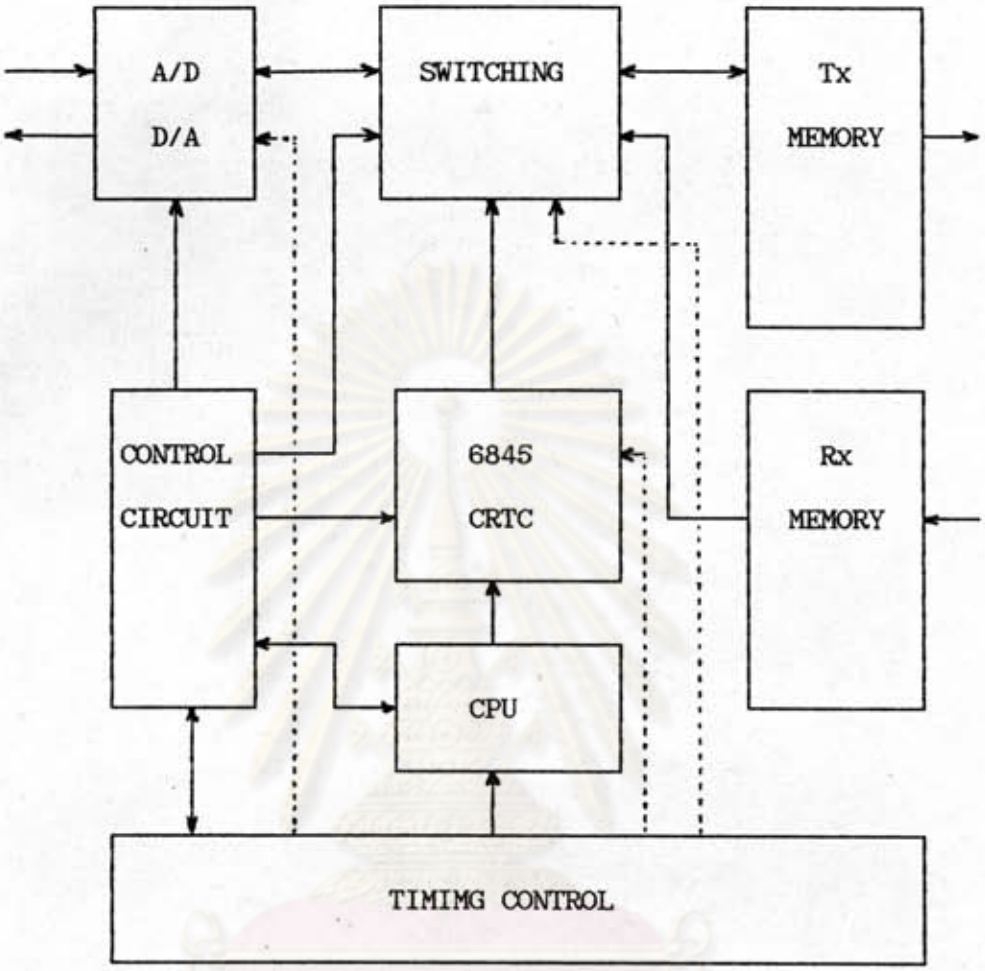
3.1.1.2 6845 CRTC เป็น CRT Controller ทำหน้าที่กำเนิดสัญญาณซิงค์ต่างๆ

3.1.1.3 CPU ทำหน้าที่ควบคุมระบบและโปรแกรม 6845 CRTC

3.1.1.4 Tx Memory เป็นหน่วยความจำขนาด 16kx8 bits ทำหน้าที่เก็บข้อมูลภาพทางภาคส่ง เพื่อให้การ์ดอื่นมาอ่านไปดำเนินการต่อ



รูปที่ 3.1 โครงสร้างทางฮาร์ดแวร์ของระบบ



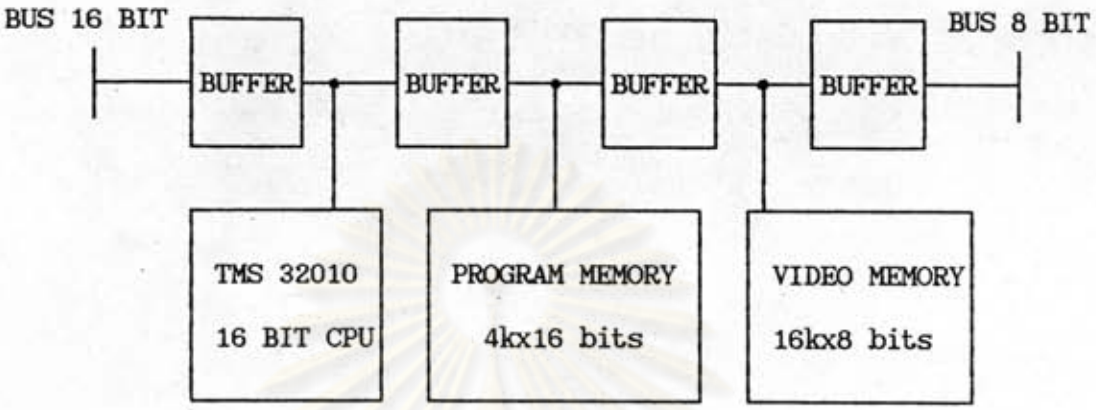
รูปที่ 3.2 โครงสร้างของวีดีโอการ์ด

3.1.1.5 Rx Memory เป็นหน่วยความจำขนาด 16kx8 bits ทำหน้าที่เก็บข้อมูลภาพที่ทางภาครับดำเนินการเสร็จแล้ว โดยวีดีโอการ์ดจะนำข้อมูลใน Rx Memory นี้ไปแสดงผล

3.1.2 DSP การ์ด ทำหน้าที่เป็น MASTER CPU ทางด้านบัส 16 บิต และทำ 2D-DCT และ 2D-DCT^{-1} ในภาคส่งและภาครับตามลำดับ โครงสร้างของ DSP การ์ดแสดงในรูปที่ 3.3 โดยประกอบด้วยส่วนต่างๆที่สำคัญดังนี้

3.1.2.1 TMS 32010 16 BIT CPU เป็น DSP (Digital Signal Processing) chip[6] ที่สามารถประมวลผลด้วยความเร็วสูง ทำหน้าที่ทำ

2D-DCT ในภาคส่ง และ 2D-DCT^{-1} ในภาครับ



รูปที่ 3.3 โครงสร้างของ DSP การ์ด

3.1.2.2 PROGRAM MEMORY เป็นหน่วยความจำขนาด 4kx16 bits ที่มีความเร็วสูง ทำหน้าที่เก็บโปรแกรมสั่งงานของ TMS 32010 CPU

3.1.2.3 VIDEO MEMORY เป็นหน่วยความจำขนาด 16kx8 bits ทำหน้าที่เก็บข้อมูลจากวีดิโอการ์ดเพื่อมาทำ 2D-DCT ในภาคส่ง และเก็บข้อมูลที่ผ่านการทำ 2D-DCT^{-1} แล้วในภาครับ เพื่อรอให้วีดิโอการ์ดมาอ่านไปดำเนินการต่อ

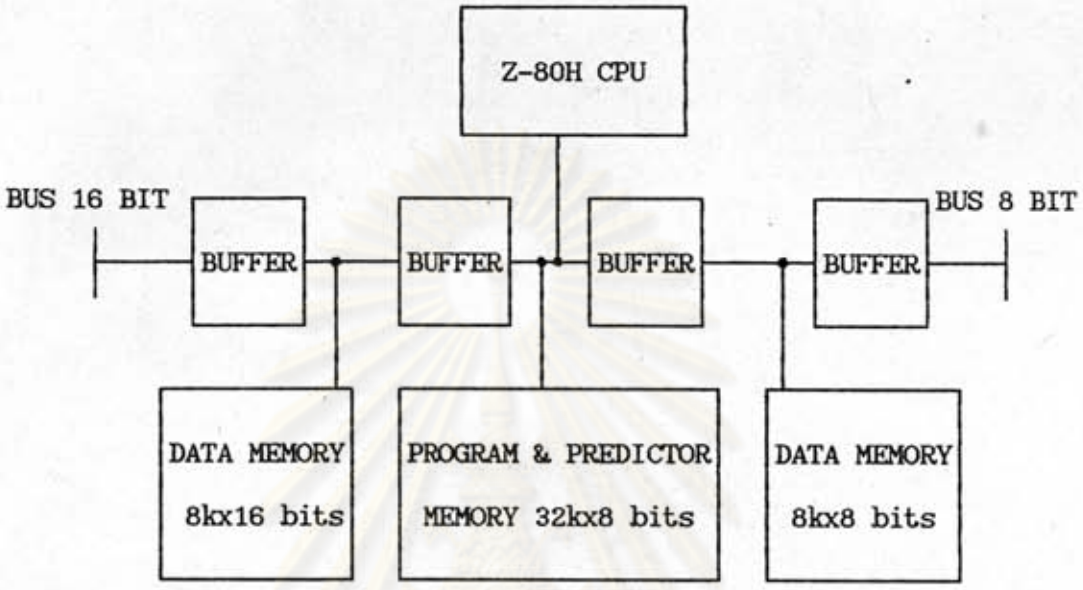
3.1.3 ไมโครโปรเซสเซอร์การ์ด มีจำนวน 1-16 การ์ด ประกอบกันเป็น Array Processor เป็น Slave CPU ทางด้าน 8 บิตและ 16 บิต ทำหน้าที่ ADPCM ในภาคส่ง และ Inverse ADPCM ในภาครับโครงสร้างของไมโครโปรเซสเซอร์การ์ด แสดงในรูปที่ 3.4 โดยประกอบด้วยส่วนต่างๆที่สำคัญดังนี้

3.1.3.1 Z-80H CPU เป็น CPU ที่ทำงานด้วยสัญญาณนาฬิกา 8 MHz ทำหน้าที่ทำ ADPCM และ Inverse ADPCM

3.1.3.2 PROGRAM & PREDICTOR MEMORY เป็นหน่วยความจำขนาด 32kx8 bits ทำหน้าที่เก็บโปรแกรมสั่งงานของ CPU และทำหน้าที่เก็บค่าของ Predictor และ Threshold Table

3.1.3.3 DATA MEMORY 8kx8 bits เป็นหน่วยความจำที่ทำหน้า

ที่เก็บข้อมูลเพื่อติดต่อกับ MASTER CARD ทางด้านบัส 8 บิต



รูปที่ 3.4 โครงสร้างของ ไมโครโปรเซสเซอร์การ์ด

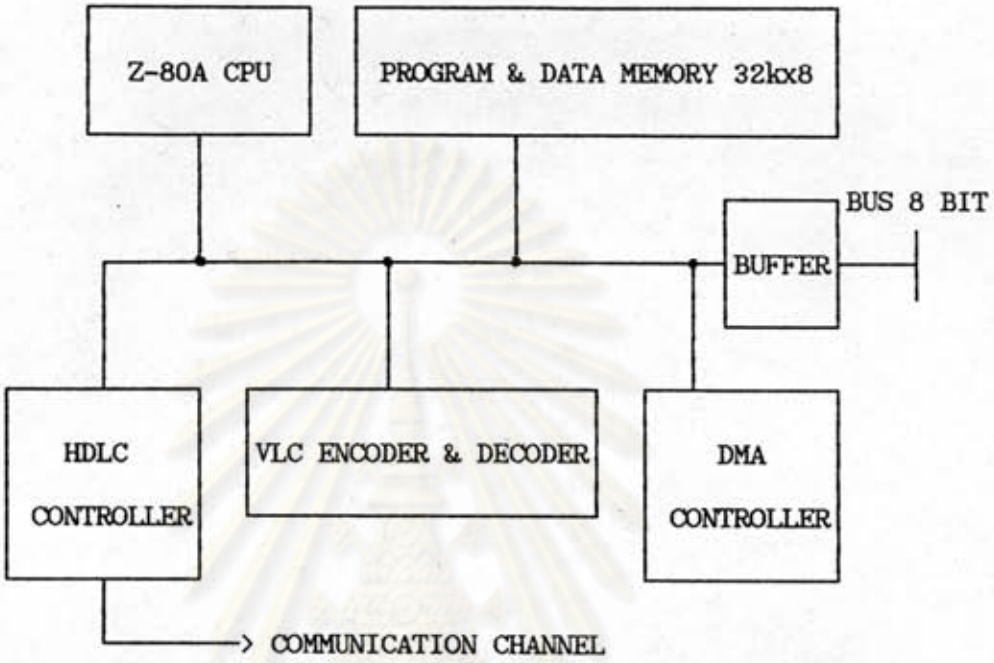
3.1.3.4 DATA MEMORY 8kx16 bits เป็นหน่วยความจำที่ทำหน้าที่เก็บข้อมูลเพื่อติดต่อกับ MASTER CARD ทางด้านบัส 16 บิต

3.1.4 <u>คอมมิวนิเคชันการ์ด</u> เป็น MASTER CARD ด้านบัส 8 บิตทำหน้าที่ทำ Variable Length Code และรับส่งข้อมูลผ่านช่องสัญญาณ 64 kbps โดยใช้ HDLC PROTOCOL โครงสร้างของคอมมิวนิเคชันการ์ด แสดงในรูปที่ 3.5 โดยประกอบด้วยส่วนต่างๆที่สำคัญดังนี้

3.1.4.1 DMA CONTROLLER ทางภาคส่งจะทำหน้าที่อ่านข้อมูลจากไมโครโปรเซสเซอร์การ์ด มาเขียนลงใน DATA MEMORY และทำหน้าที่อ่านข้อมูลจาก DATA MOMORY ส่งไปยัง VLC ENCODER และ HDLC CONTROLLER ส่วนทางภาครับจะทำหน้าที่อ่านข้อมูลจาก HDLC CONTROLLER ส่งไปทำ VLC DECODE แล้วเขียนลงใน DATA MEMORY และ อ่านข้อมูลจาก DATA MEMORY เขียนลงในไมโครโปรเซสเซอร์การ์ด

3.1.4.2 VLC ENCODER & DECODER ทำหน้าที่เข้ารหัสและถอดรหัส

ข้อมูลแบบ Huffman



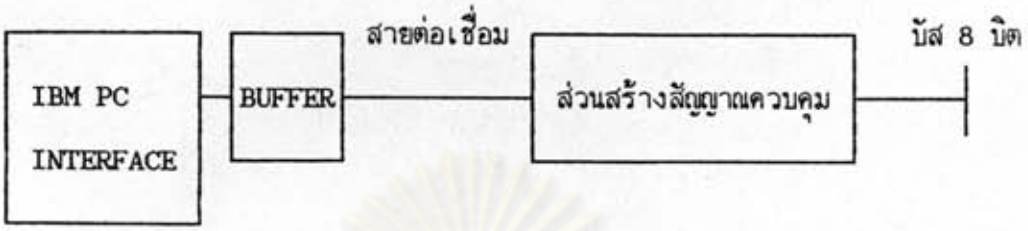
รูปที่ 3.5 โครงสร้างของ คอมมิวนิเคชันการ์ด

3.1.4.3 HDLC CONTROLLER ทำหน้าที่จัดรูปแบบของข้อมูลให้เป็นเฟรมแบบ HDLC แล้วส่งออกทางช่องทางสื่อสาร และทำหน้าที่ถอดรหัสข้อมูลแบบ HDLC ที่รับได้จากช่องทางสื่อสาร

3.1.4.4 Z-80A CPU เป็นหน่วยประมวลผลทำหน้าที่โปรแกรมและสั่งงาน DMA CONTROLLER และ HDLC CONTROLLER

3.1.5 มาสเตอร์การ์ด (Master card) ทำหน้าที่ควบคุมระบบโดยจะเป็น Master ที่มีความสำคัญสูงสุดทางด้านบัส 8 บิตและติดต่อกับ IBM PC เพื่อให้ IBM PC สามารถเข้าถึง และหยุดการทำงานของการ์ดทุกการ์ดไว้ โดย IBM PC สามารถที่จะ RESET CPU ทุกตัวในระบบและสามารถทำ DMA กับทุกการ์ด เพื่อที่จะ download โปรแกรม MEMORY ของแต่ละการ์ดและยังสามารถหยุดการ์ดแต่ละการ์ดเพื่อดูสถานะในขณะนั้นได้ด้วยทำให้สามารถพัฒนาและแก้ไขเปลี่ยนแปลงระบบได้โดยง่าย โครงสร้างของมาส

เตอร์การ์ด แสดงในรูปที่ 3.6 โดยประกอบด้วยส่วนต่างๆที่สำคัญดังนี้



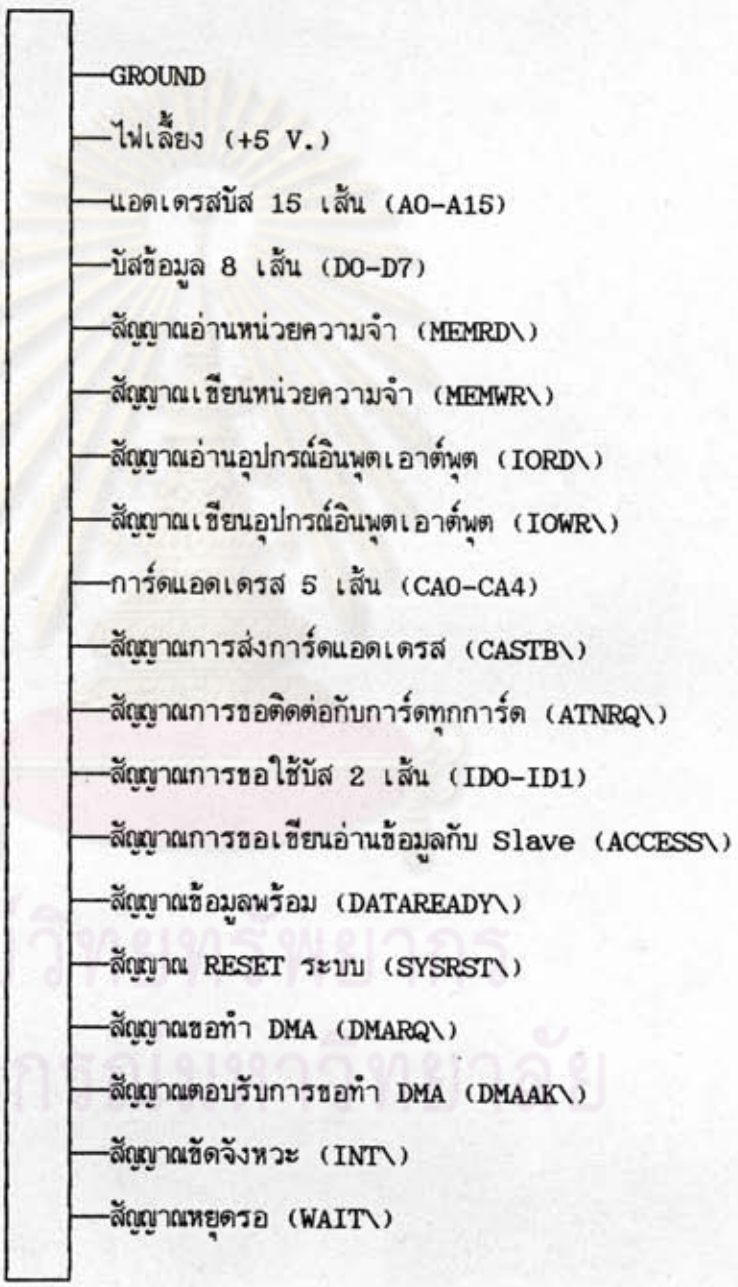
รูปที่ 3.6 โครงสร้างของ มาสเตอร์การ์ด

3.1.5.1 ส่วนเชื่อมต่อกับ IBM PC ทำหน้าที่ถอดรหัสพอร์ต 3E0-3EF และถอดรหัสหน่วยความจำที่แอดเดรส D0000-DFFFF ซึ่งไม่ถูกใช้งาน[7] และสร้างสัญญาณ WAIT ให้ IBM PC จำนวน 2 WAIT STATE เพื่อลดความเร็วของ IBM PC ให้เหมาะสม เนื่องจากการเข้าถึงหน่วยความจำต่างๆของระบบต้องผ่าน BUFFER หลายชั้นทำให้เกิด Time Delay ซึ่งอาจจะทำให้การเขียน อ่านข้อมูลผิดพลาดได้ ถ้าความเร็วไม่เหมาะสม ส่วนนี้จะเสียบอยู่บน Slot ของ IBM PC

3.1.5.2 ส่วนสร้างสัญญาณควบคุม และ เชื่อมต่อ กับบัส 8 บิต ทำหน้าที่สร้างสัญญาณควบคุมระบบ เช่นสัญญาณ RESET สัญญาณการขอใช้บัส สัญญาณการขอทำ DMA สัญญาณเขียนอ่านหน่วยความจำ สัญญาณเขียนอ่านอุปกรณ์อินพุตเอาต์พุต ส่วนนี้จะต่ออยู่กับบัส 8 บิตของระบบ

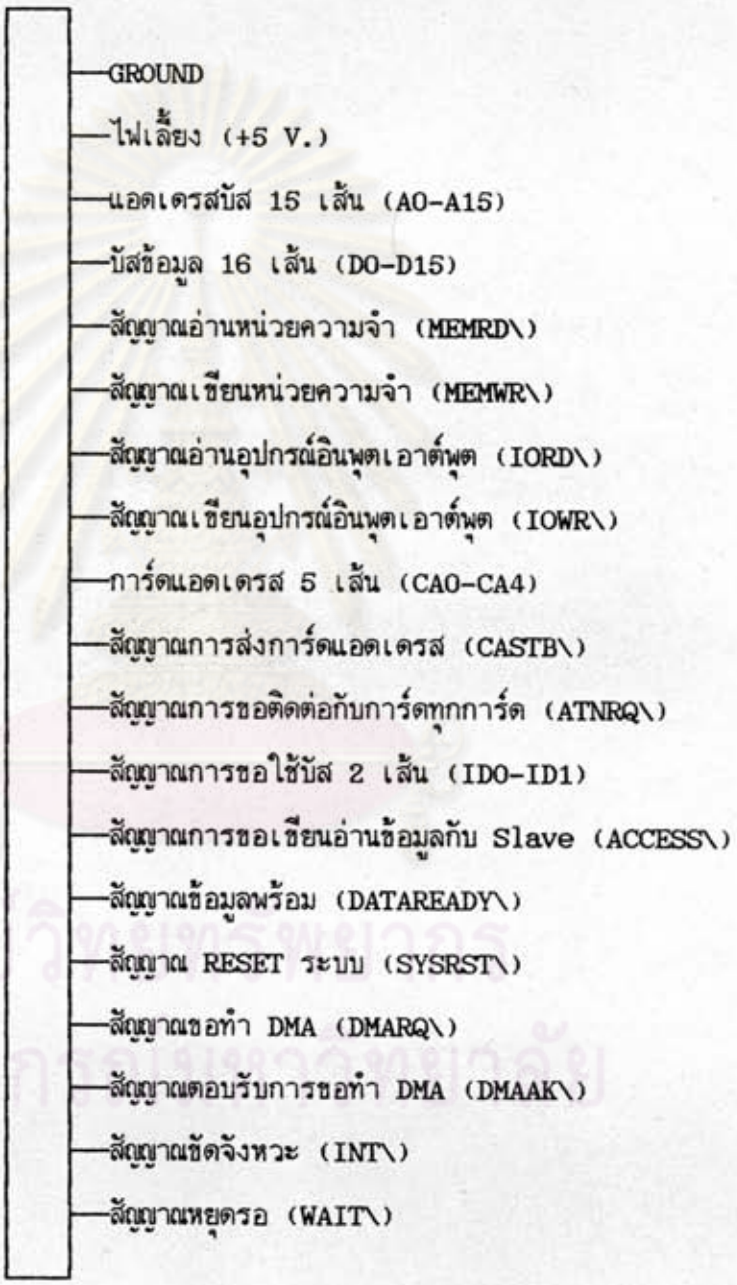
การ์ดต่างๆเหล่านี้จะเสียบอยู่บน backplane ซึ่งประกอบด้วยบัส 8 บิตและบัส 16 บิต ซึ่งมีรายละเอียดดังนี้

3.1.6 <u>บัส 8 บิต</u> เป็นช่องทางผ่านของสัญญาณควบคุมและข้อมูล โดยมีสัญญาณต่างๆดังรูปที่ 3.7



รูปที่ 3.7 สัญญาณต่างๆบนบัส 8 บิต

3.1.7 <u>บัส 16 บิต</u> เป็นช่องทางผ่านของสัญญาณควบคุมและข้อมูลโดยมีสัญญาณต่างๆดังรูปที่ 3.8



รูปที่ 3.8 สัญญาณต่างๆบนบัส 16 บิต

3.2 การทำงานของระบบ

เมื่อเริ่มต้นทำงาน มาสเตอร์การ์ด จะส่งสัญญาณ RESET CPU ทุกตัวในระบบ แล้วส่งสัญญาณการขอติดต่อกับการ์ดทุกการ์ด เพื่อ DOWN LOAD โปรแกรมลงในหน่วยความจำสำหรับเก็บโปรแกรม ของแต่ละการ์ด โดยไมโครโปรเซสเซอร์การ์ดทุกการ์ดจะถูก DMA และ DOWN LOAD โปรแกรมลงไปพร้อมกัน เมื่อ DOWN LOAD โปรแกรมครบทุกการ์ดแล้วก็จะปลดสัญญาณ RESET เพื่อให้ทั้งระบบเริ่มต้นทำงาน โดยการทำงานจะแบ่งเป็น 2 ส่วนใหญ่ ๆ ดังนี้

3.2.1 ภาคส่ง เมื่อเริ่มต้นทำงาน DSP การ์ดจะทำหน้าที่ควบคุมการทำงานของ ไมโครโปรเซสเซอร์การ์ด และวีดีโอการ์ด โดย DSP การ์ดจะทำการขอใช้บัส เมื่อได้บัสแล้วก็จะตรวจสอบว่าไมโครโปรเซสเซอร์การ์ด พร้อมที่จะรับข้อมูลหรือไม่ ถ้าไม่พร้อมก็จะรอจนกว่าไมโครโปรเซสเซอร์การ์ดจะพร้อม แล้วจึงส่งสัญญาณขอข้อมูลไปยังวีดีโอการ์ดเมื่อวีดีโอการ์ดได้รับสัญญาณขอข้อมูลแล้วก็จะแปลงสัญญาณคอมโพสิตวีดีโอจากกล้องซึ่งเป็นสัญญาแอนาลอกเป็นสัญญาณดิจิตอลขนาด 128x128 จุด โดยแต่ละจุดมีระดับความสว่าง 6 บิต หรือ 64 ระดับ แล้วจึงเขียนลง VIDEO MEMORY ของ DSP การ์ด เมื่อเขียนเสร็จแล้วก็จะส่งสัญญาณไปบอก DSP การ์ดว่า ข้อมูลพร้อมแล้ว

เมื่อ DSP การ์ดรู้ว่าข้อมูลพร้อมแล้ว CPU ก็จะอ่านข้อมูลเข้ามาทำ 2D-DCT โดยจะอ่านข้อมูลเป็นบล็อก ๆ ละ 8x8 จุด เมื่อทำ 2D-DCT กับข้อมูลแต่ละบล็อกแล้วก็จะส่งสัญญาณขอเขียนอ่านข้อมูลกับ Slave ไปยังไมโครโปรเซสเซอร์การ์ด แล้วจึงเขียนข้อมูลผ่านบัส 16 บิต ไปยัง DATA MEMORY 16 บิต บนไมโครโปรเซสเซอร์การ์ด โดยการเขียนจะเขียนแบบ zigzag scan เพื่อให้ง่ายต่อการทำ RUN LENGTH CODE ข้อมูล 128x128 จุด เมื่อจัดเป็นบล็อกขนาด 8x8 จะได้ 256 บล็อกจะถูกแบ่งออกเป็นส่วน ๆ ตามจำนวนของไมโครโปรเซสเซอร์การ์ดที่อยู่บนระบบ เช่น ถ้ามีไมโครโปรเซสเซอร์การ์ดจำนวน 4 การ์ด แต่ละการ์ดจะได้รับข้อมูลจำนวน 64 บล็อก เมื่อ DSP การ์ดเขียนข้อมูลลงในไมโครโปรเซสเซอร์การ์ดแต่ละการ์ดเสร็จแล้ว ก็จะปลดสัญญาณขอเขียนอ่านข้อมูลกับ Slave ออก เพื่อให้ CPU บนไมโครโปรเซสเซอร์การ์ดรู้ว่าข้อมูลพร้อมแล้ว

เมื่อ CPU บนไมโครโปรเซสเซอร์การ์ดรู้ว่าข้อมูลพร้อมแล้ว จะอ่านข้อมูลจาก DATA MEMORY 16 บิต มาลบกับ PREDICTOR ซึ่งอยู่ใน PREDICTOR MEMORY ซึ่ง PREDICTOR นี้เมื่อเริ่มทำงานครั้งแรกจะถูก SET ให้ DC COEFFICIENT ของแต่ละบล็อกมีค่าเป็น 1024 ส่วน COEFFICIENT ตัวอื่น ๆ มีค่าเป็น 0 ซึ่งใน TIME DOMAIN หมายถึงภาพที่มีความสว่างเป็น 128 เท่ากันทั้งภาพ ซึ่งเป็นการทำนายความสว่างโดยเฉลี่ยของภาพทั่ว ๆ ไป เพื่อให้ผลต่างของภาพแรกน้อยที่สุด ผลต่างที่ได้จะถูกนำมาทำ THRESHOLDING โดย DC COEFFICIENT ของแต่ละบล็อกจะเป็นตัวกำหนด ตัว THRESHOLD ของบล็อกนั้น ถ้าค่าสัมบูรณ์ของ DC COEFFICIENT มีค่าตั้งแต่ 32 ขึ้นไป THRESHOLD จะมีค่า 16 ถ้าน้อยกว่า 32 THRESHOLD จะมีค่า 4 และค่า THRESHOLD นี้จะถูกเขียนลงใน THRESHOLD TABLE ด้วยเพื่อส่งไปยังภาครับ ข้อมูลที่ผ่านการทำ THRESHOLDING แล้วจะถูก LIMIT ให้อยู่ในช่วง -32 ถึง + 31 หลังจากนั้นข้อมูลที่ได้จะแยกเป็น 2 ทาง ๆ แรกจะถูกนำไปทำ INVERSE THRESHOLDING แล้วรวมกับ PREDICTOR เดิม เพื่อเป็น PREDICTOR ของเฟรมต่อไปแล้วเขียนลงใน PREDICTOR MEMORY อีกทางหนึ่งจะถูกเขียนลงใน DATA MEMORY 8 บิต เมื่อเขียนเสร็จแล้วก็จะส่งสัญญาณข้อมูลพร้อม (DATAREADY\) เพื่อบอกว่าข้อมูลพร้อมแล้ว

ทางคอมมิวนิเคชันการ์ด เมื่อต้องการข้อมูลก็จะขอใช้บัสแล้วตรวจสอบสัญญาณข้อมูลพร้อม (DATAREADY\) ของไมโครโปรเซสเซอร์การ์ด ถ้าข้อมูลพร้อมก็จะ DMA ข้อมูลจาก DATA MEMORY 8 บิต บนไมโครโปรเซสเซอร์การ์ดแต่ละการ์ดมาเขียนลงใน DATA MEMORY บนคอมมิวนิเคชันการ์ดพร้อม ๆ กันนั้น ก็จะค่อยทยอย DMA ข้อมูลส่งให้ VLC (VARIABLE LENGTH CODE) ฮาร์ดแวร์จะทำหน้าที่เข้ารหัสแบบ HUFFMAN ข้อมูลที่เข้ารหัสแล้วจะถูก PACK รวมกันเป็นไบต์ แล้วส่งไปยัง HDLC CONTROLLER ซึ่งจะทำหน้าที่จัดเฟรมของข้อมูลแล้วส่งออกไปยังช่องสื่อสารแบบอนุกรม

3.2.2 <u>ภาครับ</u> ข้อมูลแบบอนุกรมที่มีการจัดเฟรมแบบ HDLC PROTOCOL จะถูกส่งเข้าไปยัง HDLC CONTROLLER เพื่อแยกข้อมูลออกแล้วส่งไปยัง VLC ฮาร์ดแวร์เพื่อทำการถอดรหัสแบบ HUFFMAN ข้อมูลที่ถอดรหัสแล้วจะถูก DMA ไปเขียนลงใน DATA MEMORY เมื่อเขียนจนครบเฟรมแล้ว CPU จะขอให้บัสและตรวจสอบว่าไมโครโปรเซสเซอร์การ์ดพร้อมจะรับข้อมูลหรือไม่ ถ้าพร้อมก็จะทำ DMA จาก DATA MEMORY บน

คอมมิวนิเคชันการ์ด ไปเขียนลงใน DATA MEMORY 8 บิตบนไมโครโปรเซสเซอร์การ์ด แต่ละการ์ด เมื่อเขียนเสร็จแต่ละการ์ดแล้วก็จะส่งสัญญาณข้อมูลพร้อม (DATAREADY\) บอกว่าข้อมูลพร้อมแล้ว

เมื่อไมโครโปรเซสเซอร์การ์ดรู้ว่าข้อมูลพร้อมแล้ว CPU บนไมโครโปรเซสเซอร์การ์ดก็จะอ่านข้อมูลมาทำ INVERSE THRESHOLDING แล้วจึงรวมกับข้อมูลจาก PREDICTOR ข้อมูลที่ได้จะเป็น PREDICTOR ให้เฟรมถัดไปซึ่งจะถูกเขียนลงใน PREDICTOR MEMORY และจะถูกเขียนลงใน DATA MEMORY 16 บิต เมื่อเขียนเสร็จแล้วก็จะส่งสัญญาณข้อมูลพร้อม (DATAREADY\) เพื่อบอกว่าข้อมูลพร้อมแล้ว

ทาง DSP การ์ดจะคอยตรวจสอบว่ามีข้อมูลมาหรือยัง ถ้ามีแล้วก็จะอ่านเข้ามาครั้งละ 1 บล็อกมาทำ 2D-DCT^{-1} แล้วเขียนลงใน VIDEO MEMORY โดยการเขียนนี้จะแปลงลำดับของข้อมูลจาก zigzag scan กลับเป็นการเรียงตามเดิม เมื่ออ่านข้อมูลไมโครโปรเซสเซอร์การ์ด ๆ หนึ่งหมดแล้ว ก็จะอ่านการ์ดต่อไป เมื่อข้อมูลที่เขียนลง VIDEO MEMORY ครบ 1 ภาพแล้ว ก็จะส่งสัญญาณบอกวีดิโอการ์ด ให้นำข้อมูลนั้นไปแปลงกลับเป็นสัญญาณแอนาลอกเพื่อแสดงผลบนจอมอนิเตอร์ต่อไป

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย