บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

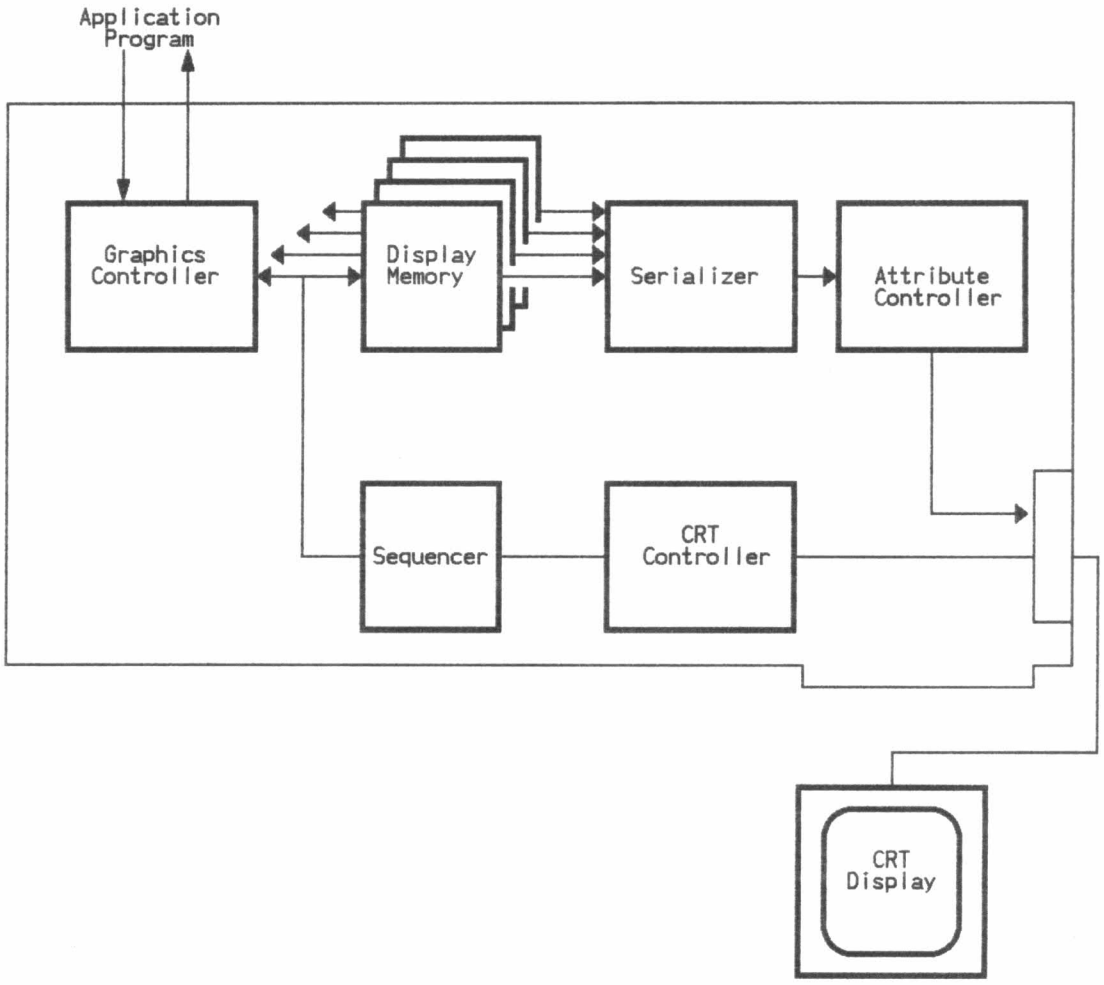
2.1 วงจรแสดงผลแบบวีจีเอและอีจีเอ

การแสดงผลบนจอแสดงผลเป็นความต้องการพื้นฐานของเครื่องไมโครคอมพิวเตอร์ที่มีการเปลี่ยนแปลงให้ดีขึ้นตามยุคสมัย มาตรฐานการแสดงผลเริ่มต้นจากบริษัท ไอบีเอ็ม จำกัด ได้กำหนดการแสดงผลในแบบจอแสดงผลสีเดียว (Monochrome) ซึ่งแสดงตัวอักขระเพียงอย่างเดียวและโหมดแสดงผลแบบกราฟิกเรียกว่าซีจีเอ (CGA) ต่อมาบริษัท เฮอร์คิวลิส จำกัด ได้ทำการพัฒนาจอแสดงผลสีเดียวแบบกราฟิก (Monochrome Graphics) ซึ่งเป็นที่นิยมอย่างแพร่หลายในกลุ่มเครื่องไมโครคอมพิวเตอร์ ในปีพศ.2527 บริษัท ไอบีเอ็ม จำกัดได้พัฒนาวงจรแสดงผลแบบอีจีเอ ซึ่งสามารถใช้งานร่วมกับจอแสดงผลสีเดียวแบบกราฟิกและจอแสดงผลแบบสีและสามารถแสดงผลด้วยความละเอียดสูงสุด 640x350 จุดภาพ (Pixel) ต่อมาบริษัท ไอบีเอ็ม จำกัดได้พัฒนาเครื่องไมโครคอมพิวเตอร์รุ่นพีเอสทู (PS/2) โดยกำหนดมาตรฐานการแสดงผลในรูปแบบใหม่ที่ตรงกับความต้องการของผู้ใช้มากยิ่งขึ้นคือวีจีเอ (ยืน ภู่วรวรรณ,2533)

สำหรับโครงสร้างของวงจรแสดงผลแบบวีจีเอและอีจีเอสามารถแสดงในรูปที่ 2.1 โดยมีรายละเอียดของส่วนต่างๆดังนี้

2.1.1 หน่วยความจำแสดงผล (Video Memory)

เป็นหน่วยความจำที่ใช้ในการเก็บข้อมูลที่จะนำออกแสดงผลบนจอแสดงผล ซึ่งการเก็บข้อมูลแทนจุดภาพแต่ละจุดเพื่อใช้ในการแสดงผลนั้น สามารถแบ่งตามโหมดแสดงผลได้ดังนี้คือ

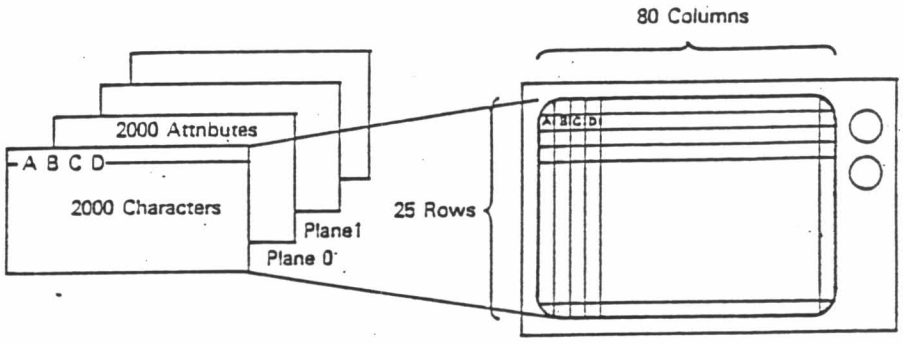


รูปที่ 2.1 แสดงโครงสร้างของวงจรแสดงผลแบบวีจีเอและอีจีเอ

2.1.1.1 หน่วยความจำแสดงผลโหมดอักขระ

การแสดงผลในโหมดอักขระมีความซับซ้อนน้อยกว่าการแสดงผลในโหมดกราฟิกเพราะเป็นการจัดการกับรหัสแอสกี (ASCII) มิใช่จัดการกับจุดหนึ่งจุดใดบนจอแสดงผล มาตรฐานของโหมดอักขระแบ่งเป็น 25 บรรทัด 40 คอลัมน์หรือ 25 บรรทัด 80 คอลัมน์ ดังนั้นใน 1 จอแสดงผลสามารถแสดงตัวอักขระได้ทั้งสิ้น 1,000 ตัวหรือ 2,000 ตัว การแสดงผลของตัวอักขระ 1 ตัวนั้นต้องใช้หน่วยความจำ 2 ไบต์ (Byte) ดังนั้นจึงต้องใช้

หน่วยความจำทั้งสิ้น 2,000 ไบต์ต่อ 1 จอแสดงผลหรือ 4,000 ไบต์ต่อ 1 จอแสดงผล โดยหน่วยความจำแสดงผลแบ่งออกเป็นหน้า (page) หน้าละ 4096 ไบต์ ซึ่งจะเหลือ 96 ไบต์ที่ไม่ถูกใช้งานดังแสดงในรูปที่ 2.2



รูปที่ 2.2 แสดงรูปแบบการจัดหน่วยความจำในโหมดอักขระ

ในการเปลี่ยนรหัสแอสกีเป็นจุดที่เรียงต่อกันเป็นอักขระบนจอแสดงผลนั้นต้องใช้ตารางการสร้างภาพอักขระ (Character Generator Table) สำหรับวงจรแสดงผลแบบสีเดียว ตารางนี้จะเก็บอยู่ในหน่วยความจำอ่านอย่างเดียว (ROM) จึงไม่สามารถแก้ไขรูปแบบอักขระได้โดยง่าย แต่ในวงจรแสดงผลแบบวีจีเอหรืออีจีเอตารางนี้จะถูกบรรจุลงในหน่วยความจำระนาบที่ 2 ซึ่งเป็นหน่วยความจำเข้าถึงโดยสุ่มแบบพลวัต (Dynamic RAM) ทำให้สามารถแก้ไขรูปแบบอักขระได้ง่าย ในวงจรแสดงผลแบบอีจีเอจะมีตารางนี้ได้ถึง 4 ชุด ส่วนวีจีเอมีได้ถึง 8 ชุดโดยแต่ละชุดเก็บได้ 256 ตัว

สำหรับมาตรฐานของรูปแบบตัวอักขระในตารางนี้มีจำนวนจุดภาพแตกต่างกันไปขึ้นอยู่กับโหมดวงจรแสดงผล เช่น โหมดซีจีเอตัวอักขระจะมีขนาด 8x8 จุดภาพ ในโหมดอีจีเอจะมีขนาด 8x14 จุดภาพและ 8x16 จุดภาพ สำหรับโหมดวีจีเอค่าในตารางจะถูกบรรจุลงใหม่ทุกครั้งโดยไบออส (BIOS) บนวงจรแสดงผลเมื่อมีการเปลี่ยนโหมดการทำงานจากคุณสมบัตินี้เอง จึงทำให้สามารถพัฒนาภาษาไทยบนวงจรแสดงผลแบบวีจีเอได้โดยสะดวกเพราะไม่ต้องดัดแปลงฮาร์ดแวร์ (ถวัลย์ ตั้งสิตานนท์, 2533)

2.1.1.2 หน่วยความจำแสดงผลโหมดกราฟิก

ในโหมดกราฟิกจุด ๆ หนึ่งบนจอแสดงผลจะแทนด้วยข้อมูลที่มีจำนวนบิตแตกต่างกันเช่นโหมดซีจีเอแบบ 2 สี จะใช้ข้อมูล 1 บิตในการแสดงจุดหนึ่งจุด (8 จุดต่อไบต์) สำหรับโหมดกราฟิกสีขนาด 640x350 จุดภาพนั้นสามารถแสดงสีได้ 16 สีพร้อมกัน และการแทนจุดๆหนึ่งบนจอแสดงผลใช้ข้อมูลขนาด 4 บิต โดยแต่ละบิตจะมาจากแต่ละหน่วยความจำระนาบดังแสดงในรูปที่2.3 สำหรับวิธีการคำนวณเพื่อแปลงตำแหน่งของจุดภาพไปเป็นตำแหน่งของบิตในหน่วยความจำสามารถแสดงได้ดังนี้

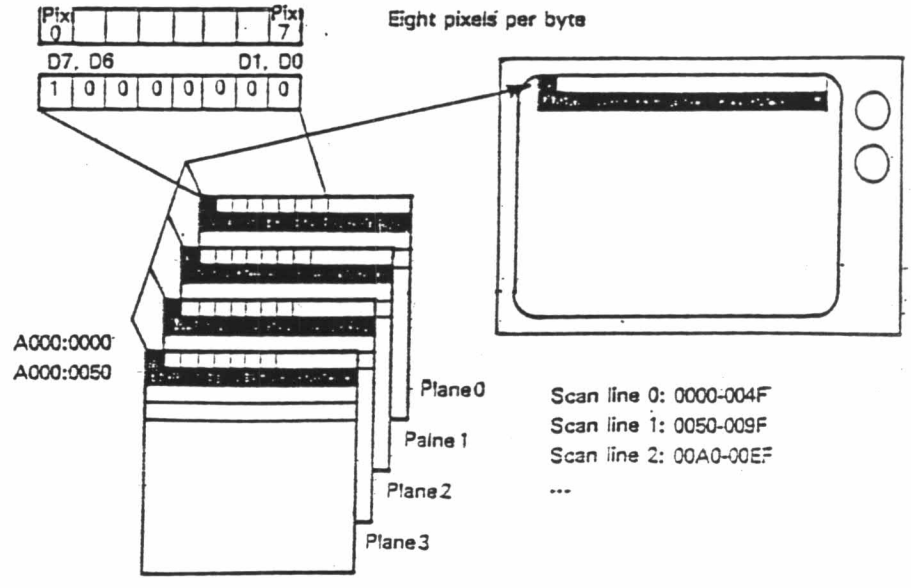
ตำแหน่งไบต์ที่ = y*80+x/8

ตำแหน่งบิตที่ (0-7) = y-(x mod 8)

โดยที่ mod คือ การมอดุโล (Modulo)

x คือ คู่ลำดับตามแนวนอน

y คือ คู่ลำดับตามแนวตั้ง



รูปที่ 2.3 แสดงรูปแบบการจัดหน่วยความจำในโหมดกราฟิก

2.1.2 หน่วยควบคุมซีอาร์ที (CRT controller)

ทำหน้าที่กำเนิดสัญญาณควบคุมการทำงานของจอภาพเช่น สัญญาณประสานจังหวะ (Synchronize) ตามแนวนอน สัญญาณประสานจังหวะตามแนวตั้งเป็นต้น

2.1.3 **หน่วยควบคุมกราฟิก (Graphics Controller)**

ทำหน้าที่เป็นตัวกลางระหว่างหน่วยความจำแสดงผลกับหน่วยประมวลผลกลาง โดยข้อมูลที่ส่งผ่านหน่วยควบคุมกราฟิกจะถูกกระทำฟังก์ชั่นทางตรรก (Logic) เช่น AND OR XOR และ ROTATE ก่อนที่จะนำไปบันทึกลงในหน่วยความจำแสดงผล

2.1.4 **หน่วยซีเควนเซอร์ (Sequencer)**

ทำหน้าที่กำเนิดสัญญาณนาฬิกาควบคุมการรีเฟรช (Refresh)หน่วยความจำแสดงผลและควบคุมระยะเวลาในการเขียนและอ่านหน่วยความจำแสดงผล รวมทั้งการอนุญาตให้กระทำการกับหน่วยความจำระนาบต่างๆด้วย

2.1.5 **หน่วยควบคุมลักษณะประจำ (Attribute Controller)**

ทำหน้าที่ควบคุมลักษณะประจำของการแสดงผลเช่นการกระพริบ(Blink) การขีดเส้นใต้ (Underline) เป็นต้น สำหรับส่วนสำคัญของหน่วยควบคุมลักษณะประจำคือตารางการค้นหาสี (Color Look-up Table) ซึ่งจะทำการแปลงข้อมูลขนาด 4 บิตที่เก็บในหน่วยความจำแสดงผลไปเป็นข้อมูลขนาด 8 บิต

2.1.6 **หน่วยอนุกรมข้อมูล (Data Serializer)**

ทำหน้าที่แปลงข้อมูลหน่วยความจำแสดงผลเป็นข้อมูลแบบอนุกรมเพื่อส่งไปยังหน่วยควบคุมลักษณะประจำต่อไป

2.2 ระบบกราฟิกในภาษาซี

การโปรแกรมในโหมดกราฟิกของภาษาซี (C Language) นั้น มีคำสั่งทางด้านกราฟิกให้เลือกใช้เป็นจำนวนมาก ซึ่งการเริ่มต้นระบบกราฟิกจะใช้คำสั่ง "initgraph" โดยมีรูปแบบของคำสั่งดังนี้ (Lafore, 1990)

```
void far initgraph( addrDriver, addrMode, addrPath)
int far *addrDriver;  /*...address holds driver number */
int far *addrMode;    /*...address holds mode number */
int far *addrPath;    /*...address of driver path string */
```

สำหรับอาร์กิวเมนต์ (Argument) ตัวแรกคือ ตัวขับกราฟิกซึ่งสามารถแสดงราย

ละเอียดได้ในตารางที่ 2.1

อาร์กิวเมนต์ตัวที่สอง คือ โหมดการแสดงผลสำหรับตัวขับกราฟิกแต่ละชนิด โดยมีรายละเอียดแสดงในตารางที่ 2.2

อาร์กิวเมนต์ตัวที่สามคือ การกำหนดแนวทาง (Path) ในการค้นหาตัวขับกราฟิกสำหรับตัวขับกราฟิกของโหมดแสดงผลซีจีเอนั้นคือ cga.bgi และ egavga.bgi สำหรับโหมดแสดงผลอีจีเอและวีจีเอ

Value	Description	Comment
0	DETECT	System detects highest mode
1	CGA	
2	MCGA	
3	EGA	256K memory on EGA board
4	EGA64	64K memory on EGA board
5	EGAMONO	
6	IBM8514	
7	HERCMONO	Hercules
8	ATT400	
9	VGA	
10	PC3270	

ตารางที่ 2.1 แสดงตัวขับกราฟิก

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

Driver	Value	Mode	Resolution	page	Color
CGA	0	CGAC0	320x200	1	4 colors
	1	CGAC1	320x200	1	4 colors
	2	CGAC2	320x200	1	4 colors
	3	CGAC3	320x200	1	4 colors
	4	CGAHI	640x200	1	2 colors
EGA	0	EGALO	640x200	4	16 colors
	1	EGAHI	640x350	2	16 colors
VGA	0	VGALO	640x200	2	16 colors
	1	VGAMED	640x350	2	16 colors
	2	VGAHI	640x480	1	16 colors

ตารางที่ 2.2 แสดงโหมดการแสดงผลสำหรับตัวขับกราฟิกแต่ละชนิด

2.3 **วิธีการการแสดงผลภาษาไทยบนจอแสดงผล** (ทวีศักดิ์ กออนันตกูล, 2531)

การแสดงผลเป็นภาษาไทยบนจอแสดงผลสามารถกระทำได้ 2 วิธีดังนี้

2.3.1 **วิธีการแบบโหมดกราฟิก**

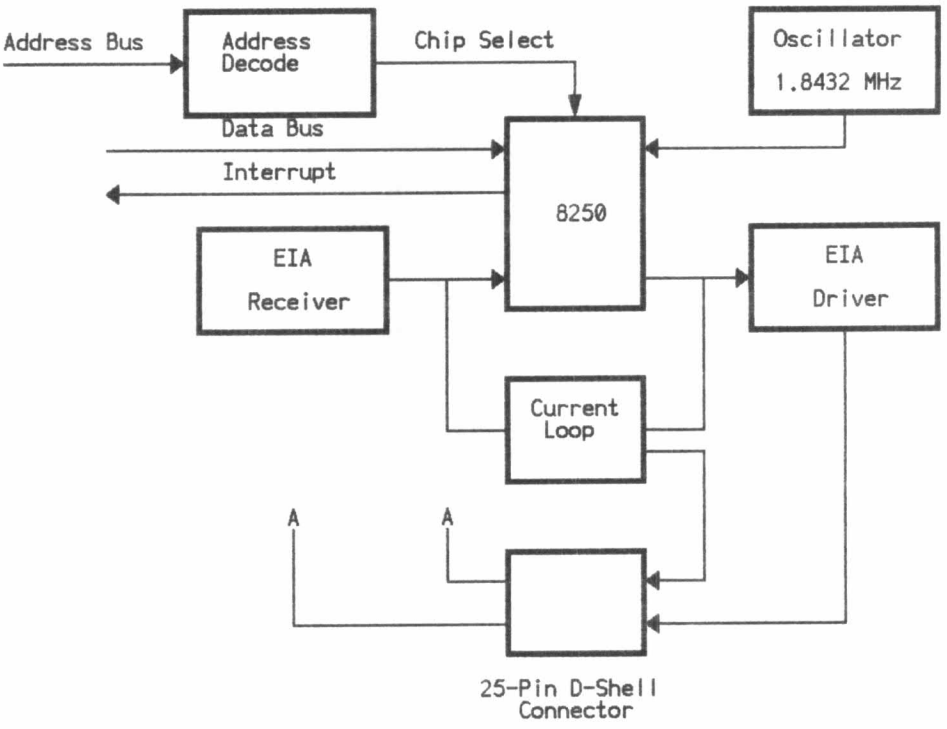
กล่าวคือใช้จอแสดงผลเป็นแผนที่บิต(Bit Map)ซึ่งหน่วยประมวลผลกลางสามารถกำหนดให้จุดหนึ่งจุดใดบนจอแสดงผลมืดหรือสว่างได้ หมายถึงหากจะเขียนข้อความจากรหัสอักขระที่กำหนดให้หน่วยประมวลผลกลางจะต้องมีตารางการสร้างภาพอักขระของรหัสอักขระทุกตัว การเขียนตัวอักขระจะเป็นการถ่ายตารางภาพแบบแผนที่บิตลงสู่หน่วยความจำกราฟิกโดยอาศัยรหัสอักขระเป็นตัวชี้ว่าจะนำภาพใดมาแสดง วิธีนี้หน่วยประมวลผลกลางจะทำงานหนักมาก แต่มีข้อดีคือ สามารถเขียนตัวอักขระซ้อนกับรูปต่างๆได้และแสดงข้อความได้หลายๆแบบ

2.3.2 วิธีการแบบโหมดอักขระ

กล่าวคืออาศัยหน่วยความจำกราฟิกเป็นตัวเก็บรหัสอักขระ จากนั้นการแปลงรหัสอักขระเป็นจุดภาพเป็นหน้าที่ของฮาร์ดแวร์ ซึ่งประกอบด้วยหน่วยควบคุมซีอาร์ทีและหน่วยความจำสร้างอักขระแบบอ่านอย่างเดียวซึ่งภายในบรรจุภาพแผนที่บิตของอักขระทุกตัว วิธีนี้หน่วยประมวลผลกลางทำงานเบากว่าวิธีการแบบโหมดกราฟิก เพราะหน่วยประมวลผลกลางทำหน้าที่กำหนดรหัสอักขระลงในหน่วยความจำกราฟิกในตำแหน่งที่เหมาะสมเท่านั้น วิธีการแบบโหมดอักขระที่นำมาใช้ในการแสดงผลเป็นภาษาไทยมีหลายแบบ เช่น 4 ระดับ 3 ระดับและ 2 ระดับเป็นต้น

2.4 วงจรสื่อสารแบบอนุกรม

วงจรสื่อสารแบบอนุกรมมีวงจรรวม (IC) 8250เป็นวงจรหลักทำหน้าที่ควบคุมการสื่อสารอนุกรมแบบอสมวาร (Serial Asynchronous)โดยเฉพาะสัญญาณต่าง ๆจะเป็นไปตามมาตรฐานของสมาคมอุตสาหกรรมอีเลคทรอนิคส์232 (EIA-232)โดยจะต้องใช้ตัวขับสายสื่อสาร (Line Driver) เป็นตัวขับสัญญาณ สำหรับโครงสร้างของวงจรสื่อสารแบบอนุกรมสามารถแสดงในรูปที่ 2.4 การใช้งานวงจรรวม 8250 สามารถกระทำได้โดยการโปรแกรมค่าของรีจิสเตอร์ต่าง ๆภายในวงจรรวมให้เป็นไปตามต้องการ รีจิสเตอร์ภายในของวงจรรวม 8250 จะมีกำหนดค่าดังแสดงในตารางที่ 2.3 โดยตำแหน่งปฐมภูมิ (Primary Address) จะเป็นค่าสำหรับวงจรสื่อสารแบบอนุกรมที่1 (COM1)และตำแหน่งทุติยภูมิ (Secondary Address) เป็นค่าสำหรับวงจรสื่อสารแบบอนุกรมที่2 (COM2) (ยืน ภู่วรวรรณ, 2533)



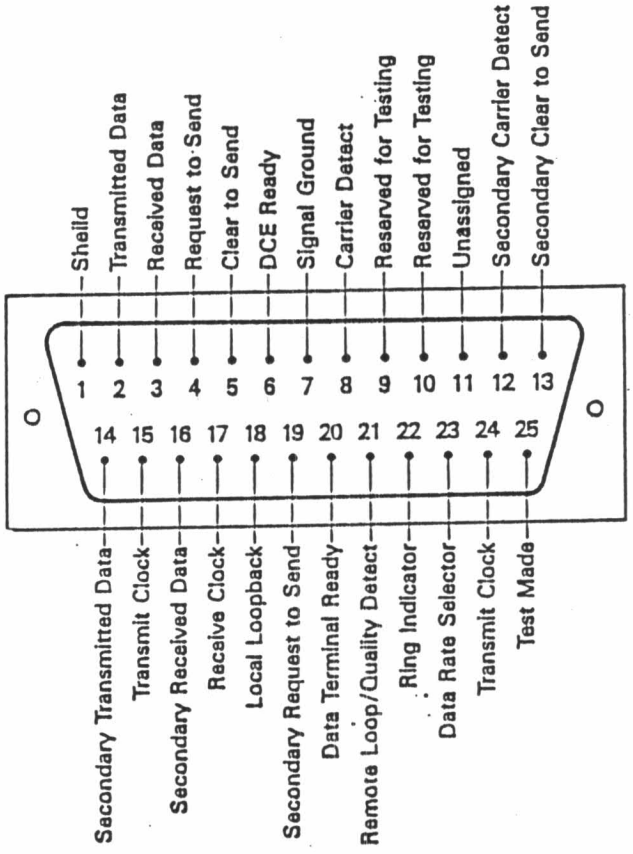
รูปที่ 2.4 โครงสร้างของวงจรสื่อสารแบบอนุกรม

019390

Primary Address	Secondary Address	Register	DLAB State
03F8H	02F8H	Transmitter Holding Register	0(Write)
03F8H	02F8H	Receiver Buffer Register	0(Read)
03F8H	02F8H	Divisor Latch Least Significant	1
03F9H	02F9H	Divisor Latch Most Significant	1
03F9H	02F9H	Interrupt Enable Register	
03FAH	02FAH	Interrupt Identification Register	
03FBH	02FBH	Line Control Register	
03FCH	02FCH	Modem Control Register	
03FDH	02FDH	Line Status Register	
03FEH	02FEH	Modem Status Register	

ตารางที่ 2.3 แสดงตำแหน่งของรีจิสเตอร์ภายในวงจรรวม 8250

สำหรับมาตรฐานอาร์เอส232ซี (RS-232C) ซึ่งเป็นมาตรฐานของสมาคมอุตสาหกรรมอีเลคทรอนิคส์ (EIA) สามารถแสดงรายละเอียดได้ดังรูปที่ 2.5 (Black, 1989)



Pin	Circuit	Source	Description
1	AA	—	Shield
2	BA	DTE	Transmitted Data
3	BB	DCE	Received Data
4	CA	DTE	Request to Send
5	CB	DCE	Clear to Send
6	CC	DCE	DCE Ready
7	AB	—	Signal Ground
8	CF	DCE	Carrier Detect
9	—	—	Reserved for Data Set Testing
10	—	—	Reserved for Data Set Testing
11	—	—	Unassigned
12	SCF	DCE	Secondary Carrier Detect
13	SCB	DCE	Secondary Clear to Send
14	SBA	DTE	Secondary Transmitted Data
15	DB	DCE	Transmission Signal Element Timing
16	SBB	DCE	Secondary Received Data
17	D	DCE	Receiver Signal Element Timing
18	LL	—	Local Loopback
19	SCA	DTE	Secondary Request to Send
20	CD	DTE	Data Terminal Ready
21	RL/CG	DCE	Remote Loopback/Signal Quality Detector
22	CE	DTE	Ring Indicator
23	CH	DTE	Data Signal Rate Selector
23	CI	DCE	Data Signal Rate Selector
24	DA	DTE	Transmit Signal Element Timing
25	TM	—	Test Mode

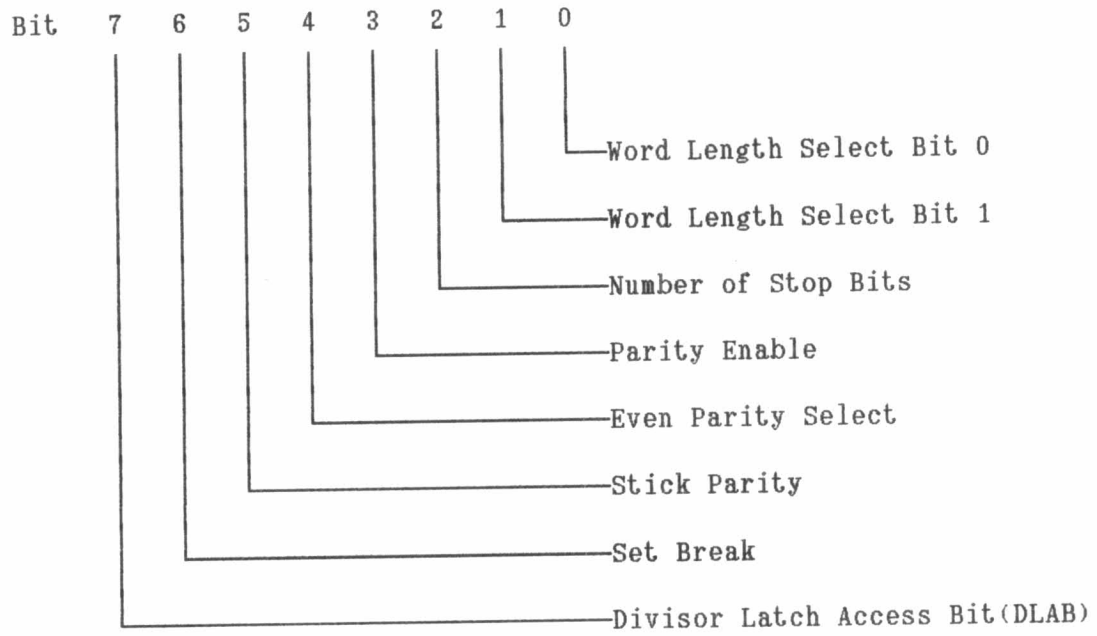
รูปที่ 2.5 แสดงรายละเอียดของมาตรฐานอาร์เอส232ซี

วงจรรวม 8250 ประกอบด้วยรีจิสเตอร์ต่าง ๆดังต่อไปนี้

2.4.1 รีจิสเตอร์ควบคุมสายสื่อสาร

(Line Control Register หรือ LCR)

รีจิสเตอร์ควบคุมสายสื่อสารอยู่ที่ตำแหน่งอ้างอิง (Offset)ที่3 นับจากตำแหน่งฐาน (Base Address) คือตำแหน่ง 03FBH และ 02FBH สำหรับวงจรสื่อสารแบบอนุกรมที่1 และวงจรสื่อสารแบบอนุกรมที่2 ตามลำดับ รีจิสเตอร์ควบคุมสายสื่อสารทำหน้าที่กำหนดรูปแบบข้อมูลที่ใช้ในการสื่อสารข้อมูล เช่น ขนาดของบิตข้อมูล (Data Bit) ขนาดของบิตสิ้นสุด (Stop Bit) ชนิดของบิตตรวจสอบ (Parity Bit) และอื่นๆดังแสดงในรูปที่ 2.6



รูปที่ 2.6 แสดงรายละเอียดของรีจิสเตอร์ควบคุมสายสื่อสาร

บิตที่ 0 และ 1 เป็นบิตที่ใช้กำหนดขนาดของข้อมูล โดยสามารถกำหนดขนาดได้ตั้งแต่ 5 ถึง 8 บิต ดังแสดงในตารางที่ 2.4

Bit 0	Bit 1	Word Length
0	0	5 bits
0	1	6 bits
1	0	7 bits
1	1	8 bits

ตารางที่ 2.4 แสดงบิตกำหนดขนาดของข้อมูล

บิตที่ 2 เป็นบิตที่ใช้กำหนดขนาดของบิตสิ้นสุด โดยหากบิตที่ 2 มีค่าเป็น 0 จะเป็นการกำหนดให้บิตสิ้นสุดมีขนาด 1 บิต แต่ถ้ากำหนดให้บิตที่ 2 มีค่าเป็น 1 และกำหนดขนาดของข้อมูลเป็น 5 บิต จะเป็นการเลือกใช้บิตสิ้นสุดขนาด 1.5 บิตและถ้าขนาดของข้อมูลเป็น 6 ถึง 8 บิต จะเป็นการเลือกใช้บิตสิ้นสุดขนาด 2 บิต

ถ้าบิตที่ 3 มีค่าเป็น 0 แสดงว่าไม่ใช้บิตตรวจสอบในการสื่อสารข้อมูล

บิตที่ 4 เป็นการเลือกใช้ว่าจะใช้บิตตรวจสอบชนิดใด ในกรณีที่บิตนี้มีค่าเป็น 1 จะเป็นการใช้บิตตรวจสอบชนิดคู่ (Even Parity) และถ้าเป็น 0 จะเป็นการใช้บิตตรวจสอบชนิดคี่ (Odd Parity) ทั้งนี้บิตนี้จะไม่มีความหมาย ถ้าหากบิตที่ 3 มีค่าเป็น 0

บิตที่ 5 ใช้ในการเริ่มต้น (Initial) การสื่อสารข้อมูล ถ้าบิตที่ 5 มีค่าเป็น 1 พร้อมกับบิตที่ 3 บิตตรวจสอบที่ถูกส่งออกไปจะมีค่าตรงข้ามกับค่าในบิตที่ 4 เช่นถ้าบิตที่ 4 มีค่าเป็น 0 ในขณะที่บิตที่ 3 และ 5 มีค่าเป็น 1 แล้ว ค่า 1 จะถูกส่งออกไปในตำแหน่งของบิตตรวจสอบ แต่ถ้าบิตที่ 4 มีค่าเป็น 1 ค่า 0 จะถูกส่งออกไปแทน

บิตที่ 6 จะไม่ใช้ในการใช้งานปกติ

บิตที่ 7 เป็นบิตตัวหารแลตช์เข้าถึง (Divisor Latch Access Bit หรือ DLAB) เมื่อต้องการกำหนดอัตราบิตจะต้องกำหนดให้บิตตัวหารแลตช์เข้าถึงมีค่าเป็น 1 ก่อนและถ้าบิตตัวหารแลตช์เข้าถึงมีค่าเป็น 0 จะเป็นการใช้งานปกติ

2.4.2 ตัวหารแลตช์นัยสำคัญน้อยที่สุด

(Divisor Latch Least Significant หรือ LSB)

ตัวหารแลตช์นัยสำคัญน้อยที่สุดอยู่ที่ตำแหน่งฐานคือ 03F8H และ 02F8Hสำหรับวงจรสื่อสารแบบอนุกรมที่1และวงจรสื่อสารแบบอนุกรมที่2 ตามลำดับ โดยตำแหน่งนี้จะเป็นตัวหารแลตช์นัยสำคัญน้อยที่สุดเมื่อกำหนดให้บิตตัวหารแลตช์เข้าถึงมีค่าเป็น 1 ค่าของตัวหารแลตช์นัยสำคัญน้อยที่สุดจะเป็นค่าไบต์ต่ำของตัวหารที่ใช้ในการหารสัญญาณนาฬิกาขนาดความถี่ 1.8432 เมกกะเฮิรตซ์ (MHz) ให้เป็นอัตราเร็วของสัญญาณ (Baud Rate) สำหรับการรับส่งข้อมูลดังมีรายละเอียดในตารางที่ 2.5 แต่ในกรณีที่บิตตัวหารแลตช์เข้าถึงมีค่าเป็น 0 ตำแหน่งนี้จะใช้เป็นรีจิสเตอร์บัฟเฟอร์สำหรับตัวรับข้อมูลหรือรีจิสเตอร์โฮลดิงสำหรับตัวส่งข้อมูล

2.4.3 ตัวหารแลตช์นัยสำคัญมากที่สุด

(Divisor Latch Most Significant หรือ MSB)

ตัวหารแลตช์นัยสำคัญมากที่สุดจะอยู่ที่ตำแหน่งอ้างอิงที่ 1 นับจากตำแหน่งฐานคือ 03F9H และ 02F9H สำหรับวงจรสื่อสารแบบอนุกรมที่1และวงจรสื่อสารแบบอนุกรมที่2ตามลำดับ โดยตำแหน่งนี้ทำหน้าที่เป็นตัวหารแลตช์นัยสำคัญมากที่สุดเมื่อกำหนดให้บิตตัวหารแลตช์เข้าถึงมีค่าเป็น 1 ค่าของตัวหารแลตช์นัยสำคัญมากที่สุดจะเป็นค่าไบต์สูงของตัวหารที่ใช้ในการหารสัญญาณนาฬิกาเพื่อให้ได้อัตราเร็วของสัญญาณที่ต้องการรายละเอียดแสดงในตารางที่ 2.5 แต่ในกรณีที่บิตตัวหารแลตช์เข้าถึงมีค่าเป็น 0 ตำแหน่งนี้จะใช้เป็นรีจิสเตอร์อินาเบิลสัญญาณขัดจังหวะ

หอสมุดกลาง จุฬาลงกรณ์มหาวิทยาลัย

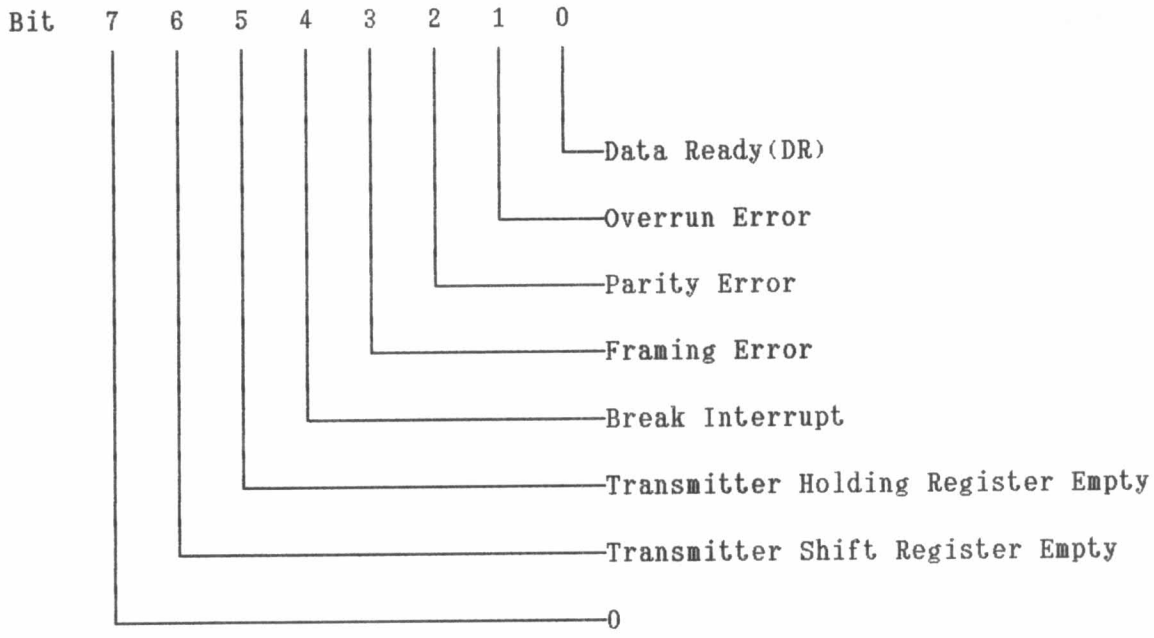
Baud rate	Value for Baud-Rate-Division Register	
	MSB	LSB
50	09H	00H
75	06H	00H
110	04H	17H
134.5	03H	59H
150	01H	00H
300	00H	80H
600	00H	C0H
1200	00H	60H
1800	00H	40H
2000	00H	3AH
2400	00H	30H
3600	00H	20H
4800	00H	18H
7200	00H	10H
9600	00H	0CH

ตารางที่ 2.5 แสดงค่าตัวหารแลตช์นัยสำคัญน้อยที่สุดและตัวหารแลตช์นัยสำคัญมากที่สุด สำหรับการกำหนดอัตราเร็วของสัญญาณ

2.4.4 รีจิสเตอร์สถานะสายสื่อสาร

(Line Status Register หรือ LSR)

รีจิสเตอร์สถานะสายสื่อสารอยู่ที่ตำแหน่ง 03FDH และ 02FDH สำหรับวงจรสื่อสารแบบอนุกรมที่1และวงจรสื่อสารแบบอนุกรมที่2 ตามลำดับ ทำหน้าที่เก็บค่าสถานะต่าง ๆของสายสื่อสารโดยมีรูปแบบดังแสดงในรูปที่ 2.7



รูปที่ 2.7 แสดงรายละเอียดของรีจิสเตอร์สถานะสายสื่อสาร

บิตที่ 0 มีค่าเป็น 1 หมายความว่าได้รับข้อมูลเข้ามาในบัฟเฟอร์ครบทุกบิตแล้ว

บิตที่ 1 มีค่าเป็น 1 แสดงว่าข้อมูลที่อยู่ในบัฟเฟอร์ได้ถูกเขียนทับโดยข้อมูลชุดใหม่ ก่อนที่หน่วยประมวลผลกลางจะนำข้อมูลชุดเดิมไปประมวลผล

บิตที่ 2 มีค่าเป็น 1 แสดงว่าข้อมูลที่ได้รับมีความผิดพลาด

บิตที่ 3 มีค่าเป็น 1 แสดงว่ากรอบ(Frame)ของข้อมูลไม่เป็นไปตามที่กำหนด

บิตที่ 4 มีค่าเป็น 1 แสดงว่าได้รับข้อมูลเข้าที่มีค่าเป็น 0 จากด้านส่งเป็นระยะเวลานานเกินกว่าขนาดของแต่ละคำ

บิตที่ 5 มีค่าเป็น 1 แสดงว่ารีจิสเตอร์บัฟเฟอร์ส่งข้อมูลว่าง

บิตที่ 6 มีค่าเป็น 1 แสดงว่าขณะนี้บัฟเฟอร์ที่ทำหน้าที่แปลงข้อมูลแบบขนานเป็นแบบอนุกรมได้ว่างแล้ว พร้อมที่จะรับข้อมูลตัวต่อไป

บิตที่ 7 ไม่มีความหมายใดๆแต่จะมีค่าเป็น 0 ตลอดเวลา

2.4.5 รีจิสเตอร์แสดงสัญญาณขัดจังหวะ

(Interrupt Identification Register หรือ IIR)

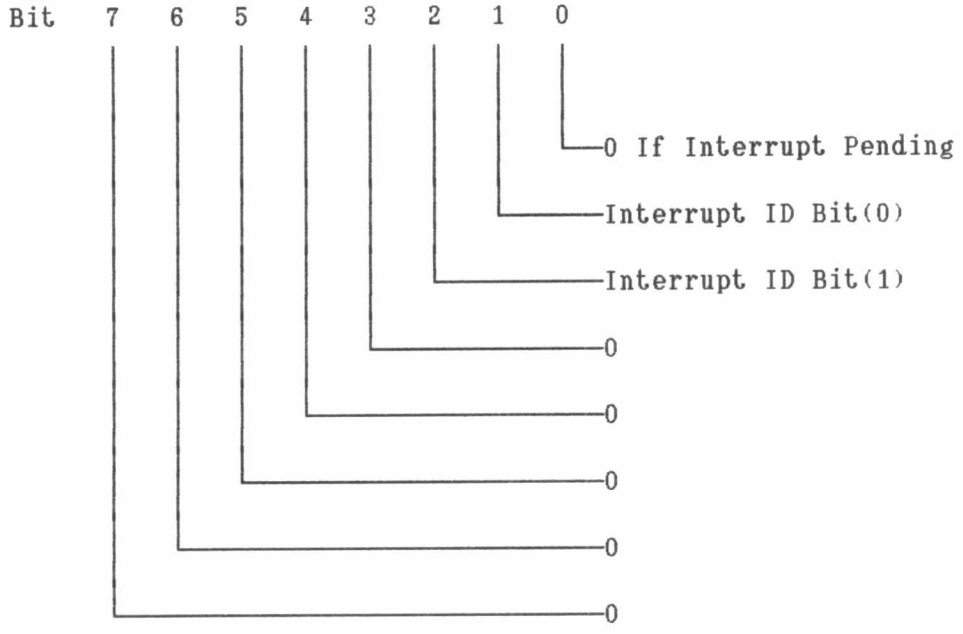
รีจิสเตอร์แสดงสัญญาณขัดจังหวะอยู่ที่ตำแหน่งอ้างอิงที่ 2 นับจากตำแหน่งฐานคือ 03FAH และ 02FAH สำหรับวงจรสื่อสารแบบอนุกรมที่1และวงจรสื่อสารแบบอนุกรมที่2ตามลำดับ โดยจะทำหน้าที่รายงานประเภทของสัญญาณขัดจังหวะที่เกิดขึ้น สำหรับสัญญาณขัดจังหวะที่เกิดขึ้นจะมีลำดับความสำคัญแตกต่างกัน 4 ระดับ คือ

ระดับที่ 1 คือ การรับข้อมูลจากสายสื่อสารผิดพลาด

ระดับที่ 2 คือ การพร้อมรับข้อมูล

ระดับที่ 3 คือ การพร้อมส่งข้อมูล

ระดับที่ 4 คือ สถานะของโมเดมเปลี่ยนแปลง



รูปที่ 2.8 แสดงรายละเอียดของรีจิสเตอร์แสดงสัญญาณขัดจังหวะ

บิตที่ 0 เป็นบิตสำหรับตรวจสอบว่ามีสัญญาณขัดจังหวะเกิดขึ้นหรือไม่

บิตที่ 1 และบิตที่ 2 จะแสดงประเภทของสัญญาณขัดจังหวะที่เกิดขึ้น

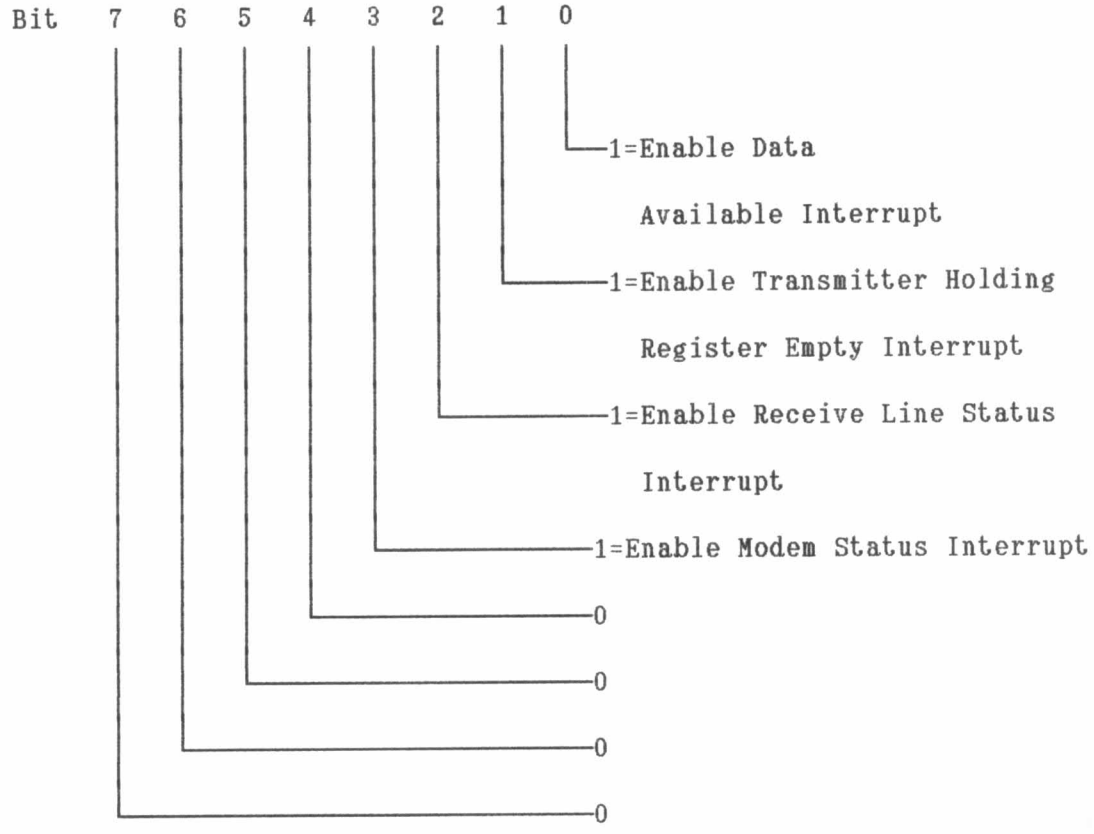
บิตที่ 3 ถึง 7 มีค่าเป็น 0 ตลอดเวลาและไม่มีความหมายใด ๆ

หอสมุดกลาง มหาวิทยาลัยสงขลานครินทร์

2.4.6 รีจิสเตอร์อีนาเบิลสัญญาณขัดจังหวะ

(Interrupt Enable Register)

รีจิสเตอร์นี้มักใช้คู่กับรีจิสเตอร์แสดงสัญญาณขัดจังหวะ เพราะเป็นรีจิสเตอร์ที่เกี่ยวข้องกับสัญญาณขัดจังหวะที่เกิดขึ้นเหมือนกัน แต่รีจิสเตอร์แสดงสัญญาณขัดจังหวะใช้สำหรับตรวจสอบสัญญาณขัดจังหวะที่เกิดขึ้นแต่รีจิสเตอร์อินาเบิลสัญญาณขัดจังหวะทำหน้าที่อีนาเบิลสัญญาณขัดจังหวะต่าง ๆโดยอยู่ที่ตำแหน่งอ้างอิงที่ 1 ของตำแหน่งฐานคือ 03F9H และ 02F9H สำหรับวงจรสื่อสารแบบอนุกรมที่1และวงจรสื่อสารแบบอนุกรมที่2 ตามลำดับ และบิตตัวหารแลตช์เข้าถึงจะต้องมีค่าเป็น 0



รูปที่ 2.9 แสดงรายละเอียดของรีจิสเตอร์อินาเบิลสัญญาณขัดจังหวะ

บิตที่ 0 มีค่าเป็น 1 แสดงว่าเป็นการอนุญาตให้มีการขัดจังหวะเมื่อมีข้อมูลอยู่ในบัฟเฟอร์รับข้อมูล

บิตที่ 1 มีค่าเป็น 1 แสดงว่าเป็นการอนุญาตให้มีการขัดจังหวะเมื่อบัฟเฟอร์ส่งข้อมูลว่าง

บิตที่ 2 มีค่าเป็น 1 แสดงว่าเป็นการอนุญาตให้มีการขัดจังหวะ ถ้ามีการเปลี่ยนแปลงของข้อมูลในรีจิสเตอร์สถานะสายสื่อสาร

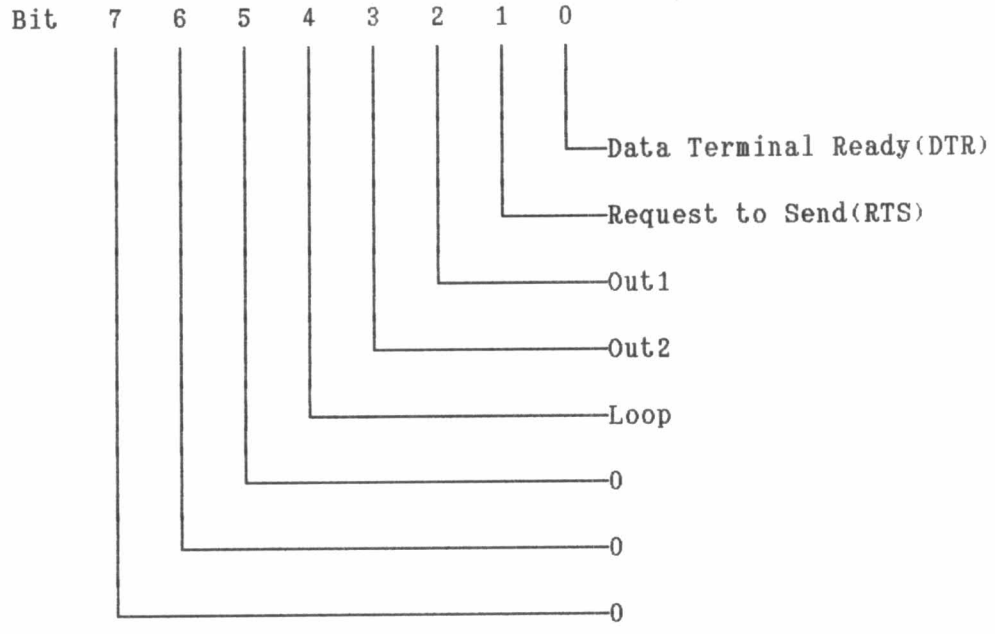
บิตที่ 3 มีค่าเป็น 1 แสดงว่าเป็นการอนุญาตให้มีการขัดจังหวะ เมื่อมีการเปลี่ยนแปลงสถานะของสัญญาณควบคุมโมเดม

บิตที่ 4 ถึง 7 มีค่าเป็น 0 ตลอดเวลา

2.4.7 รีจิสเตอร์ควบคุมโมเดม

(Modem Control Register หรือ MCR)

รีจิสเตอร์ควบคุมโมเดมอยู่ที่ตำแหน่งอ้างอิงที่4 จากตำแหน่งฐานคือ 03FCHและ 02FCH สำหรับวงจรสื่อสารแบบอนุกรมที่1และวงจรสื่อสารแบบอนุกรมที่2 ตามลำดับ โดยมีตำแหน่งและหน้าที่ของบิตต่าง ๆ ดังแสดงในรูปที่ 2.10

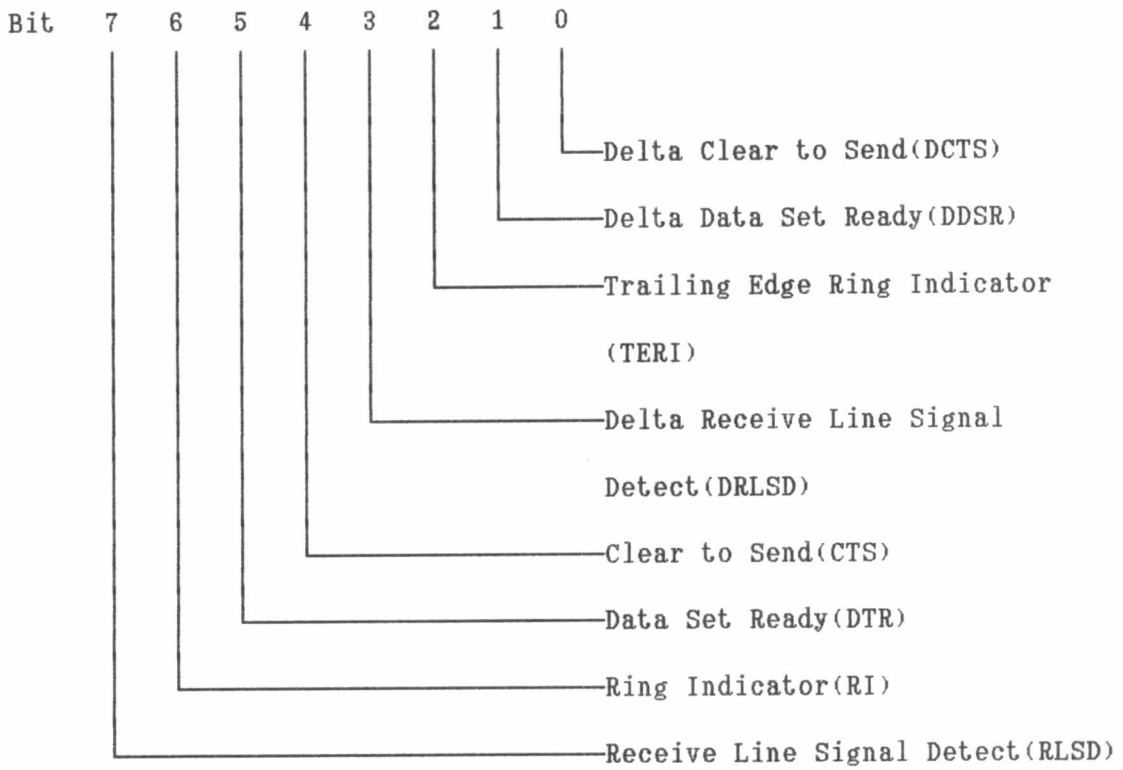


รูปที่ 2.10 แสดงรายละเอียดของรีจิสเตอร์ควบคุมโมเดม

2.4.8 รีจิสเตอร์สถานะโมเดม

(Modem Status Register หรือ MSR)

รีจิสเตอร์สถานะโมเดมอยู่ที่ตำแหน่งอ้างอิงที่6 จากตำแหน่งฐานคือ 03FEHและ 02FEH สำหรับวงจรสื่อสารแบบอนุกรมที่1และวงจรสื่อสารแบบอนุกรมที่2 ตามลำดับ ทำหน้าที่แสดงสถานะต่าง ๆของสัญญาณมาตรฐานอีไอเอ232 โดยมีตำแหน่งและความหมายของบิตต่างๆ ดังแสดงในรูปที่ 2.11



รูปที่ 2.11 แสดงรายละเอียดของรีจิสเตอร์สถานะโมเดม

2.4.9 รีจิสเตอร์บัฟเฟอร์สำหรับตัวรับข้อมูล

(Receiver Buffer Register หรือ RBR)

รีจิสเตอร์บัฟเฟอร์สำหรับตัวรับข้อมูลอยู่ที่ตำแหน่งฐาน คือ 03F8H และ 02F8H สำหรับวงจรสื่อสารแบบอนุกรมที่1และวงจรสื่อสารแบบอนุกรมที่2 ตามลำดับ เมื่อกำหนดให้บิตตัว

หารแลตช์เข้าถึงมีค่าเป็น 0 โดยจะทำหน้าที่รับข้อมูลจากสายสื่อสาร

2.4.10 รีจิสเตอร์โฮลดิงสำหรับตัวส่งข้อมูล

(Tranmitter Holding Register หรือ **THR)**

รีจิสเตอร์โฮลดิงสำหรับตัวส่งข้อมูลอยู่ที่ตำแหน่งฐาน คือ 03F8H และ 02F8H สำหรับวงจรสื่อสารแบบอนุกรมที่1และวงจรสื่อสารแบบอนุกรมที่2 ตามลำดับ เมื่อกำหนดให้บิตตัวหารแลตช์เข้าถึงมีค่าเป็น 0 โดยจะทำหน้าที่เป็นบัฟเฟอร์สำหรับส่งข้อมูลเพื่อส่งต่อออกไปยังสายสื่อสาร