บทที่ 1

บทนำ

ความเป็นมาของภาษาวีเอชดีแอล[1]

ภาษาวีเอชดีแอลถูกพัฒนาขึ้นตั้งแต่ปี 1981 ภายใต้การสนับสนุนของกระทรวงกลาโหมของประเทศสหรัฐอเมริกา (U. S. Department of Defense) และเป็นผู้ผลักดันให้เป็นมาตรฐานของ IEEE เลขที่ 1076 ในปี 1987 (IEEE 1076-1987)

ภาษาวีเอชดีแอลเป็นภาษาที่มีประโยชน์อย่างมากในการอธิบายวงจรที่มีขนาดใหญ่ ทั้งในด้านการวิเคราะห์วงจร (Simulation) และการสังเคราะห์วงจร (Synthesization) ดังเห็นได้จากการได้รับความนิยมอย่างสูงจากผู้ใช้ เป็นเหตุให้บริษัทที่ผลิตซอฟต์แวร์จำพวก EDA (Electronic Design Automation) เกือบทุกบริษัทปรับปรุงชุดซอร์ฟแวร์ของตน ให้สนับสนุนการใช้งานของภาษาวีเอชดีแอล อีกทั้งยังมีบริษัทที่เกิดขึ้นจากภาษาวีเอชดีแอลโดยเฉพาะอีกด้วย

นอกจากภาษาวีเอชดีแอลจะมีประโยชน์ต่อผู้ออกแบบแล้ว ยังมีประโยชน์ต่อลูกค้าเพื่อเป็นเอกสารอ้างอิงของอุปกรณ์ที่ได้สั่งทำจากผู้ผลิตอีกด้วย ยกตัวอย่างเช่นตามประกาศ Mil Std 454, Requirement 64, 1988 ของกระทรวงกลาโหมสหรัฐ ประกาศว่าอุปกรณ์ทุกชิ้นที่จะผ่านการตรวจรับจะต้องมีเอกสารอธิบายการทำงานของอุปกรณ์นั้น ๆ ทั้งแบบเชิงพฤติกรรม (Behavioral Description) และแบบเชิงโครงสร้าง (Structural Description) กองทัพอากาศสหรัฐประกาศ

---

[1] Zainalabedin Navabi, VHDL Analysis and Modeling of Digital Systems Mc Graw Hill, 1993

ประกาศนโยบาย The Software Intensive Hardware Risk Reduction, 1991 มีข้อความตอนหนึ่งว่าผู้ผลิตที่ใช้ภาษาวีเอชดีแอลในการออกแบบแบบบนสู่ล่าง (Top-Down Design) จะได้รับการพิจารณาการว่าจ้างเป็นพิเศษ เป็นต้น

และในปี 1992 ได้มีการปรับปรุงภาษาวีเอชดีแอลตามมาตรฐาน IEEE 1076-1987 ตามคำเรียกร้องของผู้ใช้และผู้ผลิตซอฟต์แวร์ ทำให้ภาษาวีเอชดีแอลมีความทันสมัย และมีความสามารถตรงกับความต้องการของผู้ใช้มากยิ่งขึ้น ในปัจจุบันภาษาวีเอชดีแอลจึงได้เปลี่ยนมาอิงตามมาตรฐาน IEEE 1164-1992

มูลเหตุจูงใจการทำวิทยานิพนธ์

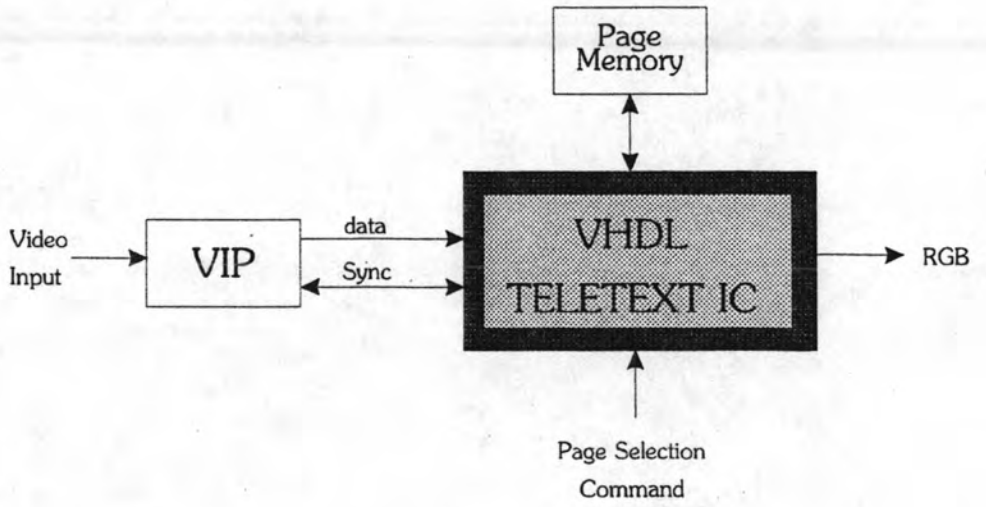
การออกแบบวงจรเชิงเลขในอดีตมักจะใช้รูปแบบของแผนภาพต่าง ๆ เช่น บล็อกไดอะแกรม (Block Diagram) แผนผังภาพ (Schematic) อธิบายส่วนประกอบและการทำงานของวงจร แต่วิธีนี้ไม่เหมาะกับวงจรที่มีขนาดใหญ่ เพราะรายละเอียดและความซับซ้อนมีมากเกินกว่าที่จะบรรจุลงในแผนภาพเหล่านั้นได้ง่าย ๆ และไม่สะดวกต่อการดัดแปลงแก้ไขอีกด้วย ในระยะสิบกว่าปีที่ผ่านมาจึงมีการคิดวิธีใหม่ที่ใช้อธิบายขั้นตอนการทำงานของฮาร์ดแวร์ด้วยข้อความ ซึ่งมีลักษณะคล้ายกับภาษาชั้นสูงเช่น ภาษาซี หรือ ภาษาปาสคาล ที่ใช้อธิบายขั้นตอนการทำงานของซอฟต์แวร์ ข้อความที่ใช้อธิบายนั้นเรียกว่าแบบจำลอง (Model) ของวงจร ซึ่งก็คล้ายกับการใช้คำว่าโปรแกรมแทนข้อความต่าง ๆ ของซอฟต์แวร์นั่นเอง

ภาษาที่ใช้อธิบายขั้นตอนการทำงานของฮาร์ดแวร์มีหลายภาษา แต่ภาษาที่นิยมใช้มากที่สุดและเป็นมาตรฐานหนึ่งของ IEEE ได้แก่ภาษาวีเอชดีแอล ซึ่งในต่างประเทศมีการใช้ภาษานี้ในการออกแบบวงจรรวมกันอย่างแพร่หลาย เนื่องจากการออกแบบด้วยวิธีนี้ทำได้อย่างรวดเร็ว อีกทั้งพื้นที่ที่ใช้ในการออกแบบด้วยวงจรรวม จะมีขนาดเล็กกว่าพื้นที่ที่ใช้ในการออกแบบด้วยชิ้นส่วนมาตรฐาน (Standard Components) ที่มีขายตามท้องตลาดมาก แต่ในประเทศไทยยังไม่ค่อยมีการออกแบบโดยใช้วงจรรวม เพราะส่วนใหญ่แล้ววงจรที่จะออกแบบมักมีขนาดเล็กและไม่ซับซ้อน อีกทั้งปริมาณการผลิตยังมีน้อย ทำให้ยังคงต้องใช้ชิ้นส่วนมาตรฐานในการออกแบบ

อย่างไรก็ดีความเจริญทางเทคโนโลยีอิเล็กทรอนิกส์ จะทำให้ประเทศไทยต้องก้าวไปสู่การออกแบบวงจรรวมขนาดใหญ่ในไม่ช้า โครงงานวิทยานิพนธ์นี้จึงมุ่งที่จะศึกษาวิจัยการออกแบบวงจรรวมด้วยภาษาวีเอชดีแอล เพื่อกระตุ้นให้เกิดวิทยาการด้านนี้ในประเทศ และเพื่อให้เกิด

ผลงานในเชิงปฏิบัติ วิทยานิพนธ์นี้จึงเลือกที่จะนำภาษาวีเอชดีแอลมาสร้างแบบจำลองวงจรรวมที่ใช้กับเทเลเท็กซ์ ทั้งนี้เพราะระบบเทเลเท็กซ์มีในประเทศไทยมากว่า 5 ปีแล้ว แต่ยังไม่ได้รับความนิยมมากนัก เนื่องจากผู้ใช้บริการจะต้องซื้อเครื่องถอดรหัสเทเลเท็กซ์จากต่างประเทศในราคาแพง เพราะยังไม่มีวงจรรวมที่สามารถถอดรหัสเทเลเท็กซ์ในระบบสองภาษา ไทย-อังกฤษ ได้ถูกต้อง ดังนั้นผลงานวิจัยนี้จึงเป็นตัวแรกของการทดลองสร้างวงจรรวมเฉพาะทาง ที่อาจนำไปสู่การผลิตเป็นอุตสาหกรรมได้

วงจรรวมที่จะถูกจำลองด้วยภาษาวีเอชดีแอลนั้น จะทำหน้าที่รับรหัสข้อมูลเทเลเท็กซ์ในรูปอนุกรม จากวงจรรวมที่เรียกว่า Video Input Processor (VIP) มาประมวลผลและส่งออกไปเก็บในหน่วยความจำ Page Memory ในรูปของข้อมูลขนาน 8 บิต ดังแสดงในรูปที่ 1-1 นอกจากนั้นวงจรรวมนี้ยังสามารถรับคำสั่งการแสดงผลจากตัวควบคุมรีโมท เพื่อนำข้อมูลใน Page Memory กลับมาประมวลผลและสร้างสัญญาณ RGB สำหรับแสดงภาพข้อมูลเทเลเท็กซ์บนจอภาพอีกด้วย



รูปที่ 1-1 วงจรถอดรหัสเทเลเท็กซ์

วัตถุประสงค์

1. เพื่อนำภาษาวีเอชดีแอลมาช่วยออกแบบแบบจำลองของวงจรเชิงเลขที่ใช้ถอดรหัสสัญญาณเทเลเท็กซต์
2. เพื่อวิเคราะห์ลักษณะสมบัติของแบบจำลองที่สร้างขึ้นด้วยซอฟต์แวร์
3. เพื่อทดลองสังเคราะห์วงจรรวมจากแบบจำลองที่ได้ผ่านการวิเคราะห์แล้ว
4. เพื่อสร้างเครื่องถอดรหัสสัญญาณเทเลเท็กซต์โดยใช้วงจรรวมที่ได้เป็นส่วนประกอบที่สำคัญ

ขอบเขตของงานวิจัย

1. เรียนรู้ภาษาวีเอชดีแอลและนำมาประยุกต์ใช้ในการออกแบบวงจรรวมที่ใช้กับเทเลเท็กซต์
2. ศึกษาการใช้ซอฟต์แวร์วิเคราะห์วงจร และทำการวิเคราะห์แบบจำลองที่ออกแบบไว้
3. ศึกษาขั้นตอนการสังเคราะห์วงจรรวมจากแบบจำลองภาษาวีเอชดีแอล
4. ทดลองนำวงจรที่สังเคราะห์ได้มาทำการทดสอบจริงในเครื่องถอดรหัสเทเลเท็กซต์

ขั้นตอนการดำเนินงาน

1. ศึกษารูปแบบของงานวิจัย งานที่ต้องทำ และความเป็นไปได้ในการทำวิจัย
2. ศึกษาความรู้พื้นฐานที่ต้องใช้ในงานวิจัย เช่น ภาษาวีเอชดีแอล ระบบเทเลเท็กซต์
3. ศึกษาซอฟต์แวร์ที่ใช้เป็นเครื่องมือประกอบการทำงานวิจัย เช่น โปรแกรมแปลภาษาวีเอชดีแอล โปรแกรมวิเคราะห์วงจร เป็นต้น
4. ออกแบบวงจรรวมที่ใช้กับเทเลเท็กซต์
5. วิเคราะห์วงจรที่ออกแบบ และแก้ไขให้ได้ผลตามต้องการ
6. สังเคราะห์วงจรรวมจากแบบจำลองภาษาวีเอชดีแอล และประกอบเครื่องถอดรหัสเทเลเท็กซต์
7. เขียนวิทยานิพนธ์

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

ประโยชน์ที่คาดว่าจะได้รับ

1. ทำให้ได้ความรู้และประสบการณ์การเขียนภาษาวีเอชดีแอล ซึ่งเป็นวิธีใหม่ในการออกแบบวงจรเชิงเลข
2. ทำให้ได้ความรู้เกี่ยวกับระบบสัญญาณโทรทัศน์ และระบบสัญญาณเทเลเท็กซ์
3. ได้วงจรรวมที่ใช้กับการถอดรหัสสัญญาณเทเลเท็กซ์และเครื่องถอดรหัสสัญญาณเทเลเท็กซ์ที่สามารถนำไปพัฒนาเป็นผลิตภัณฑ์ได้

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย