บทที่ 6

สรุปและข้อเสนอแนะ

งานวิจัยนี้มีวัตถุประสงค์เพื่อการศึกษาและออกแบบฮาร์ดแวร์หาขอบภาพ ให้สามารถหาขอบภาพได้ โดยใช้ขั้นตอนวิธีของ Canny ซึ่งเป็นวิธีหาขอบภาพที่ได้รับการยอมรับและถูกนำไปใช้งานอย่างแพร่หลายมากที่สุด

งานวิจัยเริ่มจากทำการศึกษาขั้นตอนวิธีของ Canny ทำการเปลี่ยนแปลงเพื่อลดความซับซ้อนในการคำนวณ สรุปได้ดังตารางที่ 6.1 ในหน้าที่ 76, จากนั้นก็ทำการเขียนเป็นโปรแกรมเพื่อศึกษาการทำงานและเป็นแนวทางในการออกแบบฮาร์ดแวร์ โดยกำหนดให้ภาพที่ต้องการหาขอบภาพจะเป็นภาพขนาด 256 x 256 จุดภาพ ระดับสีเทา 256 สี, ทำการออกแบบและทดสอบฮาร์ดแวร์บนคอมพิวเตอร์ แต่ไม่ได้ออกแบบวงจรส่วนที่ใช้ตรวจสอบขีดเริ่มเปลี่ยนค่าสูงแบบฮิสเตอร์เรซิส เนื่องจากมีความซับซ้อนทำให้ต้องใช้เกตทางตรรกจำนวนมาก, นำฮาร์ดแวร์ที่ออกแบบได้มาต่อเป็นวงจรจริง, และทำการทดสอบและวัดผลซอฟต์แวร์จริงกับผลลัพธ์ที่ได้จากการจำลองการทำงานของวงจร

ผลการวิจัย

วงจรหาขอบภาพตามวิธีของ Canny ที่ออกแบบ ได้ถูกออกแบบโดยแบ่งออกเป็น 4 วงจรต่อเรียงกันและทำงานแบบไพป์ไลน์ ตามนี้

1. วงจร Binomial Filter (1)
2. วงจร Binomial Filter (2)
3. วงจร Finding $|G|$ and ϕ
4. วงจร Nonmax Suppression and Low Threshold

เมื่อทำการทดสอบวงจรที่ออกแบบ โดยใช้การจำลองการทำงานด้วยโปรแกรม ViewLogic พบว่าทั้ง 4 วงจรทำงานได้ถูกต้อง โดยให้ผลลัพธ์ที่ตรงกับผลลัพธ์ที่ได้จากซอฟต์แวร์(ที่เขียนให้มีการคำนวณแบบเดียวกับที่วงจรใช้)ที่ใช้เป็นต้นแบบในการเปรียบเทียบ ซึ่งสัญญาณนาฬิกาที่วงจรต้องใช้ในการหาขอบภาพหนึ่งรูปจะต้องใช้ 1,073,375 สัญญาณนาฬิกา และใช้เวลาในการจำลองประมาณ 8 ชั่วโมงบนเครื่องเพนเทียมความเร็ว 133 เมกะเฮิรตซ์ หน่วยความจำขนาด 16 เมกะไบต์

เมื่อนำวงจรที่ออกแบบได้มาทำเป็นฮาร์ดแวร์ โดยใช้ FPGA ของบริษัท Xilinx ซึ่งมีเบอร์ให้เลือกใช้ 2 เบอร์คือเบอร์ XC4005-6 และ XC4003-6 ปรากฏว่าวงจร Binomial Filter (1) และ (2) และวงจร Nonmax Suppression and Low Threshold สามารถใช้เบอร์ XC4005-6 ได้(วงจรละตัว) ส่วนวงจร Finding |G| and ϕ นั้นต้องใช้ขาสัญญาณจำนวนมาก จึงต้องแบ่งออกเป็น 2 วงจรย่อย(แบ่งจำนวน เกตทางตรรกและขาสัญญาณออกเป็น 2 วงจร) ทำให้วงจรย่อยแต่ละตัวสามารถใช้เบอร์ XC4003-6 ได้ รวมเป็นใช้ FPGA ทั้งหมด 5 ตัว (และต้องใช้หน่วยความจำภายนอกด้วย ดังที่ได้อธิบายในบทที่ผ่านมา) เพื่อแทนวงจรทั้ง 4 วงจร

ส่วนฮาร์ดแวร์ที่ต่อขึ้นจริงจากวงจรที่ออกแบบได้นั้น ไม่สามารถให้ผลลัพธ์ได้ตามที่ต้องการ เนื่องจากสัญญาณรบกวน จึงต้องลดความเร็วของสัญญาณนาฬิกาลงเพื่อให้การทำงานถูกต้องมากขึ้น ซึ่งความเร็วสัญญาณนาฬิกาที่ใช้ในการทดสอบคือ 125 กิโลเฮิรตซ์ ทำให้การหาขอบภาพด้วยฮาร์ดแวร์จริงต้องใช้เวลาประมาณ 8.59 วินาทีต่อหนึ่งรูปภาพ หรือเท่ากับประมาณ 7,631 จุดภาพ/วินาที ซึ่งถ้าฮาร์ดแวร์สามารถทำงานได้ถูกต้องแล้ว ความเร็วในการทดสอบจะสามารถเพิ่มขึ้นได้ถึงประมาณความเร็วสัญญาณนาฬิกาที่ 500 กิโลเฮิรตซ์

และถ้ามองเฉพาะความเร็วในการอ่าน/เขียนข้อมูลของหน่วยความจำแบบแรมและแบบรอม(ที่ใช้เป็นตารางเปิดดู) โดยแรมที่ใช้เป็นเบอร์ 6116-3 ซึ่งช่วงเวลาในการเข้าถึง(access time)ในการอ่านหรือเขียนข้อมูลเป็น 150 นาโนวินาที ส่วนรอม(เป็นอีพรอม) ใช้เป็นเบอร์ 27512-15 ซึ่งมีช่วงเวลาเข้าถึงเป็น 150 นาโนวินาทีเช่นกัน และวงจรถูกออกแบบ(จากตารางที่ 4.1)ให้ใช้สัญญาณนาฬิกา 6 สัญญาณนาฬิกาในการเขียนข้อมูลของแรมและ 3 สัญญาณนาฬิกาในการอ่านข้อมูลของแรมและ 4 สัญญาณนาฬิกาในการอ่านข้อมูลของรอม ดังนั้นความเร็วจึงถูกจำกัดด้วยเวลาในการอ่านของแรมทำให้ความเร็วสูงสุดที่เป็นไปได้คือ (1,073,382/3)*150) นาโนวินาที ได้เท่ากับประมาณ 53.67 มิลลิวินาที เท่ากับในหนึ่งวินาทีฮาร์ดแวร์จะสามารถหาขอบภาพขนาด 256 x 256 จุดภาพ ได้เป็นจำนวนประมาณ 18.63 ภาพ หรือมีความเร็วประมาณ 1.22 เมกะไบต์ต่อวินาที

ส่วนความเร็วสูงสุดที่ฮาร์ดแวร์สามารถทำงานได้ หาได้จากผลการคำนวณของโปรแกรม XDM ของบริษัท Xilinx ซึ่งมีค่าดังตารางที่ 6.2 ในหน้าที่ 77

ตารางที่ 6.1 แสดงการดัดแปลงวิธีหาขอบภาพของ Canny เพื่อออกแบบเป็นฮาร์ดแวร์

วิธีของ Canny	ดัดแปลงจากของ Canny
กรองเอาความถี่ต่ำ	
• ใช้ฟังก์ชันเกาส์เซียนเป็นตัวกรองความถี่ $G = \exp\left(-\frac{r^2}{2\sigma^2}\right)$	• ใช้ฟังก์ชันไบโนเมียลเป็นตัวกรองความถี่ $f(x,y,n) = \frac{1}{16^n}\begin{bmatrix}1 & 2 & 1\\ 2 & 4 & 2\\ 1 & 2 & 1\end{bmatrix}^{*n}$ $\sigma^2 = 0.5n$ n = จำนวนรอบในการกรองความถี่
หาขนาดและทิศทางของกราเดียนต์	
• ใช้หน้ากากขนาด 2 x 2 เพื่อหา Gy และ Gx G_y: [-1, 1; -1, 1] G_x: [-1, -1; 1, 1] • คำนวณหาขนาดของกราเดียนต์จาก $\lvert G\rvert = \sqrt{G_x^2 + G_y^2}$ • คำนวณหาทิศทางของกราเดียนต์จาก $\phi = \tan^{-1}\left(\frac{G_y}{G_x}\right)$	• ใช้หน้ากากขนาด 1 x 3 เพื่อหา Gy และ Gx G_y: [-1, 0, 1] G_x: [-1; 0; 1] • ใช้ตารางเปิดดูเพื่อหาขนาดของกราเดียนต์ และทิศทางของกราเดียนต์ โดยจำกัดให้ทิศทางของกราเดียนต์มีแค่ 8 ค่า
หาจุดภาพที่มีขนาดสูงสุดเฉพาะถิ่น	
• ใช้ทิศทางและขนาดของกราเดียนต์ เพื่อหาค่า G_1(|G| ตามหลัง) G_2(|G| ก่อนหน้า) โดยการอินเตอร์โพเลชัน • กำหนดจุดภาพ $P_{(x,y)}$ ที่ตำแหน่งใดๆ เป็นจุดภาพที่มีขนาดสูงสุดเฉพาะถิ่น เมื่อ $G_{(x,y)}$ มากกว่า G_1 และ G_2	• ใช้ทิศทางของกราเดียนต์ เพื่อเลือกค่า G_1 และ G_2 จากจุดภาพที่อยู่รอบค่า $G_{(x,y)}$ • กำหนดจุดภาพ $P_{(x,y)}$ ที่ตำแหน่งใดๆ เป็นจุดภาพที่มีขนาดสูงสุดเฉพาะถิ่น เมื่อ $G_{(x,y)} > G_1$ และ $G_{(x,y)} \geq G_2$
ตรวจสอบขีดเริ่มเปลี่ยนค่าต่ำ	
• กำหนดจุดภาพ $P_{(x,y)}$ ที่ตำแหน่งใดๆ มีค่า $G_{(x,y)}$ เป็นศูนย์ ถ้า $G_{(x,y)}$ น้อยกว่าค่าขีดเริ่มเปลี่ยนค่าต่ำ	• เหมือนวิธีของ Canny
ตรวจสอบขีดเริ่มเปลี่ยนค่าสูง	
• ใช้วิธีฮิสเตอร์เรซิส	• ไม่ออกแบบเป็นฮาร์ดแวร์

โดยทุกขั้นตอนของฮาร์ดแวร์จะใช้การคำนวณเป็นจำนวนเต็มและไม่มีการปัดเศษ(คือตัดเศษที่ได้ทิ้ง)

ตารางที่ 6.2 ตารางแสดงเวลาการประวิงของแต่ละวงจร

วงจร	Binomial Filter (1)	Binomial Filter (2)	Finding |G| and ϕ วงจรที่ 2_1	Finding |G| and ϕ วงจรที่ 2_2	Nonmax Suppresion and Low Threshold
คาบเวลาสัญญาณนาฬิกาต่ำสุด	196.4 นาโนวินาที	199.8 นาโนวินาที	228.0 นาโนวินาที	74.4 นาโนวินาที	269.5 นาโนวินาที
ความเร็วสัญญาณนาฬิกาสูงสุด	5.1 เมกะเฮิรตซ์	5.0 เมกะเฮิรตซ์	4.4 เมกะเฮิรตซ์	13.4 เมกะเฮิรตซ์	3.7 เมกะเฮิรตซ์
ความเร็วจุดภาพ(ไบต์)ต่อวินาที	310,875	305,585	267,789	820,645	226,552

ดังนั้นความเร็วสูงสุดของสัญญาณนาฬิกาที่จะใช้ได้คือประมาณ 3.7 เมกะเฮิรตซ์ โดยมีเวลาประวิงสูงสุดประมาณ 269.5 นาโนวินาที ทำให้ความเร็วสูงสุดที่เป็นไปได้คือ (1,073,382*269.5) นาโนวินาที ได้เท่ากับประมาณ 289.3 มิลลิวินาที เท่ากับในหนึ่งวินาทีฮาร์ดแวร์จะสามารถหาขอบภาพขนาด 256 x 256 จุดภาพ ได้เป็นจำนวนประมาณ 3.45 ภาพ หรือมีความเร็วประมาณ 226,552 จุดภาพต่อวินาที

อุปสรรคในการวิจัย

การแปลงแฟ้มข้อมูลจาก Viewlogic Systems ไปเป็น Xilinx แล้วบางครั้งไม่สามารถทำงานได้คงที่(คือทำงานแต่ละครั้งให้ผลไม่เหมือนกัน) ต้องมีการสั่งให้ทำการปรับปรุงแฟ้มข้อมูล Xilinx ใหม่ด้วยการสั่ง PPR (Partition, Place & Route) และเลือกทางเลือก(option) Seed to Try และ Improvement ให้มีค่ามากๆเข้าไว้

อุปกรณ์ FPGA ของ Xilinx รุ่น(เบอร์ XC4003 และ XC4005)ที่มีให้ใช้ ยังไม่ค่อยเอื้ออำนวยให้การประกอบฮาร์ดแวร์ทำได้ง่ายขึ้นเท่าที่ควร ถ้าใช้รุ่นที่มีจำนวนเกตทางตรรกมากขึ้น, มีจำนวนขาให้ใช้งานมากขึ้น และมีเกตทางตรรกมากพอที่จะแปลงเป็นหน่วยความจำ จะทำให้วงจรแต่ละวงจรไม่ต้องพึ่งอุปกรณ์ภายนอก และอาจจะสามารถยุบรวมเข้ามาอยู่ใน FPGA ตัวเดียวกันได้อีก

เนื่องจากผู้วิจัยได้ใช้เครื่องคอมพิวเตอร์ของผู้วิจัยซึ่งเป็นคอมพิวเตอร์ที่ผลิตจากบริษัทที่ไม่มีชื่อเสียง ทำให้จากการทดลองการอินพุตและเอาต์พุตของพอร์ตขนานของเครื่องคอมพิวเตอร์ 2 เครื่อง ปรากฏว่าการใช้งานไม่เหมือนกัน ซึ่งนอกจากจะแตกต่างกันเองแล้วยังมีคุณลักษณะ (specification)ในรายละเอียดที่ไม่ตรงตามคุณลักษณะที่กำหนดเป็นมาตราฐานโดย ไออีอีอี(สถาบันวิศวกรไฟฟ้าและอิเล็กทรอนิกส์) อีกด้วย

ข้อเสนอแนะ

แยกพอร์ตอินพุตและเอาต์พุต ทำให้ข้อมูลเข้าและข้อมูลออกไม่ต้องมาแย่งกันใช้พอร์ต

เพิ่มหน่วยความจำของวงจรให้สามารถเก็บรูปภาพได้ทั้งรูป และออกแบบวงจรให้ทำงานเป็นแบบเครื่องนามธรรมสเตต ทำให้วงจรสามารถตัดขาดจากพอร์ตอินพุตและเอาต์พุตได้ในช่วงที่ทำการคำนวณหาขอบภาพ

ศึกษาเครื่องมือที่ใช้และเลือกใช้ให้เหมาะสม ถ้ามีไลบรารีจะช่วยประหยัดเวลาในการออกแบบ ทำให้ไม่ต้องออกแบบและตรวจสอบวงจรย่อยๆเอง เช่น วงจรบวก, วงจรลบ, หน่วยความจำเสมือน, วงจรเปรียบเทียบ, ฯลฯ

อุปกรณ์ทุกชิ้นต้องได้มาตรฐานและเชื่อถือได้ เพื่อให้สามารถนำมาใช้ได้ โดยไม่ต้องมีการตรวจสอบก่อน และถ้ามีข้อสงสัยก็สามารถตรวจสอบได้เพราะมีมาตรฐานกำกับอยู่

การตรวจสอบและแก้ไขฮาร์ดแวร์ต้องใช้เวลามาก และต้องการเครื่องมือที่เหมาะสม มิเช่นนั้นจะมีโอกาสสำเร็จต่ำ ผู้ที่ทำงานวิจัยทางด้านฮาร์ดแวร์ของคอมพิวเตอร์ควรตระหนักถึงข้อนี้ ทำการศึกษา, เตรียมเครื่องมือให้ดี และมีการประมาณเวลาให้เหมาะสม (เพิ่มเป็นสองเท่าจากที่คาดไว้ก็ไม่นับว่ามากเกินไป)