หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 3

รายละเอียดวงจรและการทำงาน

3.1 หน่วยควบคุมลูป

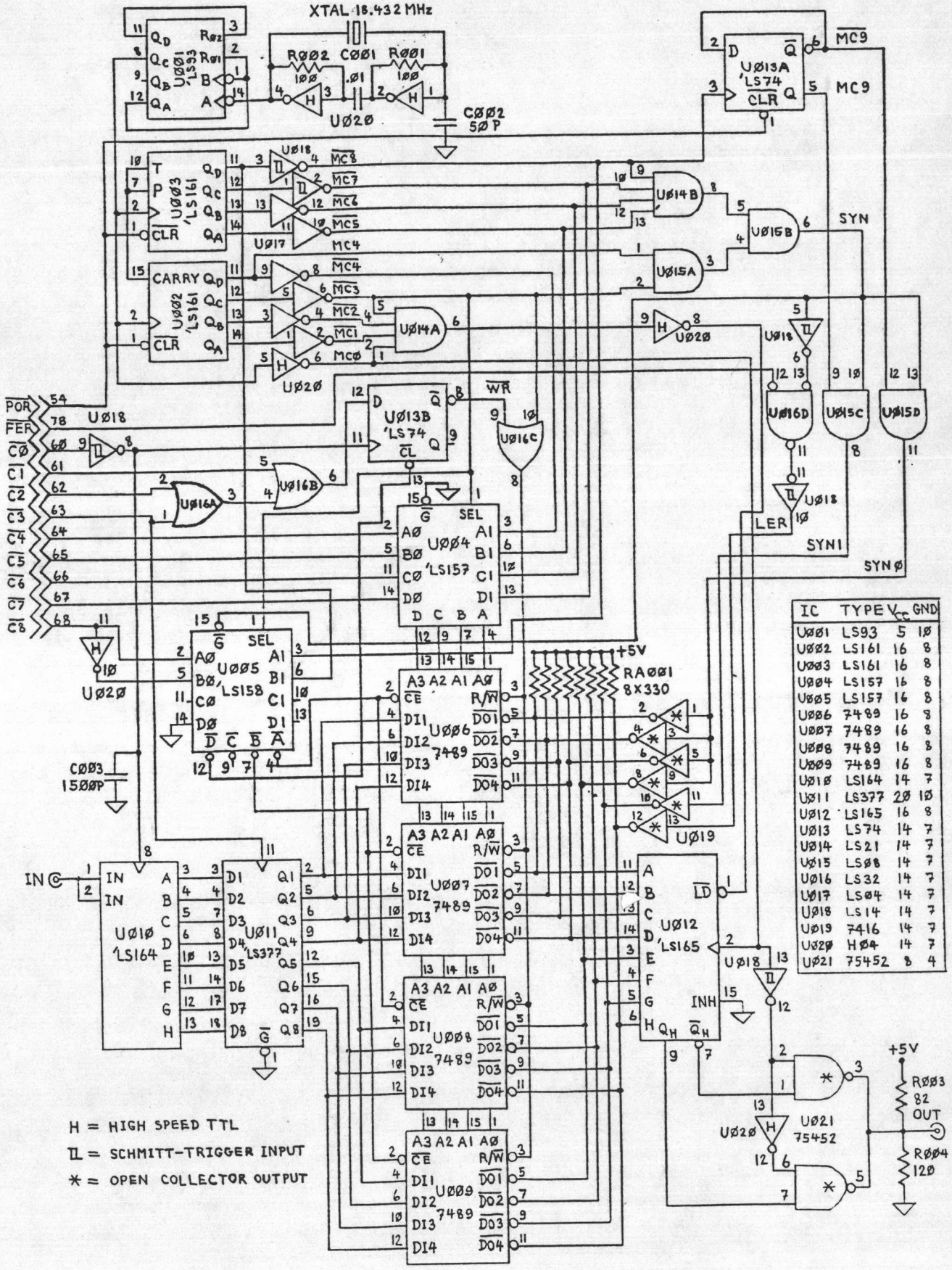
3.1.1 ลักษณะทั่วไป หน่วยควบคุมลูปมีหน้าที่กำเนิดสัญญาณนาฬิกาหลักและสัญญาณซิงค์ให้กับระบบ และหน่วงเวลาข้อมูลไว้จนกว่าจะถึงเวลาที่เหมาะสมจึงยอมให้ข้อมูลผ่านออกมาได้ การกำเนิดสัญญาณนาฬิกาหลักซึ่งมีเสถียรภาพในการทำงานสูง สามารถทำได้ด้วยการใช้ผลึกควอทซ์ควบคุมความถี่ และนำสัญญาณนาฬิกาที่ได้มาหารเป็นบิท, เป็นช่องเวลาและเป็นเฟรม เพื่อควบคุมการส่งข้อมูลออกให้เกิดขึ้นในเวลาที่ถูกต้อง ข้อมูลที่ส่งออก คือ ข้อมูลที่เข้าสู่หน่วยควบคุมลูป แต่ถูกหน่วงเวลาไว้ เนื่องจากข้อมูลถูกส่งเข้าด้วยเฟรมซึ่งเหลื่อมกับเฟรมด้านออก ยกเว้นสัญญาณซิงค์ในช่องเวลา 0 จะถูกส่งออกโดยไม่ขึ้นกับข้อมูลในช่องเวลา 0 ที่เข้าสู่หน่วยควบคุมลูป สัญญาณซิงค์จะมี 2 รูปแบบสลับกันทุกเฟรมดังได้กล่าวมาแล้ว การหน่วงเวลาข้อมูลทำโดยการใช้หน่วยความจำเก็บข้อมูลไว้ชั่วคราวในลักษณะของ FIFO (First In First Out) ดังนี้

หน่วยควบคุมลูปจะอยู่บนอินเตอร์เฟสบัสของสถานีสุดท้ายในลูป และสัญญาณที่ออกจากสถานีสุดท้ายจะถูกต่อเข้าหน่วยควบคุมลูปโดยตรง ดังนั้นหน่วยควบคุมลูปสามารถใช้สัญญาณนาฬิกาบนอินเตอร์เฟสบัสในการอ่านข้อมูลเข้าไปเก็บในหน่วยความจำตามลำดับช่องเวลาได้ โดยมีหน่วยความจำขนาด 8 บิท จำนวน 32 ช่อง สำหรับเก็บข้อมูลประจำช่องเวลาแต่ละช่องตามลำดับ ส่วนทางด้านออกจะใช้เฟรมของสัญญาณนาฬิกาหลักในการอ่านข้อมูลออกจากหน่วยความจำดังกล่าวแทน จะเห็นได้ว่าเฟรมของข้อมูลในสถานีสุดท้ายจะเกิดขึ้นช้ากว่าสถานีก่อนหน้านั้นตามลำดับ ทั้งนี้เพราะสัญญาณต้องใช้เวลาเดินทางระหว่างสถานีและเกิดการหน่วงเวลาเมื่อข้อมูลผ่านสถานีแต่ละแห่ง ดังนั้นเฟรมของสัญญาณนาฬิกาหลักซึ่งใช้ในการอ่านข้อมูลออกจะเกิดขึ้นก่อนเฟรมของสถานีสุดท้าย แต่ระยะเวลาที่เหลื่อมกันจะมีค่าไม่แน่นอนขึ้นอยู่กับระยะทางและจำนวนสถานี ทำให้การเขียนและอ่านข้อมูลบนหน่วยความจำเดียวกันจะไม่สามารถแบ่งเวลาแน่นอนลงไปได้ว่าขณะใดให้เขียนและขณะใดให้อ่าน ด้วยเหตุนี้จะให้การอ่านมีลำดับความสำคัญสูงกว่าการเขียน แต่ให้การอ่านเกิดขึ้นในช่วงเวลาสั้นกว่าการเขียน และนำข้อมูลที่อ่านได้ไปเก็บไว้เพื่อส่งออก ดังนั้นเมื่อถึงเวลาที่ต้องอ่านจะสามารถอ่านข้อมูลประจำช่องเวลาที่ต้องการได้ทันที แม้ว่าเดิมกำลังเขียนข้อมูลประจำช่องเวลาอื่น

อยู่ก็ตาม การที่ให้ช่วงเวลาการเขียนยาวกว่าช่วงเวลาการอ่านจะทำให้คงมีการเขียนเกิดขึ้นก่อนหรือหลังการอ่านเสมอ แต่เป็นการเขียนและอ่านข้อมูลประจำช่องเวลาต่างกัน ดังนั้นหน่วยความจำดังกล่าวจะถูกเขียนและอ่านตลอดเวลาพร้อมๆ กันได้อย่างถูกต้อง

3.1.2 <u>การทำงานของวงจร</u> การกำเนิดสัญญาณนาฬิกาหลักของวงจรหน่วยควบคุมลูป ในรูป 3.1 ใช้ผลึกควบคุมความถี่ 18.432 เมกกะเฮิร์ตซ์ ร่วมกัน U020 ซึ่งต้องเป็นไอซี HTTL หรือ STTL จึงจะทำงานได้เพราะความถี่สูง R001 และ R002 ใช้ไบอัสให้วงจรทำงานแบบลิเนียร์ในช่วงประมาณ 1.4 โวลท์ การเลือกค่าขึ้นอยู่กับชนิดของไอซี ในกรณีของ HTTL จะได้ค่าจากการทดลองประมาณ 100 โอห์ม แต่อาจใช้ค่าอื่นๆ ได้ในช่วงกว้างมาก C001 ใช้แยกไฟตรงออกจากกัน ส่วน C002 ขึ้นอยู่กับผลึกควอทซ์ ซึ่งจะมีค่าอยู่ในช่วงไม่กี่สิบพิโคฟารัด จากการทดลองได้ประมาณ 50 พิโคฟารัด แต่จะใช้ค่าอื่นๆ ได้ในช่วงกว้างพอควร สัญญาณ 18.432 เมกกะเฮิร์ตซ์ จะถูกหารด้วย 9 โดย U001 เหลือ 2.048 เมกกะเฮิร์ตซ์ใช้เป็นสัญญาณนาฬิกาหลักของระบบ คือ MC0 และจะถูกหารด้วย 2 ต่อเนื่องกันเป็น MC1 ถึง MC8 โดย U002 และ U003 MC8 จะมีคาบเท่ากับหนึ่งเฟรมพอดี ดังนั้นนำ MC8 ไปหารด้วย 2 อีกทีด้วย U013A เป็น MC9 ใช้นับเฟรมคู่หรือเฟรมคี่เพื่อควบคุมการส่งซิงค์ให้สลับกัน 2 รูปแบบ

วงจร FIFO ประกอบด้วย U006-U009 เป็นหน่วยความจำขนาด 16 × 4 บิท มาต่อให้เป็น 32 × 8 บิท โดยที่แอดเดรสจะถูกเลือกด้วย U004 และ U005 ในการอ่านจะใช้แอดเดรสเป็น $\overline{MC4}$-$\overline{MC8}$ แต่ถ้าเป็นการเขียนจะใช้แอดเดรสจาก $\overline{C4}$-$\overline{C8}$ บนอินเตอร์เฟสบัส ซึ่งเป็นสัญญาณนาฬิกาของสถานีสุดท้ายของลูปที่หน่วยควบคุมลูปต่ออยู่ด้วย การเลือกแอดเดรสสำหรับการอ่านจะเกิดขึ้นเมื่อ $\overline{MC3}$ เป็น 1 หรือครึ่งแรกของทุกช่องเวลาด้านออก U012 จะเก็บค่าที่อ่านได้เข้าไปด้วยสัญญาณ $\overline{LD}$ ซึ่งจะเป็น 0 ในครึ่งบิทหลังของบิทแรกในทุกช่องเวลาด้านออก การทำให้การอ่านมีลำดับความสำคัญมากกว่าการเขียน ทำโดยนำสัญญาณอ่าน คือ $\overline{MC3}$ มา OR กับสัญญาณเขียน คือ $\overline{WR}$ เพื่อใช้เป็นสัญญาณ R/$\overline{W}$ สำหรับหน่วยความจำ สัญญาณ $\overline{WR}$ ตามปกติจะมีความกว้างเท่ากับ 7 บิท คือ เริ่มเป็น 0 จากกึ่งกลางบิทแรกถึงกึ่งกลางบิทสุดท้าย เพื่อไม่ให้การเขียนเกิดขึ้นในช่วงที่ $\overline{C4}$-$\overline{C8}$ ซึ่งเป็นแอดเดรสเกิดการเปลี่ยนแปลง ดังนั้นการเขียนจะกว้างกว่าการอ่านซึ่งกว้างเพียง 4 บิทเท่านั้น ทำให้สัญญาณ R/$\overline{W}$ ยังคงมีช่วงเป็น 0 สำหรับการเขียนอยู่หลังจาก OR กัน แต่เนื่องจากการเขียนจะต้องเกิดขึ้นหลังจากได้เลือกแอดเดรสให้ถูกต้องแล้วเท่านั้น ดังนั้นสัญญาณ $\overline{WR}$ ต้องมีค่าเป็น 1 อยู่ชั่วคราวหลังจาก $\overline{MC3}$ ลงเป็น 0 เพื่อเลือกแอดเดรสในการเขียนให้เรียบ



IC	TYPE	V_{cc}	GND
UØØ1	LS93	5	1Ø
UØØ2	LS161	16	8
UØØ3	LS161	16	8
UØØ4	LS157	16	8
UØØ5	LS157	16	8
UØØ6	7489	16	8
UØØ7	7489	16	8
UØØ8	7489	16	8
UØØ9	7489	16	8
UØ1Ø	LS164	14	7
UØ11	LS377	2Ø	1Ø
UØ12	LS165	16	8
UØ13	LS74	14	7
UØ14	LS21	14	7
UØ15	LSØ8	14	7
UØ16	LS32	14	7
UØ17	LSØ4	14	7
UØ18	LS14	14	7
UØ19	7416	14	7
UØ2Ø	HØ4	14	7
UØ21	75452	8	4

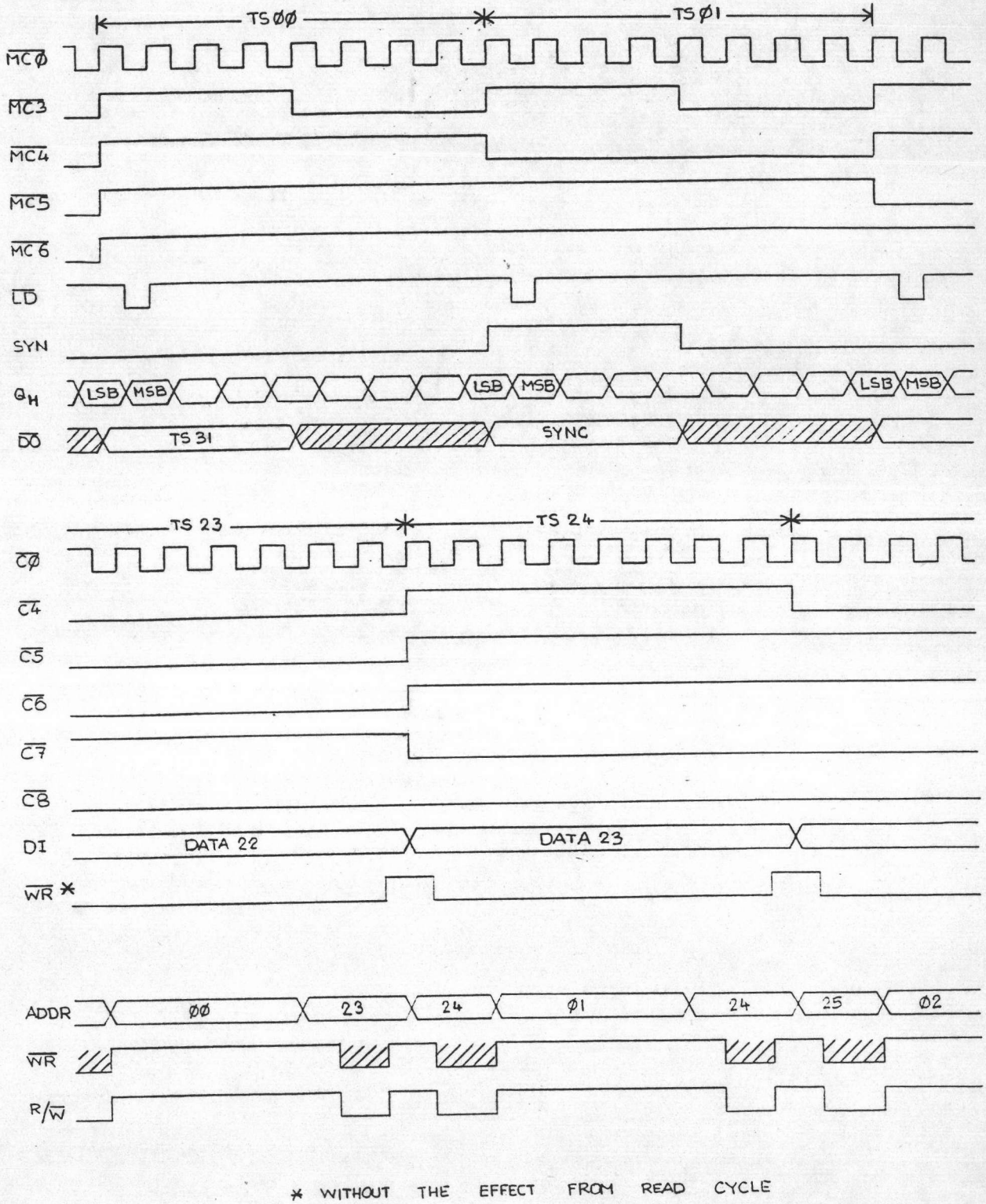
รูป 3.1 วงจรหน่วยควบคุมลูป

ร้อยก่อน จึงใช้ U005 ชุด D ในการเคลียร์ U013B ในช่วงที่ $\overline{MC3}$ เป็น 1 ทำให้ $\overline{WR}$ เป็น 1 และยังคงเป็น 1 อยู่ชั่วคราวหลังจาก $\overline{MC3}$ ลงเป็น 0 แล้ว เป็นเวลาอย่างน้อยเท่ากับเวลาที่ใช้ในการเลือกแอดเดรสของ U005 ดังนั้นจึงมีเวลาพอสำหรับ U004 และ U005 เลือกแอดเดรสได้ทัน แต่โดยทั่วไปแล้ว $\overline{WR}$ จะยังคงเป็น 1 อยู่นานกว่านั้น เนื่องจากต้องรอสัญญาณนาฬิกาด้านเข้าเป็นตัวนำให้เปลี่ยนสถานะ

รูป 3.2 แสดงตัวอย่างความสัมพันธ์ระหว่างสัญญาณต่างๆ สัญญาณชุดบนเป็นสัญญาณซึ่งขึ้นอยู่กับเฟรมด้านออก โดยแสดงสัญญาณในช่วงเวลา 0 และ 1 ได้ สัญญาณชุดถัดมาเป็นสัญญาณซึ่งขึ้นอยู่กับเฟรมด้านเข้าซึ่งเกิดขึ้นพร้อมกับสัญญาณชุดแรก ในรูปเป็นช่องเวลา 23 และ 24 อยู่ สัญญาณชุดล่างสุดเป็นสัญญาณซึ่งขึ้นกับเฟรมทั้งด้านเข้าและด้านออก ทำให้มีรูปร่างไม่แน่นอนตายตัวขึ้นอยู่กับเวลาที่แตกต่างกันระหว่างเฟรมด้านเข้าและเฟรมด้านออกซึ่งเป็นเวลาที่ใช้ในการเดินทางจากต้นลูปถึงท้ายลูปนั่นเอง

จากรูปจะเห็นว่าในแต่ละช่องเวลาจะถูกเขียน 2 ครั้ง คือ ในตอนต้นและตอนปลายของช่องเวลาด้านเข้า ส่วนตอนกลางจะถูกขัดจังหวะโดยการอ่าน การเขียนทั้งสองครั้งเกิดขึ้นที่แอดเดรสเดียวกันและข้อมูลเดียวกัน ส่วนการอ่านจะอ่านจากแอดเดรสอื่น ถ้าหากว่าการอ่านมาขัดจังหวะในช่วงต้นหรือท้ายช่องเวลาด้านเข้า แทนที่จะเป็นตอนกลางช่องเวลาดังในรูปจะเกิดการเขียนขึ้นเพียงครั้งเดียว แต่ไม่ว่ากรณีใดข้อมูลจะถูกเขียนลงไปในแอดเดรสที่ถูกต้องเสมอ จะเห็นว่าข้อมูลจากช่องเวลา 23 จะถูกเขียนในช่องเวลา 24 เพราะต้องรอข้อมูลให้ครบแปดบิทก่อนจึงจะเขียนได้ ทำให้ข้อมูลดังกล่าวจะถูกเขียนลงในแอดเดรส 24 แทน ดังนั้นในการอ่านข้อมูลออกจะต้องแก้ไขช่องเวลาให้ถูกต้อง เช่น การส่งซิงค์ทางด้านออกเกิดขึ้นในช่องเวลา 1 เป็นต้น

สัญญาณที่เข้ามาจะเป็นสัญญาณไบเฟสเนื่องจากต่อออกมาจากขั้วออกของสถานีสุดท้ายโดยตรง และจะอ่านข้อมูลได้ในช่วงครึ่งแรกของบิทเท่านั้น เพราะที่กึ่งกลางบิทจะมีการเปลี่ยนสถานะให้ตรงข้ามกับข้อมูลของบิทนั้น ดังนั้นจะต้องหาสัญญาณนาฬิกาซึ่งมีขอบขาขึ้นอยู่กึ่งกลางของครึ่งบิทแรกมาใช้ในการอ่าน แต่ลักษณะสัญญาณดังกล่าวจะไม่มีในระบบนี้ จึงใช้การหน่วงเวลาสัญญาณ C0 แทนโดยการต่อ C003 ขนาด 1500 pF เพื่อเป็นโหลดเข้ากับขาออกของ U018 ที่เป็นสัญญาณ C0 ทำให้ขอบขึ้นของสัญญาณถูกหน่วงเวลา ชาร์จ C003 ขึ้นมาจาก 0 ถึง 1.4 โวลท์ ด้วยแรงดัน 5 โวลท์ ผ่าน R ค่า 271 โอห์ม และแรงดันคร่อม V_{CE} = 1.2 โวลท์ ตามลักษณะวงจรขาออกของไอซี LSTTL ดังนั้นจะคำนวณเวลาที่หน่วงออกไปได้ 150 นาโนวินาที



รูป 3.2 ความสัมพันธ์ระหว่างสัญญาณต่างๆในหน่วยควบคุมลูป

และวัดได้ 140 นาโนวินาที

ข้อมูลที่ได้รับจะถูกเลื่อนเข้า U010 จนครบ 8 บิท จึงจะถูกถ่ายไปเก็บไว้ที่ U011 เพื่อรอให้นำไปเขียนลงหน่วยความจำอีกต่อหนึ่ง ข้อมูลที่อ่านออกมาจะถูกเก็บเข้า U012 และเลื่อนออกไปทีละบิทจนครบ 8 บิท จึงอ่านเข้ามาใหม่ ข้อมูลที่เลื่อนออกไปเป็น NRZ จะถูกใส่รหัสเป็นสัญญาณไบเฟส โดย U021 ซึ่งเป็นวงจรขับด้วยในตัว

ในช่วงเวลา 1 จะไม่มีการอ่าน เนื่องจากจะส่งซิงค์ออกไปแทน โดยนำ SYN มาห้าม U005 เพื่อให้ขาออกซึ่งต่อกับ $\overline{CE}$ ของหน่วยความจำเป็น 1 หมด U019 ทำหน้าที่กำเนิดรูปแบบซิงค์ที่ต้องการส่งออกในเฟรมนั้นๆ ขึ้นอยู่กับ MC9 หน่วยความจำและ U019 มีขาออกเป็นแบบคอลเลคเตอร์เปิด จึงใช้ต่อกันได้โดยตรงในลักษณะ Wired OR ข้อมูลที่จุดดังกล่าวจะมีค่าตรงข้ามกับข้อมูลที่ต้องการส่งออก นอกจากนี้ในบิทแรกของซิงค์ซึ่งใช้แสดงสถานะผิดปกติของลูปนั้นจะถูกควบคุมโดย $\overline{FER}$ จากอินเตอร์เฟสบัสของสถานีสุดท้าย

U021 เป็นวงจรขับแบบคอลเลคเตอร์เปิดซึ่งต่อกับ R003 และ R004 เพื่อให้มีอิมพีแดนซ์ขาออกเท่ากับ 50 โอห์ม และสัญญาณขนาดประมาณ 3 โวลท์ การต่อ U021 ในลักษณะดังกล่าวเป็นการ XOR กันระหว่าง Q_H และ MC0 จะสังเกตเห็นว่าวงจรใช้ MC0 ในการเลื่อนข้อมูลออกจาก U012 ดังนั้นจะต้องหน่วงเวลา MC0 เล็กน้อยด้วย U018 ก่อนจะมา XOR กับ Q_H เพื่อชดเชยการหน่วงเวลาในการทำงานของ U012 ได้บ้าง ถ้าหาก Q_H และ MC0 เกิดขึ้นเหลื่อมกันนานเกินไปจะเกิดพัลซ์ขึ้นที่บริเวณขอบบิท และอาจทำให้เกิดการรับผิดพลาดได้ในสถานีถัดไป

3.2 วงจรฟร็อนท์เอ็นด์สำหรับสถานี

3.2.1 ลักษณะทั่วไป วงจรฟร็อนท์เอ็นด์จะรับสัญญาณไบเฟสจากช่องสัญญาณแสงโดยตรง เพื่อแยกออกมาเป็นข้อมูลและสัญญาณนาฬิกาส่งไปเข้าวงจรอื่นๆ ในหน่วยควบคุมสถานี ดังนั้นวงจรฟร็อนท์เอ็นด์จะเป็นส่วนหนึ่งของหน่วยควบคุมสถานี วงจรประกอบด้วยวงจร 2 ส่วนต่อกัน คือ

ก) วงจรถอดรหัสไบเฟสและแยกสัญญาณนาฬิกา การใส่รหัสไบเฟสจะมีการกลับค่าของสัญญาณที่กึ่งกลางบิททุกบิท โดยครึ่งแรกของสัญญาณจะตรงกับข้อมูลและครึ่งหลังจะตรงข้ามกับข้อมูลในบิทนั้นๆ ดังนั้นเราสามารถแยกสัญญาณนาฬิกาออกมาจากสัญญาณไบเฟสได้ โดยพยายามจับขอบของสัญญาณที่กึ่งกลางบิททุกบิทให้ได้ แต่ขอบของสัญญาณอาจเกิดขึ้นที่รอยต่อระหว่างบิทได้ด้วย

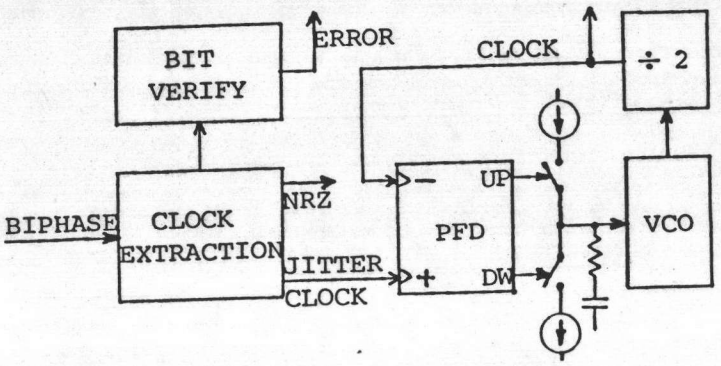
ถ้าข้อมูลในบิททั้งสองซ้ำกัน ซึ่งจะทำให้เกิดขอบของสัญญาณขึ้นห่างจากขอบที่กึ่งกลางบิทเป็นเวลาครึ่งบิท ขอบดังกล่าวนี้อาจเกิดขึ้นหรือไม่เกิดขึ้นก็ได้ขึ้นอยู่กับรูปร่างของข้อมูล ดังนั้นเราจะสนใจเฉพาะขอบที่เกิดขึ้นที่กึ่งกลางบิทเท่านั้น และจะไม่รับรู้ขอบที่เกิดขึ้นภายในเวลาน้อยกว่า 3/4 บิท นับจากขอบที่กึ่งกลาง ทำให้เราสามารถตัดขอบที่รอยต่อระหว่างบิทออกไปได้ ปัญหาต่อไป คือ จะทราบได้อย่างไรว่า ขอบที่จับได้เป็นขอบที่กึ่งกลางบิทจริง เพราะเป็นไปได้ที่ว่าเราอาจจับเอาขอบที่รอยต่อระหว่างบิทมาเป็นขอบที่กึ่งกลางบิทแทน และกลับไม่สนใจขอบที่ถูกต้องที่กึ่งกลางบิท แต่ปัญหาความกำกวมนี้จะหมดไปทันทีที่มีข้อมูลที่ติดกันแตกต่างกัน เพราะจะทำให้ไม่มีขอบเกิดขึ้นที่รอยต่อระหว่างบิททั้งสอง และการจับขอบจะเลื่อนมาจับขอบที่กึ่งกลางบิทถัดไปแทน จากนั้นจะถูกต้องตลอดไป

เมื่อสามารถจับขอบที่กึ่งกลางบิททุกบิทได้แล้ว การอ่านข้อมูลในแต่ละบิทสามารถทำได้ง่าย คือ ถ้านับจากกึ่งกลางบิทไป 1/4 บิท จะอ่านได้ค่าตรงข้ามกับข้อมูลในบิทนั้นๆ แต่ถ้านับย้อนกลับมา 1/4 บิท ก่อนหน้ากึ่งกลางบิท ซึ่งได้แก่ 3/4 บิทนับจากกึ่งกลางบิทก่อน จะอ่านได้ค่าจริงของข้อมูลบิทดังกล่าว ดังนั้นจะเห็นว่าเราสามารถตรวจสอบได้ด้วยว่าข้อมูลในครึ่งบิทแรกตรงกันข้ามกับข้อมูลในครึ่งบิทหลังหรือไม่เพื่อยืนยันความถูกต้องของบิทแต่ละบิท

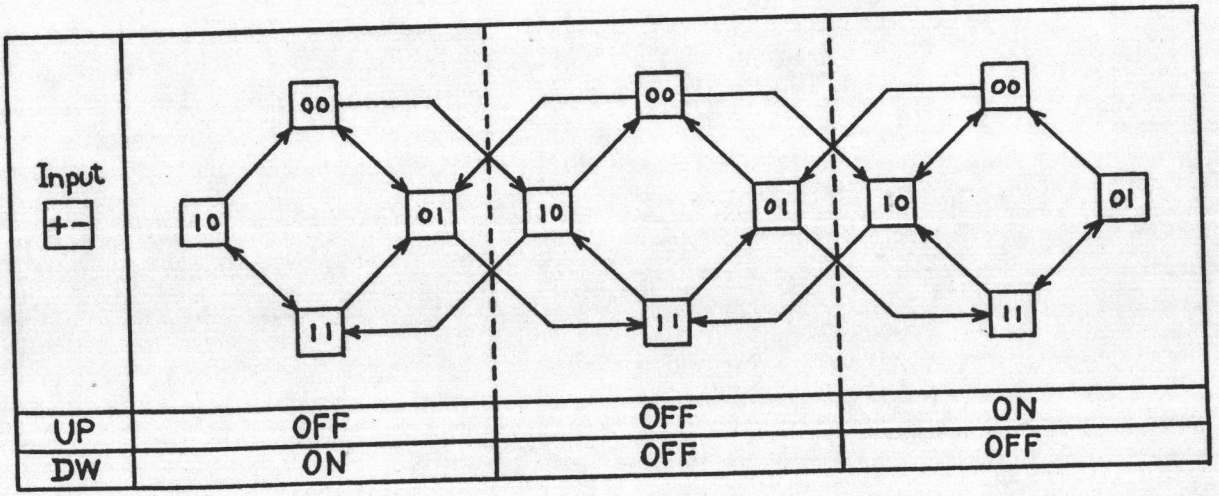
ข) <u>วงจรเฟสล็อคลูป</u> สัญญาณนาฬิกาที่แยกออกมาได้จะมีดิวตีไซเคิลประมาณ 75 % และมีการสั่นของขอบสัญญาณ เนื่องจากสัญญาณรบกวนและ ISI (Inter-Symbol Interference) จึงนำไปผ่านวงจรเฟสล็อคลูปเพื่อให้ได้สัญญาณนาฬิกาที่มีดิวตีไซเคิล 50 % และลดการสั่นของขอบลง โดยใช้วงจรเฟสล็อคลูปแบบชาร์จปัมป์เฟสล็อคลูป ซึ่งมีการวิเคราะห์คุณสมบัติทางทฤษฎีไว้ใน [7]-[9] และพบตัวอย่างการใช้งานในไอซีเบอร์ CD 4046 ซึ่งเป็นไอซีในตระกูลซีมอส [10] เหตุที่ใช้ชาร์จปัมป์เฟสล็อคลูปเนื่องจากให้สัญญาณออกมีเฟสตรงกับสัญญาณเข้า และไม่ล็อคกับฮาร์-โมนิคของสัญญาณเข้า

ชาร์จปัมป์เฟสล็อคลูปใช้ PFD (Phase/Frequency Detector) ชนิด 3 สถานะ คือ เพิ่ม ลด และเป็นกลาง โดยมีขาออก 2 ทาง ทางหนึ่งสำหรับเพิ่ม อีกทางสำหรับลด ถ้าไม่ทำงานทั้งคู่ คือ เป็นกลาง PFD จะให้ขาออกทางใดทางหนึ่งทำงาน เมื่อขอบขึ้นของสัญญาณเข้าปรากฏขึ้นไม่พร้อมกัน โดยจะทำงานค้างอยู่เป็นระยะเวลาเท่ากับเวลาที่เร็วช้ากว่ากัน หลังจากนั้นจะอยู่ในสถานะเป็นกลางเพื่อรอ ขอบขึ้นของสัญญาณไซเคิลต่อไป ขาออกแต่ละทางจะไปสวิทช์แหล่งจ่ายกระแสคงที่ให้จ่ายกระแสเข้าหรือดึงกระแสออกจากตัวเก็บประจุ เพื่อปรับแรงดันซึ่งใช้

ควบคุม VCO (Voltage Control Oscillator) ความถี่ที่ได้ออกมาจาก VCO จะถูกหารสอง เพื่อให้ได้ดิวตีไซเคิล 50 % แล้วจึงป้อนกลับไปยังขาเข้าของ PFD ที่เหมาะสมที่ทำให้เกิดการป้อนกลับแบบลบ ส่วนขาเข้าที่เหลือจะต่อมาจากสัญญาณนาฬิกาที่แยกออกมาได้จากสัญญาณไบเฟส ดังรูป 3.3 แสดงถึงองค์ประกอบของวงจรดังกล่าวข้างต้น และรูป 3.4 แสดงสเตททรานซิชันไดอะแกรมของ PFD ชนิด 3 สถานะ วงจรเฟสล็อคลูปจะพยายามรักษาเฟสของสัญญาณนาฬิกาออกให้ตรงกับเฟสของสัญญาณนาฬิกาเข้าเสมอ ดังนั้นการเปลี่ยนแปลงเฟสอย่างรวดเร็วของสัญญาณนาฬิกาเข้า ซึ่งเกิดจากการสั่นของขอบจะถูกตัดทิ้งได้ด้วยการทำให้ความกว้างแถบความถี่ของวงจรมีค่าต่ำๆ เพื่อให้การตอบสนองต่อการเปลี่ยนเฟสเป็นไปอย่างช้าๆ สัญญาณนาฬิกาออกจึงมีการสั่นลดลงโดยมีความถี่เท่ากับความถี่เฉลี่ยของสัญญาณนาฬิกาเข้า



รูป 3.3 องค์ประกอบของวงจรชาร์จปั๊มป์เฟสล็อคลูป



รูป 3.4 สเตททรานซิชันไดอะแกรมของเฟสฟรีเควนซีดีเทคเตอร์ชนิด 3 สถานะ

การวิเคราะห์ทางทฤษฎีสำหรับวงจรซาร์จปั๊มป์เฟสล็อคลูปค่อนข้างจะยุ่งยาก เนื่องจากมีการทำงานในลักษณะไม่ต่อเนื่องและความถี่ไม่คงที่อีกด้วย แต่เราสามารถใช้การประมาณได้เนื่องจากคุณสมบัติที่ต้องการ คือ มีความกว้างแถบความถี่ต่ำๆ ทำให้การเปลี่ยนแปลงของตัวแปรต่างๆ จะเกิดขึ้นอย่างช้าๆ กินเวลาหลายไซเคิล ดังนั้นกระแสที่ไหลเข้าหรือออกจากตัวเก็บประจุเป็นระยะเวลาแปรตามความต่างเฟสของสัญญาณเข้าทั้งสอง จะสามารถประมาณด้วยกระแสต่อเนื่องเท่ากับค่าเฉลี่ยได้ จะได้

$$i_{av}(t) = I_p \theta_e(t)/2\pi$$

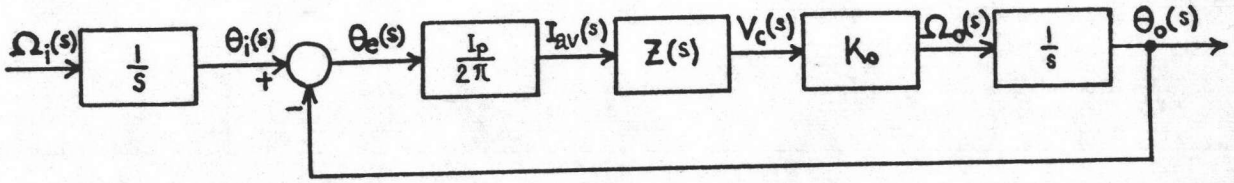
และ $$I_{av}(s) = I_p \theta_e(s)/2\pi$$

เมื่อ I_p = ขนาดของกระแสคงที่

$\theta_e = \theta_i - \theta_o$ = ความต่างเฟส

θ_i = เฟสของสัญญาณนาฬิกาเข้า

θ_o = เฟสของสัญญาณนาฬิกาออก ซึ่งป้อนกลับมายังเฟสดีเทคเตอร์



รูป 3.5 บล็อคไดอะแกรมของวงจรซาร์จปั๊มป์เฟสล็อคลูปโดยประมาณ

กระแสเฉลี่ยนี้จะไหลผ่านฟิลเตอร์ซึ่งเป็นอิมพีแดนซ์เพื่อแปลงจากกระแสเป็นแรงดัน ฟิลเตอร์ดังกล่าวอาจใช้เป็น RC ดังรูป 3.3 หรือใช้ในลักษณะซึ่งซับซ้อนกว่านี้ก็ได้ แรงดันที่คร่อมอิมพีแดนซ์ฟิลเตอร์ดังกล่าวจะใช้ควบคุมความถี่ของ VCO ดังนั้นจะได้บล็อคไดอะแกรมดังรูป 3.5

จะได้ $$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_o I_p Z(s)}{2\pi s + K_o I_p Z(s)}$$

เมื่อ K_o = อัตราขยายของ VCO มีหน่วยเป็น ความถี่ต่อแรงดัน คือ rad/s/v

$Z(s)$ = อิมพีแดนซ์ของฟิลเตอร์

$\Omega_o(s)$ = ความถี่ที่ออกมาจาก VCO

ถ้าใช้ฟิลเตอร์เป็น RC ดังรูป 3.3 จะมี $Z(s) = R + 1/sc$ ดังนั้นจะได้วงจรอันดับ 2 คือ

$$H(s) = \frac{2\xi\,\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2}$$

เมื่อ ω_n = ความถี่ธรรมชาติ $= [K_o I_p/2\pi c]^{\frac{1}{2}}$ rad/s

ξ = ตัวประกอบการหน่วง $= \omega_n RC/2$

จะเห็นว่า H(s) เป็นลักษณะของโลว์พาสฟิลเตอร์ แต่คุณสมบัติเชิงความถี่ของวงจรเฟสล็อคลูปจะเหมือนกับย้าย H(s) ขึ้นไปเป็นแบนด์พาสฟิลเตอร์ที่สมมาตรรอบความถี่เฉลี่ยของสัญญาณเข้า ดังนั้นถ้าให้ H(s) มีความกว้างแถบความถี่น้อยๆ แล้ว วงจรเฟสล็อคลูปจะสามารถกรองความถี่ที่อยู่นอกแบนด์ทิ้งไปได้ ทำให้สัญญาณนาฬิกาที่ได้มีความถี่เดี่ยวบริสุทธิ์ขึ้น จึงลดการสั่นของขอบสัญญาณลงได้ แต่มีข้อแตกต่างระหว่างเฟสล็อคลูปกับฟิลเตอร์ธรรมดา คือ ฟิลเตอร์ธรรมดาจะกรององค์ประกอบทางความถี่แต่ละความถี่โดยตรง แต่เฟสล็อคลูปจะกรององค์ประกอบที่เป็นการมอดูเลททางเฟสแทน และเฟสล็อคลูปอาจไม่สามารถกรองความถี่ที่เบี่ยงเบนไปจากเดิมมากๆ แต่เปลี่ยนไปอย่างช้าๆ ได้ เนื่องจากความถี่กึ่งกลางเคลื่อนที่ตาม

ในกรณีนี้จะนำมาใช้กรองสัญญาณนาฬิกาซึ่งแยกออกมาจากข้อมูลที่มีลักษณะเป็นเฟรม ดังนั้นการเกิด ISI จะมีลักษณะเป็นเฟรมด้วย นั่นคือ สัญญาณนาฬิกาที่แยกออกมาจะถูกมอดูเลทด้วยความถี่ที่เป็นเท่าๆ ของ 8 กิโลเฮิร์ตซ์ นั่นคือ เฟสล็อคลูปควรมีความกว้างแถบความถี่ไม่เกิน 8 กิโลเฮิร์ตซ์

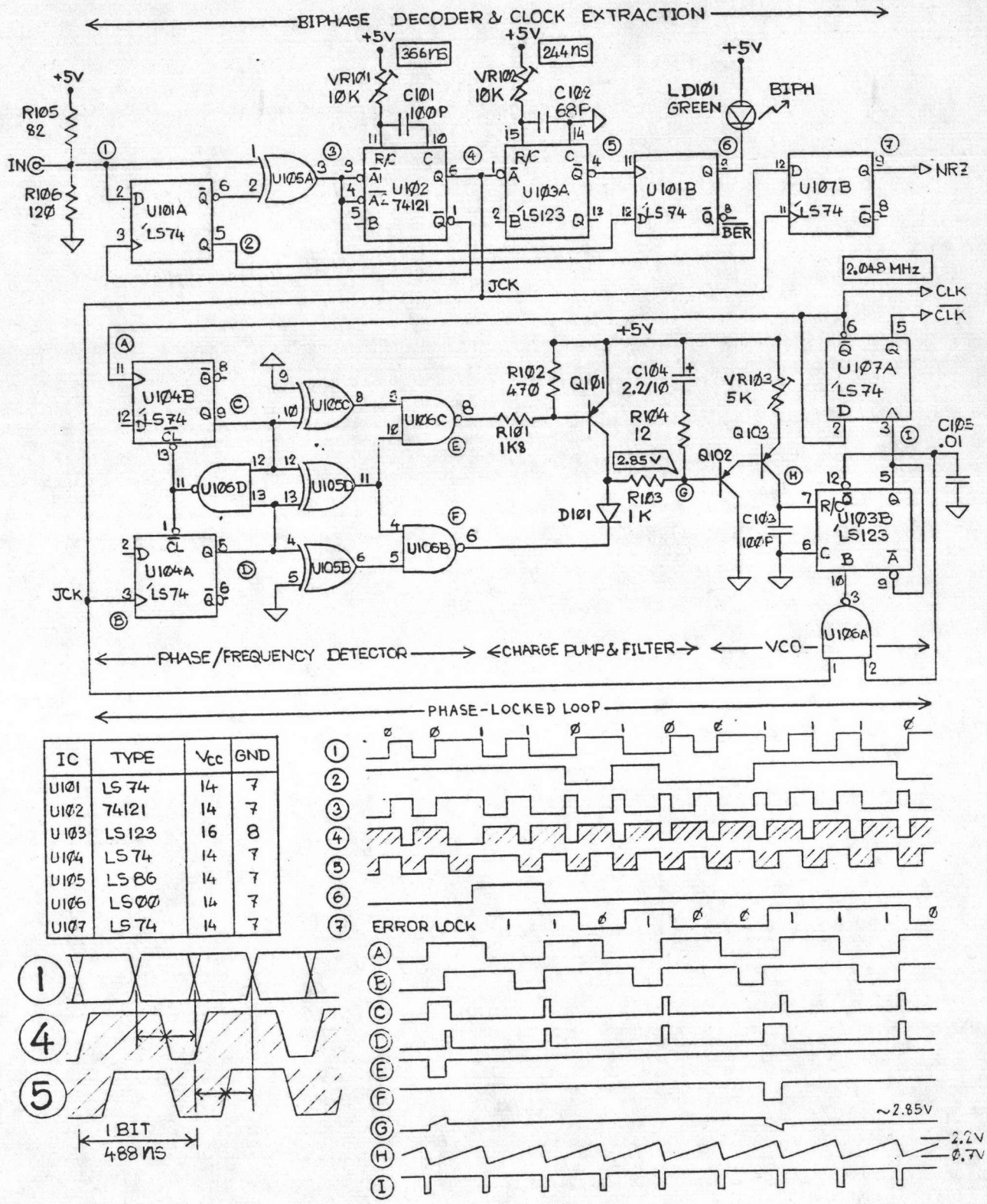
เนื่องจากการทำงานของชาร์จปัมป์เฟสล็อคลูปเป็นลักษณะสุ่มตัวอย่างแบบไม่ต่อเนื่อง คือ สุ่มวัดความแตกต่างของเฟสและปรับแก้ตามผลการสุ่ม โดยมีอัตราการสุ่มประมาณเท่ากับความถี่ของสัญญาณเข้า ไม่ใช่เป็นการวัดและปรับอย่างต่อเนื่องตลอดเวลาดังในเฟสล็อคลูปทั่วไป จึงต้องระวังปัญหาเรื่องเสถียรภาพอันเป็นปัญหาที่ต้องคำนึงถึงในระบบซึ่งทำงานด้วยการสุ่มตัวอย่างแบบไม่ต่อเนื่องทุกระบบ และสามารถตรวจสอบได้โดยการทำ Z Transform เพื่อดูว่าโพลอยู่ในวงกลมหนึ่งหน่วยหรือไม่ จาก [๖] จะแสดงได้ว่าโพลจะอยู่ในวงกลมหนึ่งหน่วยเมื่อ

$$\omega_n < [(RC + \pi/\omega_i)\pi/\omega_i]^{-\frac{1}{2}}$$

3.2.2 <u>การทำงานของวงจร</u> รูป 3.6 แสดงถึงวงจรฟร็อนท์เอ็นด์ทั้งหมด สัญญาณไบเฟสจะเข้ามาโดยมี R105 และ R106 ต่ออยู่เพื่อเป็นโหลด 50 โอห์ม จากนั้นสัญญาณเข้าสู่วงจรต่างๆ ดังนี้

ก) <u>วงจรถอดรหัสไบเฟสและแยกสัญญาณนาฬิกา</u> สัญญาณไบเฟสจะถูกตรวจจับขอบที่กึ่งกลางบิทโดย U105A และ U101A โดยเริ่มต้นสมมติให้ U101A เก็บค่าของสัญญาณในครึ่งแรกไว้แล้ว ดังนั้นเมื่อสัญญาณกลับค่าที่กึ่งกลางบิทจะทำให้ขาออกของ U105A เปลี่ยนจาก 1 ลงมาเป็น 0 ไปกระตุ้น U102 ซึ่งเป็นโมโนสเตเบิลให้เริ่มจับเวลา 3/4 บิท หรือ 366 นาโนวินาที เวลาถูกกำหนดด้วย VR101 และ C101 ระหว่างนี้ U102 จะไม่สนใจขาออกของ U105A อีกต่อไปจนจะหมดเวลาที่ตั้งไว้ เมื่อหมดเวลาขา $\overline{Q}$ ของ U102 จะเปลี่ยนจาก 0 เป็น 1 และป้อนกลับมาเป็นสัญญาณนาฬิกาให้ U101A เก็บค่าของสัญญาณในขณะนั้นเข้าไป ค่าในขณะนั้นจะเป็นค่าที่กึ่งกลางของครึ่งบิทแรกของบิทถัดไปพอดี และการทำงานในบิทถัดไปจะเหมือนเดิมเพราะ U101A ได้เก็บค่าของสัญญาณในครึ่งแรกไว้แล้ว ดังนั้น U102 จะถูกกระตุ้นด้วยขอบที่กึ่งกลางบิทของสัญญาณไบเฟสตลอดเวลาทุกๆ บิท และจะให้ JCK เป็นสัญญาณนาฬิกาออกมา โดยมีขอบขึ้นตรงกับขอบที่กึ่งกลางบิทของสัญญาณไบเฟส แต่มีดิวตีไซเคิล 75 % นอกจากนี้ค่าใน U101A จะเป็นข้อมูล NRZ ด้วย แต่มีจังหวะเวลาของแต่ละบิทเหลื่อมกับ JCK จึงนำไปผ่าน U107B เพื่อปรับเวลาให้ตรงกันก่อนส่งออกไปวงจรอื่นๆ ส่วน JCK จะไปผ่านวงจรเฟสล็อคลูปก่อนเพื่อขจัดการสั่นของขอบให้ลดลง

U103A ใช้จับเวลา 1/2 บิท หรือ 244 นาโนวินาทีต่อจาก U102 เพื่อตรวจสอบดูว่าค่าของสัญญาณไบเฟสในครึ่งบิทแรกซึ่งจะถูกเก็บไว้ใน U101A จะตรงข้ามกับค่าในครึ่งบิทหลัง คือค่าในขณะที่หมดเวลาซึ่ง U103A จับไว้พอดี ซึ่งถ้าตรงข้ามกันจริงขาออกของ U105A จะเป็น 0 และจะถูกเก็บเข้า U101B ดังนั้น U101B จะแสดงว่าข้อมูลที่ได้รับเป็นสัญญาณไบเฟสเมื่อให้ Q เป็น 0 ซึ่งจะทำให้ LD101 สว่าง ส่วน $\overline{Q}$ สามารถใช้เป็นสัญญาณ $\overline{\text{BER}}$ (Bit Error) ได้ LD101 สามารถต่อเข้ากับ Q ของ U101B ได้โดยตรงโดยไม่เสียหายเนื่องจาก U101 จะซิงค์กระแสได้จำกัด เพราะเป็นไอซีในตระกูล LSTTL จากการวัดจะได้ประมาณ 40 มิลลิแอมแปร์เมื่อต่อกับ LED ขึ้น +5V แต่แรงดันจะขึ้นมาเป็น 3-4 โวลท์เนื่องจากทรานซิสเตอร์ทำงานในช่วงแอคทีฟ ดังนั้นจะไม่สามารถต่อขา Q ไปเข้าไอซีอื่นได้ แต่ขา $\overline{Q}$ ยังมีแรงดันตามปกติและสามารถต่อไปใช้ได้ถ้าต้องการ



IC	TYPE	Vcc	GND
U101	LS 74	14	7
U102	74121	14	7
U103	LS123	16	8
U104	LS 74	14	7
U105	LS 86	14	7
U106	LS00	14	7
U107	LS 74	14	7

รูป 3.6 วงจรฟร็อนท์เอ็นด์ทั้งหมด

จากรูป 3.6 จะแสดงสัญญาณที่จุดต่างๆ ในวงจรถอดรหัสและแยกสัญญาณนาฬิกา คือ จุดที่ 1-7 สำหรับภาพขยายจุดที่ 1, 4 และ 5 แสดงผลการปรับ VR101และVR102คือ จะต้องให้การจับเวลาสิ้นสุดลงที่กึ่งกลางของสัญญาณครึ่งบิทแรกและครึ่งบิทหลังตามลำดับ ดังนั้นความกว้างของพัลส์ที่ได้จาก U102 และ U103A จะไม่เท่ากับ 366 และ 244 นาโนวินาทีพอดี แต่จะต่ำกว่าเล็กน้อย เนื่องจากการหน่วงเวลาในไอซีต่างๆ ในรูปสัญญาณดังกล่าวได้แสดงกรณีซึ่งเริ่มต้นผิดพลาด คือ ไปจับขอบสัญญาณที่รอยต่อระหว่างบิทแทน แต่เมื่อพบข้อมูลที่เปลี่ยนไปจากเดิมจะทำให้ไม่มีขอบดังกล่าว และวงจรจะจับขอบสัญญาณที่ถูกต้องที่กึ่งกลางบิทแทน หลังจากนั้นการทำงานจะถูกต้องตลอดไป

ข) <u>เฟสฟรีเควนซีดีเทคเตอร์</u> ประกอบด้วย U104, U105 และ U106 สัญญาณ JCK เข้าที่ U104A ส่วนสัญญาณ CLK ซึ่งเป็นสัญญาณนาฬิกาออกที่ป้อนกลับมาจะเข้าที่ U104B ส่วนขาออกของวงจรจะมี 2 ทาง คือ U106C สำหรับลดความถี่ และ U106B สำหรับเพิ่มความถี่ เมื่อขาออกนั้นๆ เป็น 0 ถ้าขาออกทั้งสองเป็น 1 จะเป็นกลาง คือ คงความถี่เดิมไว้ แต่จะไม่เป็น 0 พร้อมกัน

เมื่อขอบขึ้นของสัญญาณเข้าใดเกิดขึ้นก่อนจะทำให้ฟลิปฟลอปนั้นๆ เป็น 1 และทำให้ขาออกที่ตรงกันกลายเป็น 0 จนกระทั่งขอบขึ้นของอีกสัญญาณหนึ่งเกิดขึ้น ซึ่งจะทำให้ฟลิปฟลอปอีกตัวเป็น 1 บ้าง ทำให้ U106D ให้ขาออกเป็น 0 เพื่อเคลียร์ฟลิปฟลอปทั้งสองตัวให้ลงเป็น 0 ระหว่างนี้ U105D จะให้ขาออกเป็น 0 เพื่อป้องกันไม่ให้ U106C และ U106B ทำงานทั้งสองทางพร้อมกัน ส่วน U105C และ U105B จะทำหน้าที่หน่วงเวลาสัญญาณจากฟลิปฟลอปให้เดินทางถึง U106C และ U106B พร้อมๆ กับสัญญาณจาก U105D

ในกรณีที่ขอบขึ้นของสัญญาณเข้าทั้งสองเกิดขึ้นพร้อมกัน จะทำให้ฟลิปฟลอปทั้งคู่เป็น 1 ชั่วคราว และจะถูกเคลียร์โดย U106D ทันที แต่พัลซ์ 1 จากฟลิปฟลอปทั้งสองจะไม่สามารถทำให้ U106C หรือ U106B ทำงานได้เพราะ U105D ห้ามไว้เช่นเดียวกัน

ดังนั้นจะเห็นว่าวงจรดังกล่าวให้คุณสมบัติดังสเตททรานซิชันไดอะแกรมในรูป 3.4 ตามต้องการ และในรูป 3.6 ได้แสดงสัญญาณที่จุดต่างๆ ในวงจร คือ จุด A-F จะเห็นว่าสัญญาณ E และ F จะมีความกว้างเท่ากับผลต่างเฟสของสัญญาณเข้าทั้งสองพอดี

ค) <u>ชาร์ปัมป์</u> เมื่อ U106C หรือU106B เป็น 0 จะทำให้ความถี่ลดลงหรือเพิ่มขึ้นตามลำดับ โดยการสวิทช์กระแสคงที่เข้าหรือออกจากฟิลเตอร์เพื่อทำให้แรงดัน V_C คร่อมฟิลเตอร์ซึ่งใช้ควบคุม VCO เปลี่ยนไปในทิศทางที่ต้องการ แต่วงจร VCO ซึ่งจะกล่าวถึงในหัวข้อถัดไปมีอัตราขยายเป็นลบ คือ ความถี่ลดลงเมื่อแรงดันควบคุมสูงขึ้น ดังนั้นการเพิ่มความถี่จะต้องดึงกระแสออกและการลดความถี่จะต้องจ่ายกระแสเข้าสู่ฟิลเตอร์ ดังนี้

เมื่อ U106C เป็น 0 จะทำให้ Q101 นำกระแสจนอิ่มตัว จ่ายกระแสผ่าน R103 เข้าฟิลเตอร์โดยมีแรงดันที่ปลายของ R103 เท่ากับ 5.0-0.2 = 4.8 โวลท์ และเมื่อ U106B เป็น 0 จะดึงกระแสออกจากฟิลเตอร์ผ่าน R103 และ D101 โดยมีแรงดันที่ปลายของ R103 เท่ากับ 0.2+0.7 = 0.9 โวลท์ จะเห็นว่าการสวิทช์กระแสเข้าหรือออกจากฟิลเตอร์จะใช้การสวิทช์แหล่งจ่ายแรงดันผ่าน R103 แทน ดังนั้นเพื่อให้กระแสที่ไหลมีขนาดเท่ากันทั้งสองทิศทาง จึงให้จุดทำงานของ V_C คร่อมฟิลเตอร์อยู่ที่จุดกึ่งกลางระหว่างแรงดันทั้งสอง คือ 2.85 โวลท์ และถ้าให้ I_P เท่ากับ 2 มิลลิแอมแปร์ จะได้ R103 เท่ากับ 950 โอห์ม หรือประมาณ 1 กิโลโอห์ม R102 ช่วยทำให้ Q101 หยุดนำกระแสได้เร็วขึ้น เลือก R101 และ R102 ที่ทำให้ Q101 มีกระแสเบสอย่างน้อย 0.2 มิลลิแอมแปร์ และให้ U106C ดึงกระแส 2 มิลลิแอมแปร์เท่าๆ กับ U106B เพื่อให้ใช้เวลาในการสวิทช์ใกล้เคียงกัน

ง) <u>โวลเตจคอนโทรลออสซิลเลเตอร์</u> ใช้ U103B ซึ่งเป็นโมโนสเตเบิลมาต่อเป็นอะสเตเบิล โดยเอาสัญญาณออก Q มากระตุ้นขาเข้า ซึ่งทำงานด้วยขอบลงเมื่อให้ขา B เป็น 1 ดังนั้นเมื่อ Q ตกลงเป็น 0 จะกระตุ้นการทำงานของตนเองใหม่ Q จะกลับเป็น 1 จนครบกำหนดเวลา จึงจะตกลงมากระตุ้นใหม่อีก แต่ในตอนแรกวงจรจะไม่สามารถเริ่มออสซิลเลทได้เอง เนื่องจาก Q ค้างอยู่ในสภาวะเป็น 0 จำเป็นต้องมีการกระตุ้นจากภายนอกโดยใช้ $\overline{Q}$ ซึ่งมีค่าเป็น 1 มาเปิด U106A ให้ JCK ผ่านเข้าไปกระตุ้นขาเข้า B ซึ่งทำงานด้วยขอบขึ้นเมื่อ A เป็น 0 หลังจาก U103B เริ่มทำงาน Q จะมีค่าเป็น 0 เกือบตลอดเวลาโดยเกิดพัลซ์ 1 แคบๆ เท่านั้น ซึ่งสามารถกรองออกได้ด้วย C105 ทำให้พัลซ์หายไปจึงมีสถานะเป็น 0 ตลอดเวลา U106A จึงถูกห้ามหลังจากนั้นตลอดและทำให้ B เป็น 1 ตามต้องการสำหรับการทำงานตามปกติ

การควบคุมความถี่ซึ่งเป็นส่วนกลับของคาบเวลาจะใช้การควบคุมกระแส I_C ที่ชาร์จ C103 จากการวัดคุณสมบัติของ U103 จะพบว่า C103 จะถูกชาร์จจาก 0.7 โวลท์ ขึ้นมาจนถึง 2.2 โวลท์ จึงจะครบคาบเวลา และถูกดิสชาร์จลงมาเหลือ 0.7 โวลท์ ใหม่ ดังนั้นถ้าให้

C103 ถูกชาร์จด้วย I_c คงที่ จะได้คาบเวลา

$$T = C.\Delta V/I_c \quad \text{และ} \quad f = I_c/C.\Delta V$$

เมื่อ $\Delta V = 2.2 - 0.7 = 1.5$ โวลท์

Q102 และ Q103 ทำหน้าที่เปลี่ยนแรงดัน V_c ที่จุด G ในรูป 3.5ให้เป็นกระแส I_c จะได้

$$I_c = (V_{cc} - 2V_{BE} - V_c)/R$$

ดังนั้น
$$f = (V_{cc} - 2V_{BE} - V_c)/RC.\Delta V$$

และได้
$$K_o = \frac{1}{2} \cdot 2\pi \cdot \frac{df}{dV_c} = \frac{-\pi}{RC.\Delta V} = \frac{-\pi f}{V_{cc} - 2V_{BE} - V_c}$$

$$= -17.2 \times 10^6 \text{ rad/s/V} \quad @ \quad f = 4.096 \text{ Mhz},$$

$$V_c = 2.85 \text{ V}$$

จะเห็นว่า K_o มีค่าเป็นลบ คือ ความถี่ลดลงเมื่อ V_c เพิ่มขึ้น ดังนั้นวงจรชาร์จปัมป์จึงต้องกลับกับปกติดังได้กล่าวมาแล้ว การที่มี 1/2 คูณอยู่เนื่องจากความถี่ที่ออกมาจะถูกหาร 2 ด้วย U107A ก่อนป้อนกลับ R และ C ในที่นี้ คือ VR103 และ C103 ตามลำดับ C103 ใช้ค่า 100 พิโคฟารัด เพื่อไม่ให้กระแส I_c มากเกินไป คือ ประมาณ 0.6 มิลลิแอมแปร์ โดยต้องปรับ VR103 ให้ได้ V_c เท่ากับ 2.85 โวลท์ ที่ความถี่ขาเข้า 2.048 เมกกะเฮิร์ตซ์

จ) <u>ฟิลเตอร์</u> จาก I_p และ K_o ที่ได้ จะสามารถคำนวณหาค่า R, C ของฟิลเตอร์เพื่อให้ได้ความกว้างแถบความถี่ 8 กิโลเฮิร์ตซ์ ตามต้องการ โดยให้ $\omega_n = 2\pi \cdot 8000$ เรเดียนต่อวินาที และ $\xi = 0.707$ จะได้

R104 = 13 โอห์ม และ C104 = 2.2 ไมโครฟารัด

ค่า ω_n และ ξ ดังกล่าวจะให้ความกว้างแถบความถี่กว้างกว่า 8 กิโลเฮิร์ตซ์เล็กน้อย เนื่องจากผลของ Zero ในทรานเฟอร์ฟังก์ชัน ส่วนปัญหาเรื่องเสถียรภาพจะได้ว่า ω_n จะต้องน้อยกว่า $2\pi \cdot 60000$ เรเดียนต่อวินาที ดังนั้นจะเห็นว่าไม่มีปัญหาอันใดและระบบค่อนข้างจะมีเสถียรภาพดี

การที่ต่อฟิลเตอร์เข้ากับ +5V แทนที่จะต่อลง GND เพื่อให้วงจรเปลี่ยนแรงดันเป็นกระแสไม่ไวต่อการเปลี่ยนแปลงไฟเลี้ยงวงจรมากนัก เนื่องจากวงจรทำงานด้วยแรงดันเทียบกับ +5V ไม่ใช่เทียบกับ GND

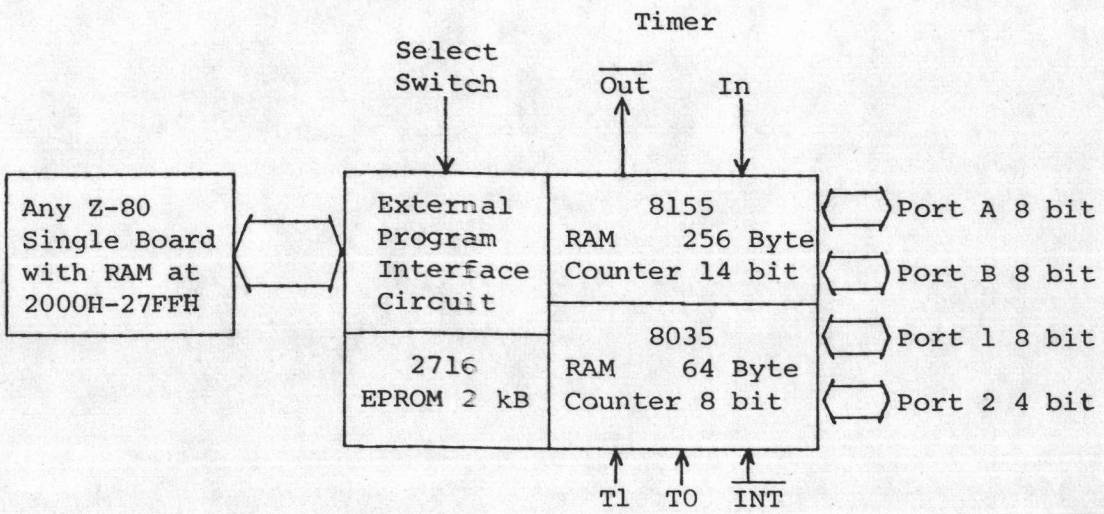
ในรูป 3.6 ได้แสดงสัญญาณที่จุด G-I สำหรับฟิลเตอร์และโวลเตจคอนโทรลซิลเลเตอร์เมื่อได้รับสัญญาณจากเฟสฟรีเควนซีดีเทคเตอร์ในลักษณะต่างๆ

3.3 หน่วยควบคุมสถานี

3.3.1 วงจรไมโครโปรเซสเซอร์

ประกอบด้วยองค์ประกอบดังรูป 3.7 คือ

- CPU เบอร์ 8035-11 ซึ่งสามารถทำงานด้วยสัญญาณนาฬิกา 6-11 เมกกะเฮิร์ตซ์, ใช้โปรแกรมจากหน่วยความจำภายนอก, มีพอร์ท 8 บิท 3 พอร์ท แต่ต้องใช้อ่านโปรแกรมภายนอกจึงเหลือ 1.5 พอร์ท หรือ 12 บิท, วงจรนับ/จับเวลา ขนาด 8 บิท, มี RAM ภายใน 64 ไบท์, มีขาทดสอบ 2 ขา คือ T0 และ T1 และอินเตอร์รัพต์ 1 ขา คือ $\overline{\text{INT}}$
- 8155 ซึ่งมีหน้าที่หลายประการ คือ เป็นพอร์ทแบบแฮนด์เชคได้ 2 พอร์ท, มี RAM 256 ไบท์ และมีวงจรนับขนาด 14 บิท
- EPROM เบอร์ 2716 ร่วมกับ 74LS373 เพื่อใช้เก็บโปรแกรมขนาด 2 กิโลไบท์
- วงจรอื่นๆ เพื่อช่วยให้สามารถต่อไปใช้โปรแกรมจากหน่วยความจำของวงจรไมโครโปรเซสเซอร์ภายนอก, เลือก CPU ให้ทำงานและช่วยยืดพัลซ์อินเตอร์รัพต์

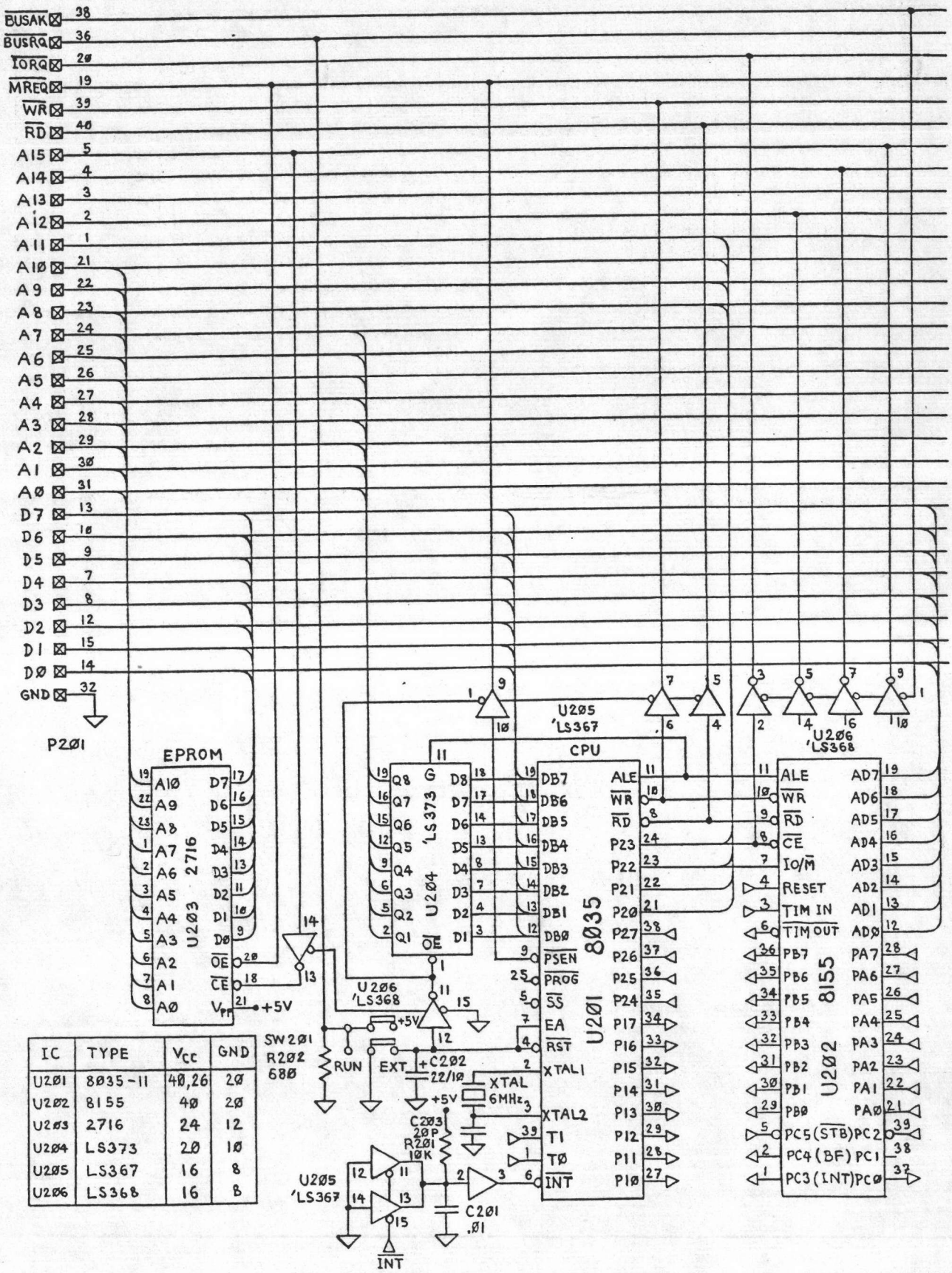


รูป 3.7 องค์ประกอบของวงจรไมโครโปรเซสเซอร์แสดงสัญญาณเข้าออกทั้งหมด

รูป 3.8 จะแสดงรายละเอียดของวงจรไมโครโปรเซสเซอร์ทั้งหมด P201 คือ ขั้วต่อสำหรับต่อไปเข้าบัสของวงจรไมโครโปรเซสเซอร์ชนิดแผ่นวงจรเดี่ยวภายนอกซึ่งใช้ Z-80 เป็น CPU และมี RAM อยู่ที่ 2000-27FF SW102 ใช้เลือกให้ CPU ตัวใดตัวหนึ่งทำงาน คือ EXT เลือก Z-80 ให้ทำงาน โดยทำให้ขา $\overline{RST}$ ของ 8035 เป็น 0 และ RUN เลือก 8035 ให้ทำงานโดยทำให้ $\overline{BUSRQ}$ ของ Z-80 เป็น 0 เพื่อทำ DMA ไปยัง RAM ในวงจรไมโครโฟรเซส-เซอร์ชนิดแผ่นพิมพ์เดี่ยวภายนอกที่แอดเดรสดังกล่าวข้างต้น ในระหว่างนี้ 8035 จะทำงานด้วยโปรแกรมจาก RAM ดังกล่าว ข้อมูลใน RAM จะถูกเขียนโดยวงจร Z-80 ในช่วง EXT โดยใช้มอนิเตอร์โปรแกรม, ภาคแสดงผลและปุ่มกดของวงจรดังกล่าวทั้งสิ้น เพื่อให้สะดวกในการทดลองและแก้ไขโปรแกรม แต่ถึงแม้ข้อมูลจะถูกเขียนโดย Z-80 แต่จะเป็นคำสั่งของ 8035 เหตุที่ต้องจัดระบบเช่นนี้เนื่องจากในการทำงานปกติ 8035 จะทำงานจากโปรแกรมใน EPROM และจะไม่มีการแก้ไขหรือเขียนข้อมูลใหม่โดยตรง ดังนั้นวงจร 8035 จะไม่มีมอนิเตอร์โปรแกรม, ภาคแสดงผลหรือปุ่มกดแต่อย่างใด แต่ในช่วงพัฒนาโปรแกรมหรือเมื่อเกิดปัญหาระหว่างปฏิบัติงาน จำเป็นจะต้องให้ระบบสามารถทำงานด้วยโปรแกรมอื่นได้ และต้องสามารถรับข้อมูลเข้าและแสดงผลออกมาได้ การจัดระบบดังกล่าวจึงค่อนข้างมีประสิทธิภาพกว่าการทำให้วงจร 8035 มีทุกอย่างครบหมด

เมื่อ SW201 อยู่ที่ EXT จะทำให้ $\overline{BUSRQ}$ ต่อเข้ากับ +5V และขา $\overline{RST}$ ของ 8035 ลง GND และจะทำให้ $\overline{OE}$ ของ U204 และ U205 เป็น 1 เพื่อปล่อยบัสลอย และถ้า SW201 อยู่ที่ RUN จะทำให้ $\overline{BUSRQ}$ เป็น 0 และหลังจากวงจร Z-80 รับรู้แล้วจะส่ง $\overline{BUSAK}$ กลับมาเป็น 0 พร้อมกับปล่อยบัสลอย ดังนั้นก่อนที่ $\overline{BUSAK}$ จะตอบกลับมา วงจร 8035 จะต้องยังไม่เริ่มทำงาน ดังนั้นจึงใช้ C202 ในการหน่วงเวลาให้ขา $\overline{RST}$ ของ 8035 ยังคงเป็น 0 อยู่ชั่วขณะเช่นเดียวกับตอนเริ่มเปิดเครื่อง เมื่อ $\overline{BUSAK}$ เป็น 0 จะทำให้ U206 ต่อเข้ากับบัสเพื่อทำให้แอด-เดรส 4 บิทบนเป็น 2 หรือ 0010 สำหรับเลือก RAM ในวงจร Z-80 และต่อ P23 เข้ากับ $\overline{IORQ}$ เพื่อให้สามารถเลือกใช้ I/O ของวงจร Z-80 ได้ เช่น ปุ่มกด หรือภาคแสดงผล และเมื่อ $\overline{RST}$ ของ 8035 ขึ้นเป็น 1 จะทำให้ U205 ต่อเข้ากับบัสเพื่อต่อสายควบคุมของ 8035 เข้าควบคุมแทน Z-80

มีข้อน่าสังเกต 4 ประการ คือ ประการแรกในขณะที่ให้ Z-80 ทำงานและรีเซ็ท 8035 นั้น DB7-DB0 ของ 8035 จะลอยก็ต่อเมื่อ EA เป็น 0 เท่านั้น ถ้า EA เป็น 1 จะทำให้ DB7-DB1 ส่งแอดเดรส 00 ออกมารอไว้แม้ว่าขณะนั้นจะถูกรีเซ็ทอยู่ก็ตาม ดังนั้นจึงต้องให้ EA เป็น 0



IC	TYPE	V_{CC}	GND
U201	8035-11	40,26	20
U202	8155	40	20
U203	2716	24	12
U204	LS373	20	10
U205	LS367	16	8
U206	LS368	16	8

รูป 3.8 วงจรไมโครโปรเซสเซอร์

ด้วยในขณะรีเซ็ท 8035 และเมื่อให้ 8035 ทำงานจะต้องให้ EA เป็น 1 เพราะต้องใช้โปรแกรมจากหน่วยความจำภายนอก แต่ EA จะเปลี่ยนแปลงได้เฉพาะในขณะที่ $\overline{RST}$ เป็น 0 เท่านั้น ดังนั้น EA จะต้องขึ้นเป็น 1 ก่อน $\overline{RST}$ แต่ขังเอิญ $\overline{RST}$ มีระดับลอจิก 1 ที่สูงกว่าธรรมดา คือ 3.0V ในขณะที่ EA เพียง 2.0V ตามปกติ [11] ดังนั้นจึงสามารถต่อ $\overline{RST}$ และ EA เข้าด้วยกันได้โดยตรงและมีคุณสมบัติตามต้องการ

ประการที่สอง RAM ในวงจร Z-80 ดังกล่าวจะต้องไม่ใช้สัญญาณ $\overline{RD}$ ของ Z-80 ในการถอดรหัสสำหรับการอ่าน คือ ให้ RAM ดังกล่าวใช้สัญญาณ $\overline{WR}$ เท่านั้น ถ้า $\overline{MREQ}$ เป็น 0 ในขณะที่ $\overline{WR}$ เป็น 1 หมายถึงการอ่าน เพราะสัญญาณอ่านโปรแกรมของ 8035 คือ $\overline{PSEN}$ จะต่อเข้ากับ $\overline{MREQ}$ ของ Z-80 เพียงเส้นเดียวเท่านั้นก็สามารถอ่านโปรแกรมได้ ส่วนสัญญาณ $\overline{RD}$ และ $\overline{WR}$ ของ 8035 จะต่อเข้ากับ $\overline{RD}$ และ $\overline{WR}$ ของ Z-80 สำหรับใช้อ่านและเขียน I/O ของ Z-80 โดยใช้ P23 เป็น 1 ทำให้ $\overline{IORQ}$ เป็น 0 เพราะ $\overline{RD}$ และ $\overline{WR}$ ของ 8035 ใช้สำหรับการอ่านและเขียนหน่วยความจำภายนอกสำหรับเก็บข้อมูล ซึ่งจะไม่เกิดพร้อมกับ $\overline{PSEN}$ ซึ่งเป็นการอ่านหน่วยความจำสำหรับเก็บโปรแกรม และจะเห็นว่าถ้า P23 เป็น 0 จะเกิดการอ่านหรือเขียนที่ 8155 แทน

ประการที่สาม จะเห็นว่า P23-P20 จะถูกใช้งานแบบมัลติเพลกซ์ คือ ในช่วงเฟทช์คำสั่งจะถูกใช้เป็นแอดเดรส 4 บิทบน นอกนั้นจะเป็นพอร์ทมีค่าตามที่ตั้งไว้ ดังนั้นถ้าต้องการใช้พอร์ทในช่วงซึ่งไม่ตรงกับการเฟ็ทช์คำสั่งดังกล่าวจะสามารถใช้ P23-P20 ได้ เช่นในกรณีนี้ ใช้ P23 ในการเลือก 8155 หรือ I/O ของวงจร Z-80 เมื่อมีค่าเป็น 0 หรือ 1 ตามลำดับ และใช้ P22 ในการเลือก IO/$\overline{M}$ ของ 8155 ด้วย โดยที่พอร์ทดังกล่าวจะต้องมีค่าถูกต้องในช่วง $\overline{RD}$ หรือ $\overline{WR}$ เป็น 0 เท่านั้น ซึ่งจะไม่ตรงกับการเฟทช์คำสั่งอย่างแน่นอน

และประการสุดท้าย จะเห็นว่าเมื่อ A15 ของ Z-80 เป็น 1 จะเลือก EPROM ให้ทำงาน ถ้า $\overline{MREQ}$ เป็น 0 นั่นหมายความว่า EPROM ของ 8035 จะเป็นหน่วยความจำตัวหนึ่งของ Z-80 ด้วย ในขณะที่ให้ Z-80 ทำงาน ทำให้เราสามารถใช้มอนิเตอร์โปรแกรมของ Z-80 ในการตรวจสอบค่าหรือย้ายค่าของ EPROM มาไว้ยัง RAM ที่ 2000 เพื่อแก้ไขเล็กน้อยและทดสอบ RUN ดูได้ด้วย แอดเดรสของ EPROM ดังกล่าวในระบบของ Z-80 จะอยู่ที่ 8000-FFFF ซ้ำๆ กัน ดังนั้นวงจร Z-80 จะต้องไม่มีหน่วยความจำอยู่ในช่วงดังกล่าว แต่จุดประสงค์หลักในการใช้ A15 เพื่อเลือก EPROM ให้ทำงาน คือ เพื่อให้ระบบทำงานด้วยโปรแกรมจาก

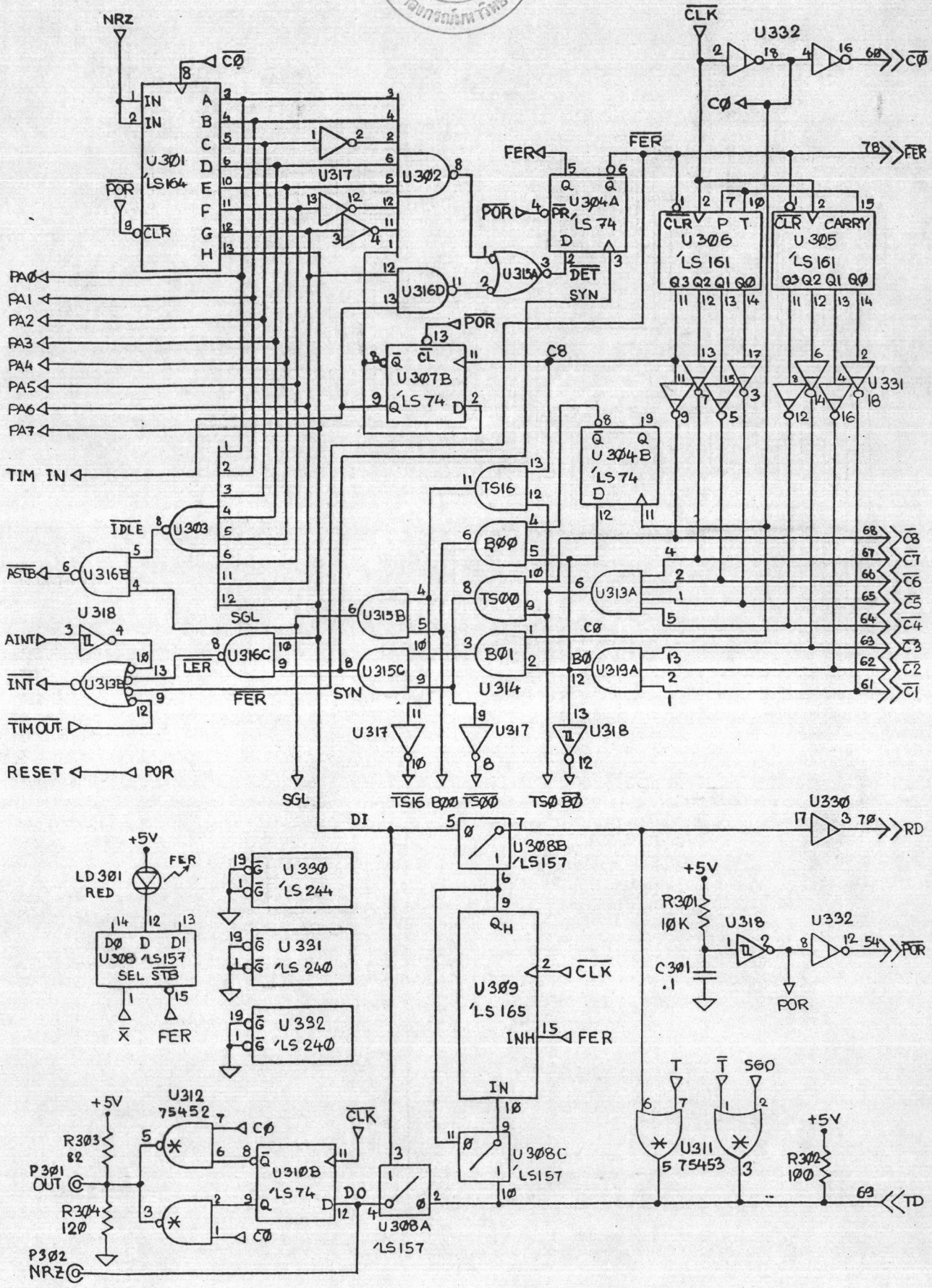
EPROM ในขณะใช้งานปกติ คือ เมื่อ SW201 อยู่ที่ RUN และไม่มีวงจร Z-80 มาต่ออยู่ เนื่องจากถึงแม้ว่า $\overline{\text{BUSRQ}}$ จะเป็น 0 อยู่ แต่ $\overline{\text{BUSAK}}$ จะไม่เป็น 0 ทำให้ U206 ปล่อย A15 ให้ลอย ดังนั้น A15 จึงเป็น 1 และ EPROM จะถูกเลือก ดังนั้นโปรแกรมจะถูกอ่านออกมาจาก EPROM แต่ถ้าต่อวงจร Z-80 เข้ากับ P201 จะทำให้ $\overline{\text{BUSAK}}$ เป็น 0 ผลคือ โปรแกรมจะถูกอ่านจาก RAM ที่ 2000-27FF แทน ดังได้กล่าวมาแล้ว

วงจร Z-80 หรือวงจรไมโครโปรเซสเซอร์ชนิดแผ่นพิมพ์เดี่ยวที่สามารถนำมาใช้ได้โดยตรง คือ Micro Professor I (MPF-I) โดยต้องเพิ่ม RAM เบอร์ 6116 สำหรับแอดเดรส 2000-27FF อีกหนึ่งตัวพร้อมกับตัดต่อวงจรตามคำแนะนำในคู่มือ [12] และต้องไม่ใช้ Z-80 CTC หรือ Z-80 PIO

นอกจากนี้ยังมีวงจรยืดพัลซ์อินเตอร์รัพต์ เพื่อให้นานเพียงพอสำหรับ 8035 จะสามารถตรวจพบได้ทัน คือ นานกว่าเวลาหนึ่งคำสั่งหรือ 2.5 ไมโครวินาที เมื่อใช้ผลึกความถี่ 6 เมกกะ-เฮิร์ตซ์ เมื่อ $\overline{\text{INT}}$ เข้ามาเป็น 0 จะทำให้ U205 ดึงแรงดันคร่อม C201 ให้ลงเป็น 0 ดังนั้นขา $\overline{\text{INT}}$ ของ 8035 จะเป็น 1 จนกระทั่ง $\overline{\text{INT}}$ ขึ้นเป็น 1 U205 จะลอย และ C201 จะถูกชาร์จขึ้นจาก 0 ด้วยกระแสจาก R201 เท่ากับ 0.5 มิลลิแอมแปร์ และกระแสเข้า I_{IL} ของไอซีตระกูล LSTTL ซึ่งจะมีทิศไหลออกจากไอซีเท่ากับ 0.4 มิลลิแอมแปร์ จนกระทั่งแรงดันถึง 1.4 โวลท์ จึงจะทำให้ขา $\overline{\text{INT}}$ ของ 8035 ขึ้นเป็น 1 เวลาที่ยืดออกไปได้จากการคำนวณได้ประมาณ 16 ไมโครวินาที และวัดได้ 12 ไมโครวินาที การที่ใช้ U205 ขนานกันเพื่อให้ดึงแรงดันคร่อม C201 ลงได้เร็วพอสำหรับพัลซ์ขนาด 250 นาโนวินาที ให้ยืดออกได้ตามต้องการ พัลซ์ดังกล่าวจะเกิดขึ้นในกรณีที่เกิด $\overline{\text{LER}}$ ขึ้น ดังจะกล่าวถึงในหัวข้อต่อไป

3.3.2 <u>วงจรควบคุมตามเวลาจริง</u> เป็นศูนย์กลางในการทำงานทั้งหมด เพราะสัญญาณจากวงจรอื่นๆ ทั้งหมด เช่น วงจรฟร็อนท์เอ็นด์ วงจรไมโครโปรเซสเซอร์ หรือหน่วยอินเตอร์เฟสต่างๆ จะผ่านวงจรนี้ทั้งหมด เนื่องจากวงจรมีขนาดใหญ่จึงแบ่งวงจรออกเป็น 2 ส่วน คือ ส่วนข้อมูลและสัญญาณเวลาส่วนหนึ่ง และส่วนตารางการสวิทช์และซิกแนลลิงอีกส่วนหนึ่ง

รูป 3.9 แสดงวงจรส่วนข้อมูลและสัญญาณเวลา โดยมีสัญญาณเข้ามาจากวงจรฟร็อนท์-เอ็นด์ คือ สัญญาณ NRZ, $\overline{\text{CLK}}$ และ CLK สัญญาณ $\overline{\text{CLK}}$ และ CLK เหมือนกับ $\overline{\text{CO}}$ และ CO ทุกประการเพียงแต่เกิดขึ้นก่อนเล็กน้อย สัญญาณ NRZ เข้า U301 เพื่อเลื่อนข้อมูลเข้ามาตรวจสอบหา



รูป 3.9 วงจรควบคุมตามเวลาจริงส่วนข้อมูลและสัญญาณเวลา

ซิงค์ โดยใช้ U302 ตรวจจับซิงค์ในเฟรมคู่ และ U316D ตรวจจับซิงค์ในเฟรมคี่ ถ้าพบข้อมูลรูปร่างตรงกับซิงค์เมื่อไรจะให้ $\overline{DET}$ ลงเป็น 0 ดังนั้น $\overline{DET}$ จะเป็น 0 หรือ 1 เมื่อไรก็ได้แต่ต้องเป็น 0 ในช่วงต้นของช่องเวลา 0 เพราะสัญญาณซิงค์จะเลื่อนเข้ามาพอดี ดังนั้น U304A จะเก็บค่า $\overline{DET}$ ในจังหวะเวลาดังกล่าวด้วย SYN ซึ่งจะมีขอบขึ้นที่กึ่งกลางบิทแรกของช่องเวลา 0 ในทุกๆ เฟรม ถ้าข้อมูลใน U304A เป็น 0 แสดงว่าปกติ แต่ถ้าเป็น 1 แสดงว่าไม่พบซิงค์ ดังนั้นจึงใช้ Q และ $\overline{Q}$ ของ U304A เป็น FER และ $\overline{FER}$ ได้ตามลำดับ เมื่อเกิด FER ขึ้นจะทำให้ U305 และ U306 ซึ่งใช้นับช่องเวลาหยุดลง และค้างอยู่ที่บิทแรกของช่องเวลา 0 ตลอดเวลา คือ C8-C1 เป็น 0 หมด ดังนั้น SYN จะเกิดขอบขึ้นที่กึ่งกลางบิททุกบิทตลอดเวลา เพราะ C0 จะยังคงมีอยู่ถ้าได้รับสัญญาณไบเฟส นั่นคือวงจรจะตรวจจับซิงค์ทุกครั้งที่ข้อมูลบิทใหม่เลื่อนเข้ามา เมื่อพบซิงค์ใหม่จะทำให้ FER หมดไป การนับช่องเวลาจะเริ่มทำงาน และการตรวจจับซิงค์จะหยุดลงจนกว่าจะถึงบิทแรกของช่องเวลา 0 ของเฟรมถัดไปจึงจะตรวจจับใหม่ตามปกติ ถ้าไม่พบซิงค์อีกจะเกิด FER และเริ่มจับซิงค์ตลอดเวลาใหม่จนกว่าจะพบซิงค์ที่แท้จริง

ในระหว่างที่เกิด FER ขึ้นนอกจากจะไปหยุดการนับช่องเวลา ยังไปห้าม U308 ซึ่งใช้สวิทช์ข้อมูลทำให้ข้อมูลที่ส่งไปยังอุปกรณ์หรือส่งไปยังสถานีถัดไปกลายเป็น 0 หมด ดังนั้นสถานีที่อยู่ถัดไปจะไม่ได้รับซิงค์และเกิด FER ต่อๆ กันไปจนถึงสถานีสุดท้ายเพื่อทำให้เกิด LER ดังได้กล่าวในบทที่ 2 มาแล้ว การห้าม U308 ยังทำให้ LD301 สว่างเพื่อแสดงให้รู้อีกด้วย นอกจากนี้ $\overline{FER}$ ยังไปอินเตอร์รัพต์ไมโครโปรเซสเซอร์ผ่านทาง U313B และไปห้ามการทำงานของ U309 ซึ่งใช้สำหรับการติดต่อภายในเพื่อให้คงค่าเดิมเอาไว้ $\overline{FER}$ จะถูกต่อเข้าอินเตอร์เฟสบัสด้วย

เมื่อ FER หมดไป U305 และ U306 จะเริ่มนับช่องเวลาโดยให้ C1-C8 ออกมา C8 จะต่อเข้า U307B เพื่อนับเฟรมคู่หรือคี่สำหรับเลือก U302 หรือ U316D ให้ตรวจจับซิงค์ที่ต้องการ นอกจากนี้ขาออกของ U307B ยังต่อเข้าขา TIM IN ของ 8155 เพื่อใช้จับเวลา ดังนั้นหนึ่งหน่วยเวลาที่จะนับได้จึงเท่ากับ 2 เฟรม หรือ 250 ไมโครวินาที สัญญาณ C1-C8 จะถูกกลับค่าส่งเข้าอินเตอร์เฟสบัส และใช้ในการกำเนิดสัญญาณเวลาต่างๆ ได้แก่ TS0 คือ ช่องเวลา 0 และ 16, TS00 คือ ช่องเวลา 0, TS16 คือ ช่องเวลา 16, B0 คือ บิทที่ 0 หรือบิทแรกของทุกช่องเวลา, B00 คือ ครึ่งบิทแรกของ B0, B01 คือ ครึ่งบิทหลังของ B0, SYN คือ B01 ใน TS00 ใช้ในการตรวจจับซิงค์ และ SGL คือ B00 ใน TS16 ใช้ในการรับส่งซิกแนลลิง การกำเนิด B00 ไม่สามารถใช้ B0 และ $\overline{C0}$ มา AND กันได้ เพราะ $\overline{C0}$ จะเกิดขึ้น

ก่อน B0 เล็กน้อย ดังนั้นจะทำให้ C0 ลูกต่อไปเกิดขึ้นก่อน B0 จะลงเป็น 0 และทำให้เกิดพัลซ์เล็กๆ ขึ้นอาจทำให้เกิดการผิดพลาดได้ จึงใช้ฟลิปฟลอป U304B ช่วยในการกำเนิด B00

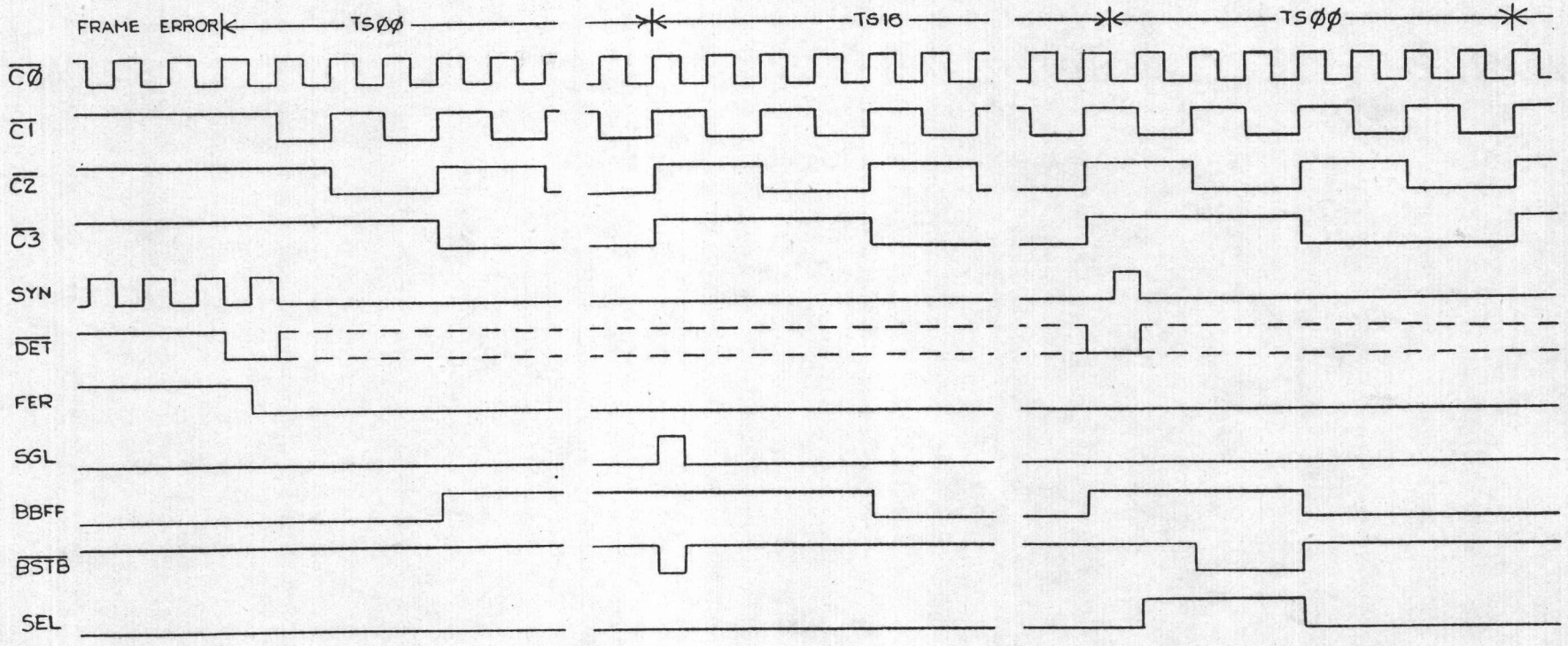
รูป 3.10 แสดงสัญญาณเวลาต่างๆ โดยเริ่มจากเกิด FER อยู่และสามารถตรวจจับซิงค์ได้ จึงเริ่มนับเป็นช่องเวลา 0 และแสดงการตรวจจับซิงค์ในช่องเวลา 0 ในเฟรมต่อๆไปด้วย นอกจากนี้ยังได้แสดงการส่งซิกแนลลิงในช่องเวลา 16 และการเขียนตารางการสวิทช์ดังจะได้กล่าวถึงในส่วนต่อไป

เมื่อถึงช่องเวลา 16 U303 จะตรวจสอบดูว่าข้อมูลทั้ง 8 บิทเป็น 1 หมดหรือไม่ ถ้าใช่แสดงว่าไม่มีซิกแนลลิงจากสถานีอื่นส่งมา ดังนั้น $\overline{\text{IDLE}}$ จะเป็น 0 แต่ถ้าข้อมูลไม่ใช่ 1 หมด จะทำให้ $\overline{\text{IDLE}}$ เป็น 1 และเมื่อ SGL เป็น 1 จะทำให้ $\overline{\text{ASTB}}$ เป็น 0 เพิ่มสโตรบซิกแนลลิงเข้าไปยังพอร์ท A ของ 8155 ซึ่งใช้เป็นพอร์ทเข้าแบบแฮนด์เชค ดังนั้นขา AINT จะขึ้นเป็น 1 หลังจากสโตรบข้อมูลเสร็จ และทำให้ U313B อินเตอร์รัพต์ไมโครโปรเซสเซอร์ให้มาอ่านซิกแนลลิงไป

ส่วนในช่องเวลา 0 นอกจากจะตรวจจับซิงค์แล้ว ยังต้องตรวจบิทแรกของซิงค์ซึ่งใช้แสดงสถานะผิดปกติของลูปหรือ LER ถ้าเป็น 1 จะต้องรีบอินเตอร์รัพต์ให้ไมโครโปรเซสเซอร์รู้เพื่อทำงานให้สอดคล้องกับสถานการณ์ U316C ทำหน้าที่ตรวจสอบ LER และส่งผลเข้า U313B เช่นเดียวกัน นอกจากนี้ขา $\overline{\text{TIM OUT}}$ ของ 8155 ซึ่งจะเกิดพัลซ์ 0 เพื่อแสดงว่าหมดเวลาที่ตั้งไว้ จะถูกต่อเข้า U313B เพื่ออินเตอร์รัพต์ด้วย

จะเห็นว่าการอินเตอร์รัพต์ไมโครโปรเซสเซอร์จะเกิดจากเหตุการณ์ต่างๆ 4 ชนิด คือ ได้รับซิกแนลลิงจากช่องเวลา 16, หมดเวลาที่ตั้งไว้ให้ 8155, เกิด FER หรือเกิด LER การอินเตอร์รัพต์ 2 ชนิดแรก สามารถตรวจสอบได้จากสถานะของ 8155 ว่าเกิดจากอะไรและสามารถสั่งให้เลิกอินเตอร์รัพต์ได้ ส่วน LER จะเกิดขึ้นเป็นพัลซ์กว้างเท่ากับ SYN คือ ครึ่งบิท ซึ่งจะถูกยืดพัลซ์ออกให้เพียงพอที่จะตรวจพบได้โดยวงจรไมโครโปรเซสเซอร์ แต่หลังจากนั้นการอินเตอร์รัพต์จะหายไป จนกระทั่งขึ้นเฟรมใหม่จึงเกิดพัลซ์อีกเช่นเดิมจนกว่า LER จะหมดไป ส่วน FER จะเกิดต่อเนื่อง ดังนั้นจึงสามารถแยกสาเหตุของการอินเตอร์รัพต์ได้ไม่ยากนัก

U308A, B และ C ใช้ในการสวิทช์ข้อมูล โดยใช้ $\overline{\text{X}}$ ในการควบคุม ถ้า $\overline{\text{X}}$ เป็น 0 จะเป็นการติดต่อภายนอก ดังนั้นจะต่อ TD เข้ากับ DO, DI เข้ากับ RD และรักษาค่าใน U309 เอาไว้โดยต่อขาออกกลับมายังขาเข้าให้วนเป็นลูปอยู่ U309 ร่วมกับ U310A ใช้หน่วงข้อมูลที่รับ



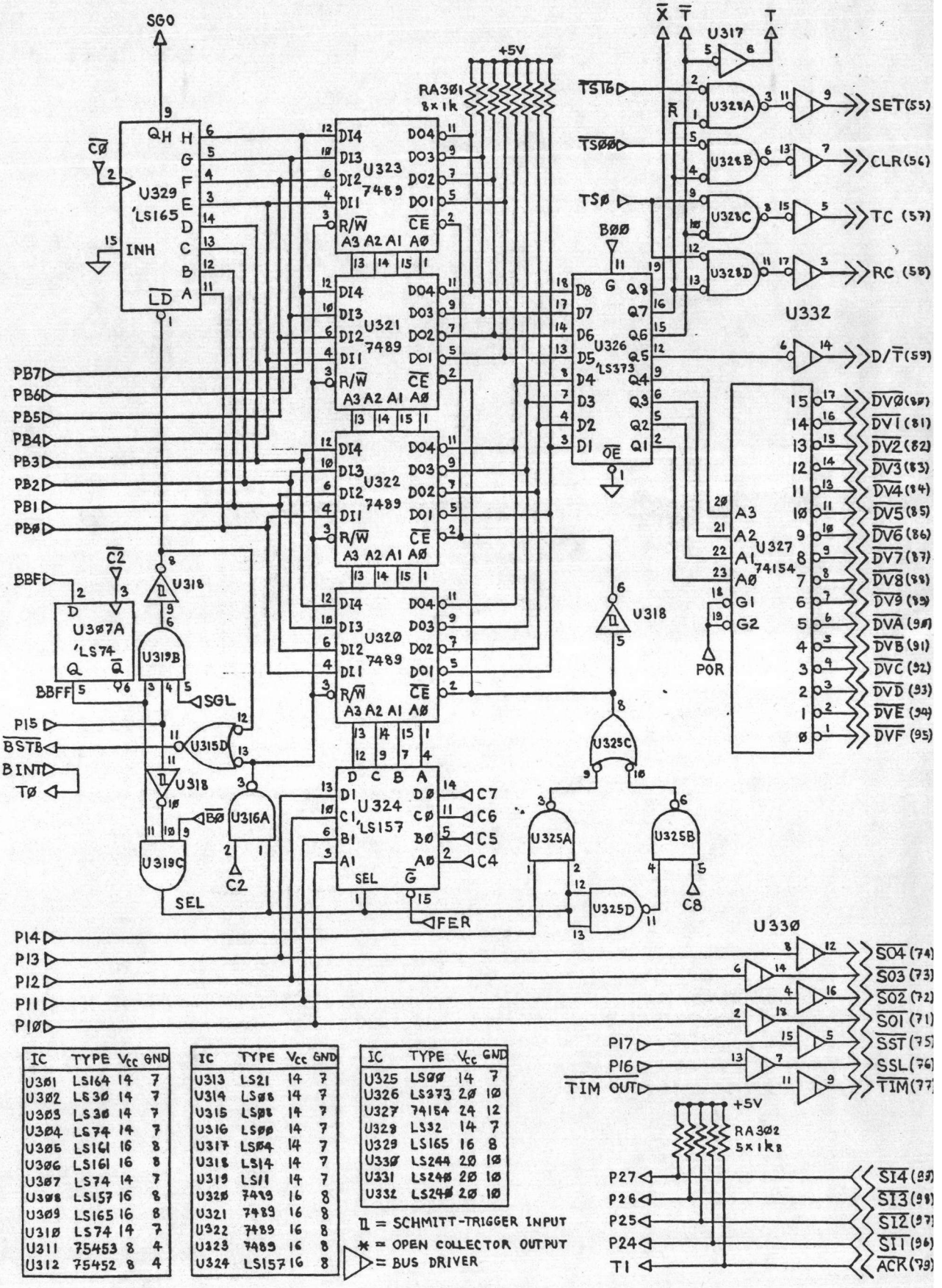
รูป 3.10 สัญญาณเวลาต่างๆในวงจรควบคุมตามเวลาจริง

ส่งกันในสถานีไว้หนึ่งช่องเวลาก่อนจะส่งออก ดังนั้นถ้า $\overline{X}$ เป็น 1 จะเป็นการติดต่อภายใน วงจรจะต่อ TD เข้ากับ U310A และต่อ U309 เข้ากับ RD ส่วน DI จะถูกต่อเข้า DO โดยตรง ดังนั้นข้อมูลที่อุปกรณ์ได้รับจะมาจาก U309 และข้อมูลที่อุปกรณ์ส่งจะเข้าแทนที่ค่าเดิมใน U309 นอกจากนี้ในกรณีที่ไม่มีอุปกรณ์ใดถูกสั่งให้ส่ง คือ T เป็น 0 จะทำให้ RD ถูกสัดเข้า TD โดยตรงผ่าน U311 ซึ่งมีขาออกแบบคอลเลคเตอร์เปิด และใช้สำหรับส่งชิกแนลลิงจาก SGO ในช่องเวลา 16 ด้วย

U310B ใช้หน่วงเวลา DO ไว้ครึ่งบิทเพื่อปรับขอบของสัญญาณให้เกิดขึ้นที่เวลาที่ถูกต้อง เพราะข้อมูลบน DO อาจต่อมาจากอุปกรณ์ต่างๆ บนอินเตอร์เฟสบัสผ่าน TD และ U308A เข้ามา ทำให้ขอบของสัญญาณอาจคลาดเคลื่อนไปได้มาก ถ้ามาใส่รหัสไบเฟสจะมีติ่งสัญญาณปรากฏมาก จึงต้องมาปรับเวลาก่อนส่งเข้า U312 เพื่อใส่รหัสไบเฟสก่อนส่งออกจากสถานี จะเห็นว่า U310B ใช้ CLK ในการอ่านข้อมูลแทนที่จะใช้ CO ตามปกติ เนื่องจากต้องการให้ข้อมูลที่เข้า U312 เปลี่ยนแปลงพร้อมๆ กับ CO และ $\overline{CO}$ เพื่อไม่ให้มีติ่งสัญญาณเกิดขึ้นในสัญญาณไบเฟส

ส่วน POR จะทำงานในตอนเริ่มจ่ายไฟเลี้ยงเพื่อเริ่มต้นทำงานอย่างถูกต้อง โดยจะทำให้ U304A เป็น 1 และ U307B เป็น 0 เพื่อทำให้เกิด FER และเริ่มต้นตรวจจับซิงค์เฟรมคู่ พร้อมกับเคลียร์ค่าใน U301 เพื่อป้องกันการตรวจจับซิงค์ผิดพลาด นอกจากนี้ยังต่อเข้าอินเตอร์เฟสบัสและขา RESET ของ 8155 รวมทั้งใช้ห้ามการทำงานของ U327 ในรูป 3.11 อีกด้วย หลังจากนั้น POR จะไม่มีผลอะไรทั้งสิ้น

รูป 3.11 แสดงวงจรส่วนตารางการสวิทช์และชิกแนลลิง ตารางการสวิทช์ประกอบด้วย U320, U321, U322 และ U323 ประกอบเป็น RAM ขนาด 32 × 8 บิท การอ่านตารางจะเกิดขึ้นในครึ่งบิทแรกของทุกช่องเวลา โดยมี U326 เก็บค่าค้างไว้ตลอดช่องเวลานั้นๆ ข้อมูลจากตารางจะถูกถอดรหัสโดย U327 และ U328 เข้าสู่อินเตอร์เฟสบัส ขณะเดียวกันตารางการสวิทช์จะต้องถูกเขียนจากไมโครโปรเซสเซอร์ โดยมีหมายเลขช่องของตารางส่งมาทาง P14-P10 และข้อมูลส่งมาทางพอร์ท B ของ 8155 ซึ่งจะใช้เป็นพอร์ทออกแบบแฮนด์เชค และ P15 จะต้องเป็น 0 ขณะเดียวกันพอร์ทดังกล่าวจะใช้ในการส่งชิกแนลลิงออกในช่องเวลา 16 อีกด้วย โดยให้ P15 เป็น 1



IC	TYPE	V_{cc}	GND
U301	LS164	14	7
U302	LS30	14	7
U303	LS30	14	7
U304	LS74	14	7
U305	LS161	16	8
U306	LS161	16	8
U307	LS74	14	7
U308	LS157	16	8
U309	LS165	16	8
U310	LS74	14	7
U311	75453	8	4
U312	75452	8	4

IC	TYPE	V_{cc}	GND
U313	LS21	14	7
U314	LS08	14	7
U315	LS08	14	7
U316	LS00	14	7
U317	LS04	14	7
U318	LS14	14	7
U319	LS11	14	7
U320	7489	16	8
U321	7489	16	8
U322	7489	16	8
U323	7489	16	8
U324	LS157	16	8

IC	TYPE	V_{cc}	GND
U325	LS00	14	7
U326	LS373	20	10
U327	74154	24	12
U329	LS165	16	8
U330	LS244	20	10
U331	LS240	20	10
U332	LS240	20	10

⊓ = SCHMITT-TRIGGER INPUT
* = OPEN COLLECTOR OUTPUT
▷ = BUS DRIVER

รูป 3.11 วงจรควบคุมตามเวลาจริงส่วนตารางการสวิทช์และซิกแนลลิง

เมื่อข้อมูลถูกส่งออกมายังพอร์ท B จะทำให้ BBF ขึ้นเป็น 1 และ U307 จะช่วยจัดเวลาให้เหมาะสมเป็น BBFF ดังรูป 3.10 ถ้า P15 เป็น 1 จะต้องรอจนถึงช่องเวลา 16 ซึ่ง SGL จะเป็น 1 ในครึ่งบิทแรก ทำให้ข้อมูลบนพอร์ทถูกเขียนลง U329 และถูกเลื่อนส่งออกทีละบิทในช่องเวลา 16 นั้นจนหมด แต่ถ้า P15 เป็น 0 จะทำให้สัญญาณ SEL เลือกแอดเดรสของตารางจาก P14-P10 ทันทีที่ BBFF ขึ้นเป็น 1 ยกเว้นในบิทแรกของช่องเวลาทุกช่องเท่านั้นที่จะเลือกแอดเดรสจากหมายเลขช่องเวลาในขณะนั้นแทน การเลือกจะใช้ U324 เลือกแอดเดรสโดยตรง 4 บิท และใช้ U325 เลือก $\overline{CE}$ ของไอซีให้ทำงานทีละคู่ แต่การเขียนจะเกิดขึ้นในช่วงซึ่ง C2 เป็น 1 ซึ่งมีอยู่ 2 ช่วงในหนึ่งช่องเวลา ดังนั้นการเขียนตารางการสวิทช์จะเกิดขึ้นภายในครึ่งช่องเวลาหลังจาก BBFF เป็น 1

เมื่อการเขียนเกิดขึ้นไม่ว่าจะเขียนซิกแนลลิงหรือตารางการสวิทช์ก็ตาม จะทำให้ $\overline{BSTB}$ ลงเป็น 0 ดังนั้น BBF จะลงเป็น 0 และทำให้ BBFF เป็น 0 ในเวลาต่อมา การเขียนจะสิ้นสุดลงพร้อมกับ BINT จะขึ้นเป็น 1 เพื่อแจ้งให้ไมโครโปรเซสเซอร์ทราบผ่านทาง T0 วงจรที่เหลือเป็นเพียงทางผ่านของสัญญาณจากวงจรไมโครโปรเซสเซอร์ไปยังอินเตอร์เฟสบัสและในทางกลับกันด้วยเท่านั้น

3.4 หน่วยอินเตอร์เฟสโทรศัพท์

3.4.1 ลักษณะทั่วไป

ก) วงจรใส่และถอดรหัสเสียง ทำหน้าที่เปลี่ยนระดับแรงดันของสัญญาณเสียงให้เป็นรหัสเชิงเลขแบบ PCM เพื่อส่งไปให้ปลายทาง และสามารถแปลงกลับมาเป็นระดับแรงดันเดิมได้ ลักษณะการทำงานคล้ายกับวงจร A/D และ D/A ทั่วไป แต่เนื่องจากนำมาใช้ในการรับส่งสัญญาณเสียงโทรศัพท์โดยเฉพาะจึงถูกกำหนดจากคุณสมบัติดังต่อไปนี้

1) เสียงโทรศัพท์มีความกว้างแถบความถี่จาก 300-3400 เฮิร์ตซ์ จากทฤษฎีการสุ่มจะได้ว่าอัตราการสุ่มอย่างน้อยจะต้องเป็น 2 เท่าของความถี่สูงสุดของสัญญาณ โดยทั่วไปจึงใช้อัตราการสุ่ม 8000 ครั้งต่อวินาที ตามมาตรฐานของ CCITT ดังนั้นเวลาที่ใช้ในการแปลงจะต้องน้อยกว่า 125 ไมโครวินาที คือ สามารถแปลงเสียงเป็นข้อมูลส่งได้ทุกเฟรม

2) จำนวนบิทของข้อมูลที่แปลงจากการสุ่มแต่ละครั้งจะต้องไม่มากเกินไปจนอัตราการส่งข้อมูลสูงมาก แต่ต้องไม่น้อยเกินไปจนกระทั่งสเต็ปไซส์ (Step size) ใหญ่เกินไป ซึ่งจะทำ

ให้ความเพี้ยนมากเกินสมควร โดยทั่วไปใช้ 7-8 บิทต่อการสุ่ม 1 ครั้ง รวมเป็นอัตราการส่งข้อมูล 56-64 กิโลบิทต่อวินาที คือ สามารถใช้ช่องเวลาหนึ่งช่องในการส่งได้

3) เนื่องจากสัญญาณเสียงมีแอมปลิจูดไม่คงที่ ดังนั้นในขณะที่สัญญาณเล็กๆ ถ้าหากใช้สเต็ปไซส์เท่ากับในขณะที่สัญญาณใหญ่ๆ แล้ว จะทำให้ความเพี้ยนประมาณคงเดิมแต่สัญญาณเล็กลง อัตราส่วนสัญญาณต่อความเพี้ยนจะลดลง ทำให้คุณภาพเสียงที่สัญญาณเล็กจะแย่กว่าสัญญาณใหญ่ แต่ลักษณะการกระจายทางสถิติของเสียงจะมีโอกาสพบสัญญาณเล็กได้มากกว่าสัญญาณใหญ่ ดังนั้นจึงจำเป็นต้องทำให้ความเพี้ยนลดลงตามขนาดสัญญาณ เพื่อให้อัตราส่วนสัญญาณต่อความเพี้ยนคงที่ ซึ่งอาจทำได้โดยใช้สเต็ปไซส์ใหญ่ในช่วงสัญญาณใหญ่และสเต็ปไซส์เล็กลงเมื่อสัญญาณเล็กลง ลักษณะดังกล่าวจะเสมือนกับนำสัญญาณเสียงไปผ่านวงจรไม่เป็นเชิงเส้นซึ่งมีลักษณะลอการิทึมก่อนแล้วนำมาผ่านวงจร A/D ธรรมดา และการแปลงกลับจะทำในลักษณะตรงข้ามกันที่เรียกว่า Compander กฎหรือสมการที่ใช้ในการใส่รหัสแบบลอการิทึมซึ่ง CCITT ยอมรับเป็นมาตรฐานมีอยู่ 2 แบบ คือ μ-Law ซึ่งใช้ในอเมริกาเหนือ และ A-Law ซึ่งใช้ในยุโรป ทั้ง 2 แบบไม่มีความแตกต่างในการใช้งานมากนักจนไม่อาจบอกได้ว่าแบบใดดีกว่า สมการของทั้ง 2 แบบ คือ

$$\mu\text{-Law} \quad : \quad F(x) = \text{Sgn}(x) \frac{\ln(1 + \mu|x|)}{\ln(1 + \mu)}$$

$$\text{A-Law} \quad : \quad F(x) = \text{Sgn}(x) \frac{A|x|}{(1 + \ln A)} \quad \text{for} \quad 0 \leq |x| \leq \frac{1}{A}$$

$$F(x) = \text{Sgn}(x) \frac{(1 + \ln A|x|)}{(1 + \ln A)} \quad \text{for} \quad \frac{1}{A} \leq |x| \leq 1$$

เมื่อ x = Normalized input signal

$F(x)$ = Normalized compress signal

μ = 255 , A = 87.6

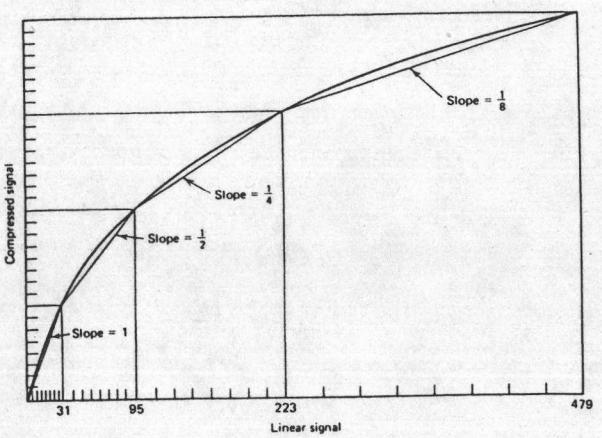
ทั้ง 2 แบบใช้การประมาณด้วยเส้นตรงเป็นช่วงๆ 15 ช่วงสำหรับ μ-Law และ 13 ช่วงสำหรับ A-Law โดยมีบิทแรกบอกเครื่องหมาย 3 บิทถัดไปบอกช่วงของเส้นตรงที่ใช้ในการประมาณในแต่ละซีกบวกลบได้ 8 ช่วง อีก 4 บิทที่เหลือบอกตำแหน่งบนเส้นตรงแต่ละช่วง ซึ่งมี 16 ตำแหน่ง เส้นตรงช่วงกลางๆ จะต่อเป็นเส้นเดียวกันพอดี หน่วยอินเตอร์เฟสนี้จะใช้

จะใช้ μ-Law ซึ่งมีคุณสมบัติดังตาราง 3.1 จะเห็นว่าสเต็ปไซส์เพิ่มขึ้นเท่าตัวเมื่อขึ้นช่วงใหม่ รูป 3.12 แสดงผลการใส่รหัสแบบ μ-Law โดยการประมาณด้วยเส้นตรงใน 4 ช่วงแรก เทียบกับ μ-Law จริงๆ และรูป 3.13 แสดงอัตราส่วนสัญญาณต่อความเพี้ยนที่ขนาดสัญญาณต่างๆ ซึ่งจะมีค่าคงที่ในช่วงกว้างมาก การที่มีลักษณะเป็นลอนเกิดจากการเปลี่ยนสเต็ปไซส์ใหญ่ขึ้นทันทีเมื่อเปลี่ยนช่วงของเส้นตรง

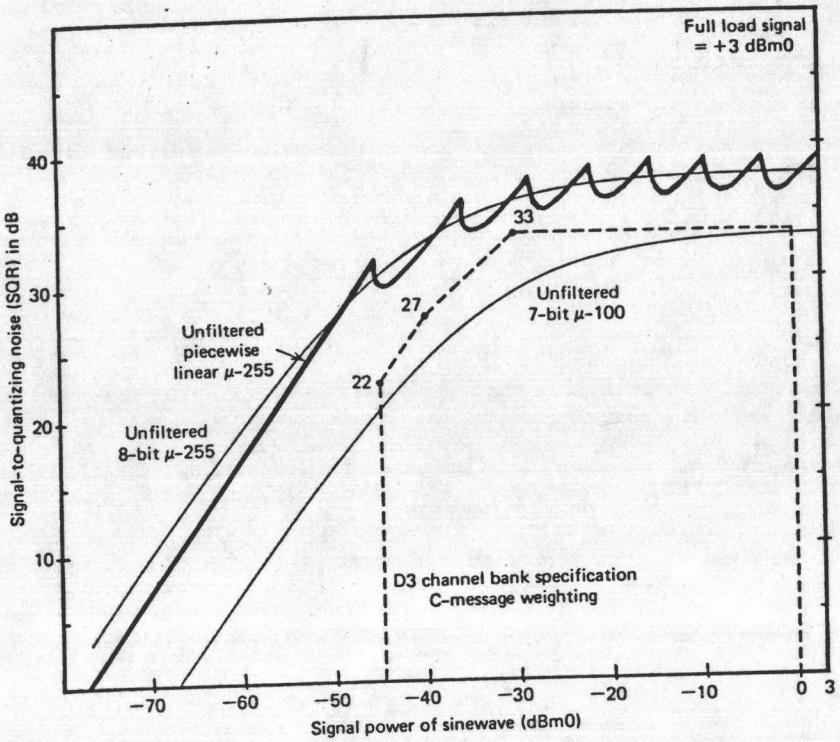
ตาราง 3.1 การใส่และถอดรหัสสำหรับ μ-255 PCM

Input Amplitude Range	Step Size	Segment Code S	Quantization Code Q	Code Value	Decoder Amplitude
0-1	1		0000	0	0
1-3			0001	1	2
3-5	2	000	0010	2	4
⋮			⋮	⋮	⋮
29-31			1111	15	30
31-35			0000	16	33
⋮	4	001	⋮	⋮	⋮
91-95			1111	31	93
95-103			0000	32	99
⋮	8	010	⋮	⋮	⋮
215-223			1111	47	219
223-239			0000	48	231
⋮	16	011	⋮	⋮	⋮
463-479			1111	63	471
479-511			0000	64	495
⋮	32	100	⋮	⋮	⋮
959-991			1111	79	975
991-1055			0000	80	1023
⋮	64	101	⋮	⋮	⋮
1951-2015			1111	95	1983
2015-2143			0000	96	2079
⋮	128	110	⋮	⋮	⋮
3935-4063			1111	111	3999
4063-4319			0000	112	4191
⋮	256	111	⋮	⋮	⋮
7903-8159			1111	127	8031

[a]This table displays magnitude encoding only. Polarity bits are assigned as "0" for positive and "1" for negative. In transmission all bits are inverted.



รูป 3.12 การใส่รหัสแบบ μ-Law โดยการประมาณด้วยเส้นตรง 4 ช่วงแรก

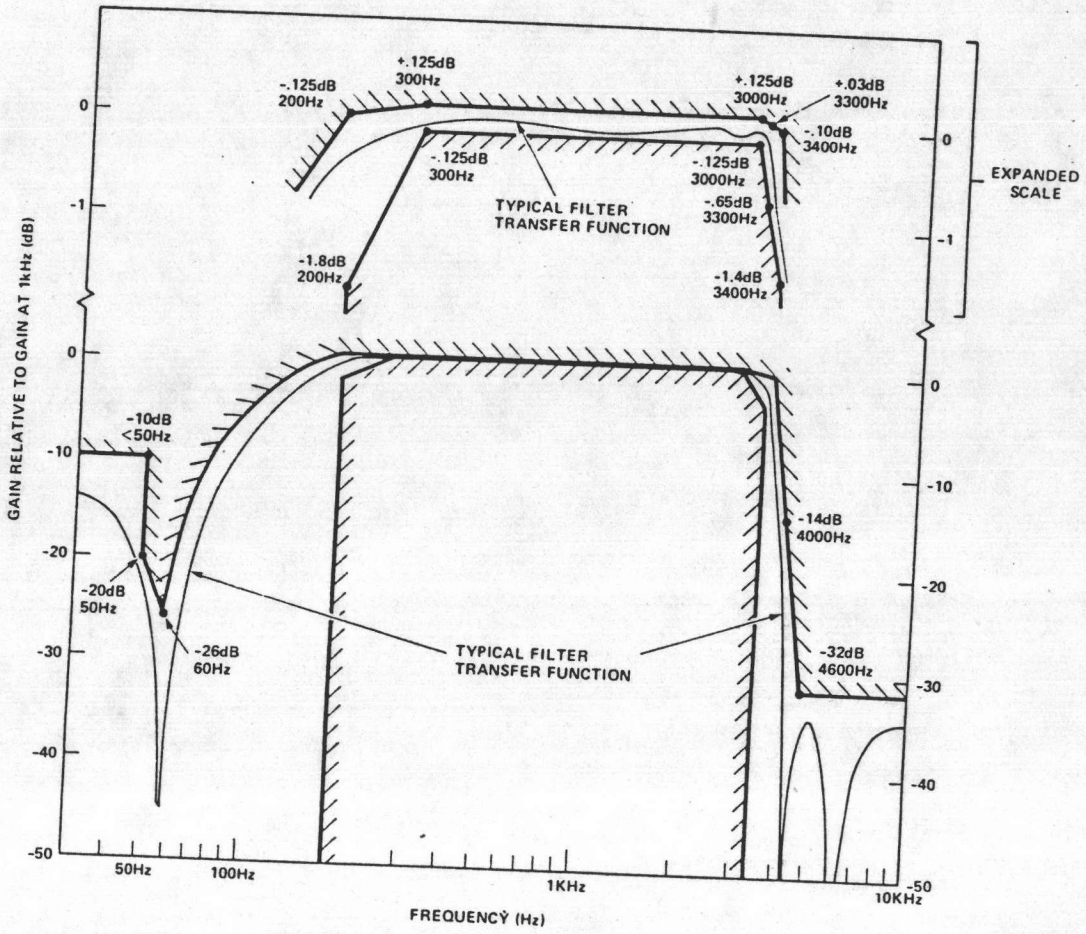


รูป 3.13 อัตราส่วนสัญญาณต่อความเพี้ยนที่ขนาดสัญญาณต่างๆ

ข) <u>วงจรฟิลเตอร์</u> จุดประสงค์ของฟิลเตอร์ภาคส่ง คือ ตัดความถี่สูงทิ้งไปเพื่อป้องกัน Alias ซึ่งเป็นการพับกลับทางความถี่ลงมาเป็นความถี่ต่ำ เมื่อสัญญาณถูกสุ่มด้วยอัตราต่ำกว่า 2 เท่าของความถี่นั้นๆ ดังนั้นจะต้องตัดความถี่สูงกว่า 4000 เฮิร์ตซ์ทิ้งไป แต่ต้องให้ความถี่ 300-3400 เฮิร์ตซ์ผ่านได้ นอกจากนี้ยังจะต้องตัดความถี่ต่ำ เช่น 50 เฮิร์ตซ์ทิ้งด้วย ส่วนฟิลเตอร์ภาครับใช้กรองความถี่สูงซึ่งเกิดจากการสุ่มตัวอย่างทิ้งไปให้เหลือแต่สัญญาณเสียง รวมทั้งชดเชยการลดทอนเนื่องจาก Sample & Hold ซึ่งมีลักษณะเป็น sin x/x เมื่อ x = πf/8000

รูป 3.14 และรูป 3.15 แสดงคุณสมบัติของฟิลเตอร์ภาคส่งและภาครับตามลำดับตามข้อกำหนดของ CCITT G.712 จะเห็นว่าความชันของฟิลเตอร์บริเวณความถี่คัทออฟมีค่าสูงมาก คือ ประมาณ 140-160 dB/dec ถ้าจะใช้วงจรอันดับต่ำๆ ต้องใช้เอลลิปติกฟิลเตอร์ซึ่งมีความไวต่อความคลาดเคลื่อนของอุปกรณ์สูงมากไม่เหมาะในการต่อแบบแยกชิ้น ควรใช้ในไอซีและใช้การทำงานแบบ Switch capacitor เพราะสามารถควบคุมอัตราส่วนของตัวเก็บประจุได้ดี แต่ในที่นี้จะใช้วงจรง่ายๆ แทน คือ ใช้วงจรอันดับ 8 ซึ่งมีแต่โพลล้วน นอกจากนี้เพื่อความสะดวกจะให้

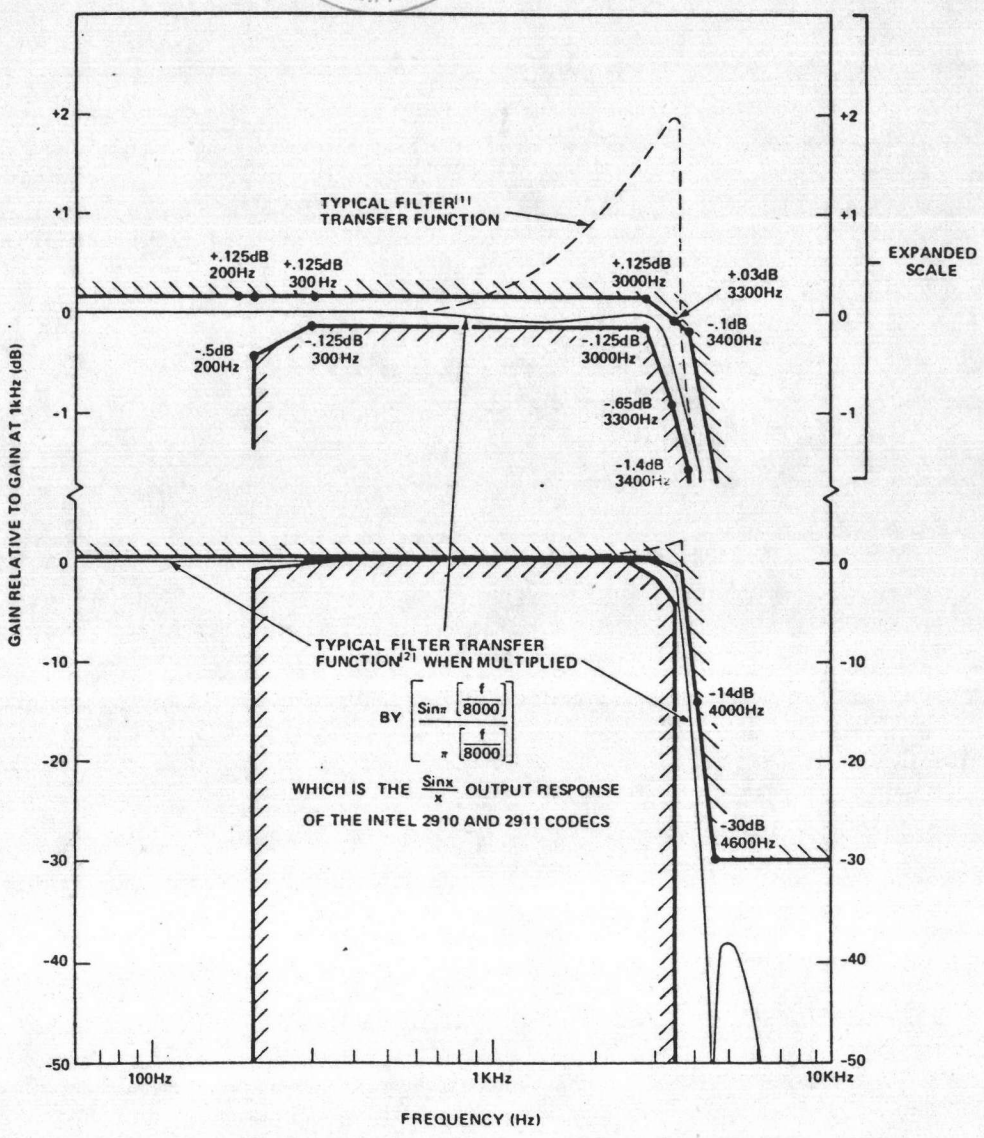
วงจรภาคส่งและภาครับเหมือนกัน โดยมีโอเวอร์ชูทเพื่อแก้ sin x/x กันคนละครึ่ง



รูป 3.14 คุณสมบัติของวงจรฟิลเตอร์ภาคส่งตาม CCITT G.712

การออกแบบจะใช้วงจรอันดับ 2 มาต่อกัน 4 ชุด โดยให้ 3 ชุดแรกต่อกันเป็นวงจรบัตเตอร์เวอร์ธโลว์พาสฟิลเตอร์อันดับ 6 และชุดสุดท้ายสำหรับสร้างโอเวอร์ชูท ส่วนวงจรไฮพาสฟิลเตอร์จะใช้การคัปปลิงสัญญาณด้วยวงจร RC ธรรมดาก่อนเข้าและออกจากฟิลเตอร์เพื่อตัดความถี่ต่ำกว่า 300 เฮิร์ตซ์ ค่าพารามิเตอร์สำหรับวงจรอันดับสองทั้ง 4 ชุดหาได้ ดังนี้

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย



รูป 3.15 คุณสมบัติของวงจรฟิลเตอร์ภาครับตาม CCITT G.712

วงจรบัตเตอร์เวอร์ธอันดับ 6 จะมีโพล 3 คู่อยู่ที่มุม 15°, 45° และ 75° จากแกนจริง และมีระยะห่างจากจุดกำเนิด คือ ความถี่ธรรมชาติเท่ากับความถี่คัทออฟ ดังนั้น 3 ชุดแรกจะมี $\omega_n = 2\pi(3400)$ เรเดียนต่อวินาทีเท่ากัน และ ξ เท่ากับ $\cos 15^{\circ}$, $\cos 45^{\circ}$ และ $\cos 75^{\circ}$ ตามลำดับ ส่วนชุดสุดท้ายจะมีโอเวอร์ชูทแต่ต้องไม่มีผลเกิน 4000 เฮิร์ตซ์ขึ้นไป ดังนั้นจะให้ ω_1 คือ ความถี่ซึ่งอัตราขยายเป็น 1 มีค่าเท่ากับ $2\pi(4000)$ เรเดียนต่อวินาที ทำให้อัตราขยายของชุดสุดท้ายที่ความถี่สูงกว่า ω_1 จะมีค่าน้อยกว่า 1 และจะได้ ω_p คือ ความถี่ซึ่งเกิดโอเวอร์ชูทสูงสุดอยู่ที่ $\omega_1/\sqrt{2} = 2\pi(2828)$ เรเดียนต่อวินาที จึงให้โอเวอร์ชูทสูงสุดดัง

กล่าว คือ A_p มีค่าเท่ากับ $(x/\sin x)^{\frac{1}{2}}$ เพื่อแก้การลดทอนข้างต้นลงครึ่งหนึ่ง จะได้ $A_p = 1.113$ ดังนั้น

$$\text{จาก} \quad A_p = 1/2\ \xi\ [1 - \xi^2]^{\frac{1}{2}}$$

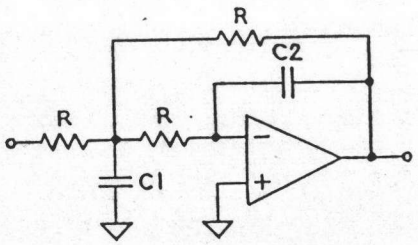
$$\text{และ} \quad \omega_p = \omega_n[1 - 2\xi^2]^{\frac{1}{2}}$$

จะได้ $\omega_n = 2\pi(4266)$ เรเดียนต่อวินาที และ $\xi = 0.529$

วงจรอันดับ 2 แต่ละชุดจะมีลักษณะดังรูป 3.16 จะเห็นว่ากำหนดให้ R ทั้ง 3 ตัวมีค่าเท่ากัน เพื่อให้สะดวกในการหาค่าอุปกรณ์ วงจรดังกล่าวจะมีคุณสมบัติดังนี้

$$\omega_n RC_2 = 2\xi/3$$

$$C_2/C_1 = (2\xi/3)^2$$



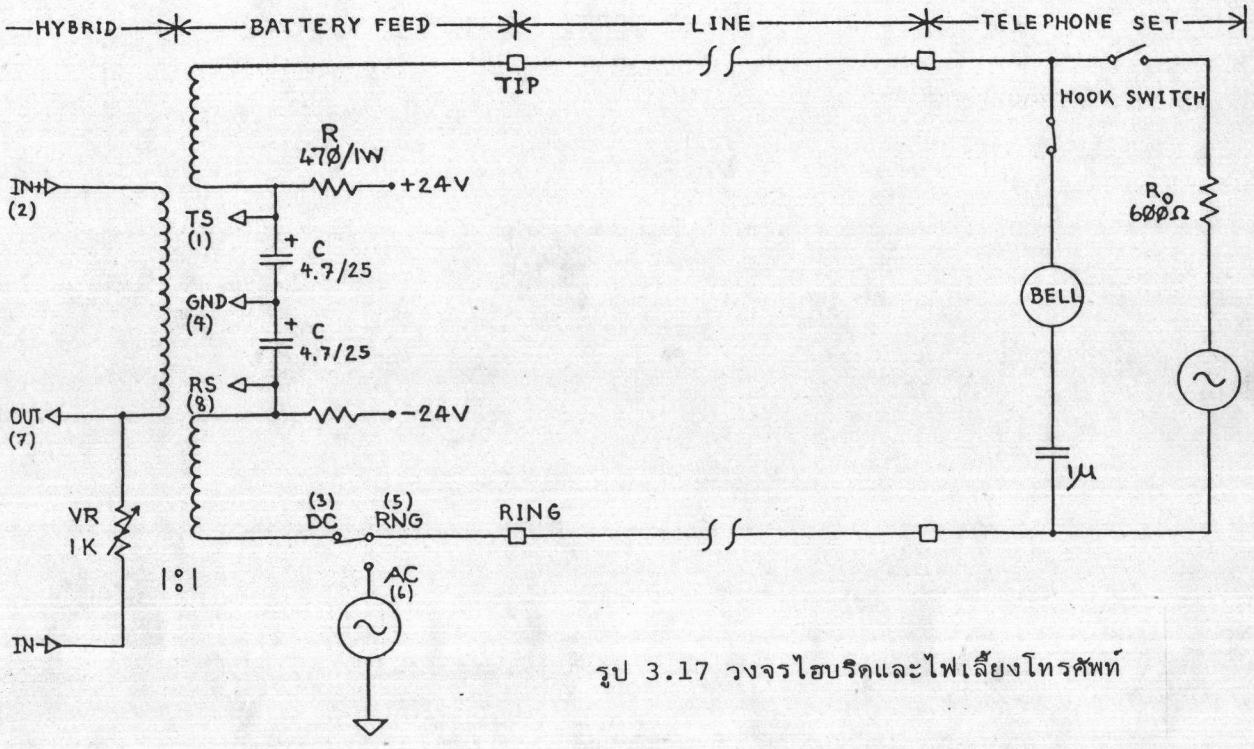
รูป 3.16 วงจรอันดับ 2 แต่ละชุดในวงจรฟิลเตอร์

ดังนั้นจาก ξ และ ω_n ของวงจรทั้ง 4 ชุดจะสามารถหาค่าอุปกรณ์ได้ โดยสมมติ C_2 ก่อน และคำนวณหา C_1 และ R ดังนั้นจะทดลองหาค่า C_2 ซึ่งทำให้ได้ค่าอุปกรณ์มาตรฐานหรือใกล้เคียงที่สุด จะได้ค่าอุปกรณ์ทั้ง 4 ชุดดังตาราง 3.2 ค่าในวงเล็บ คือ ค่าอุปกรณ์มาตรฐานที่ใกล้เคียงที่สุด

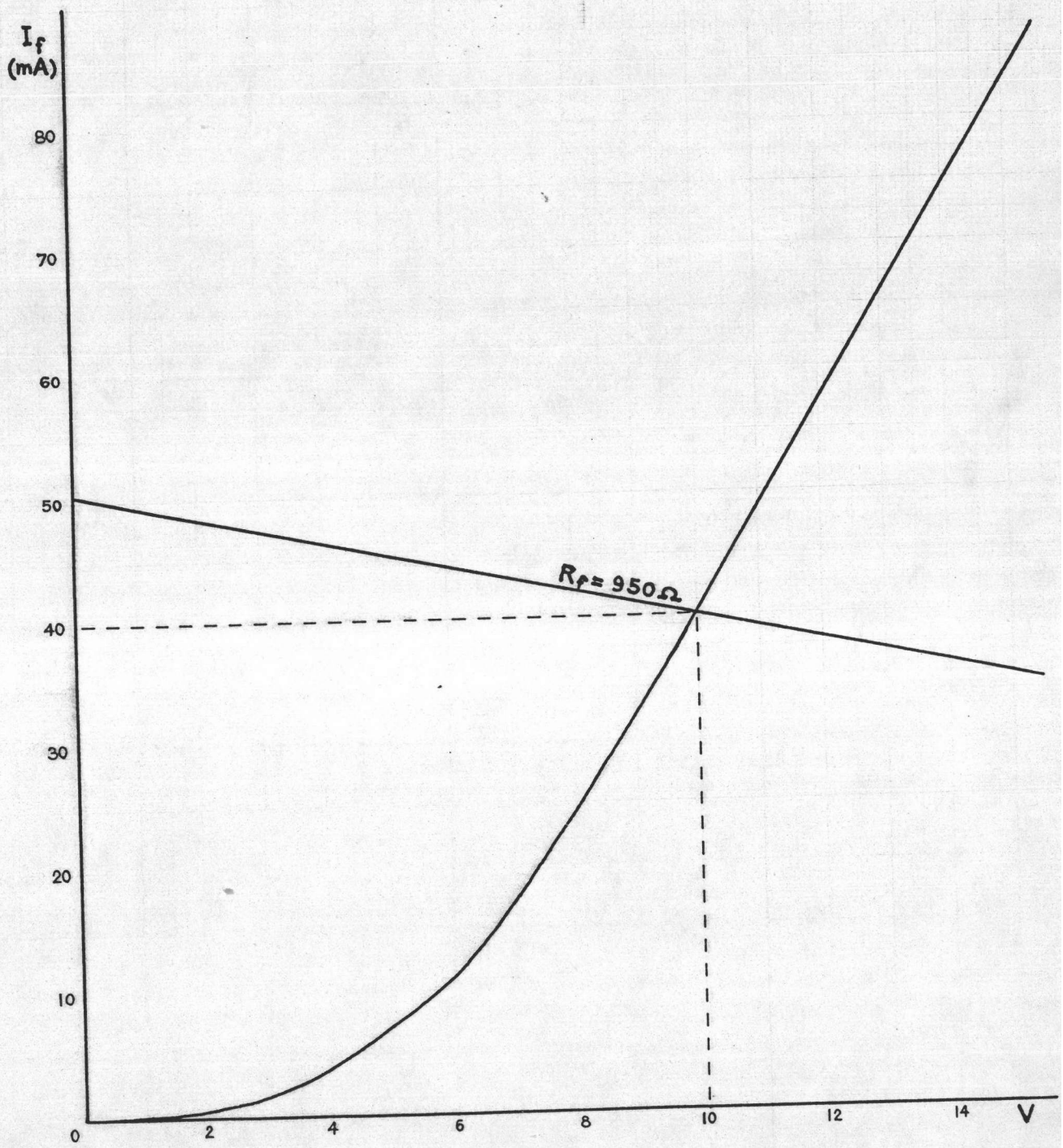
ตาราง 3.2 ค่า C_2, C_1 และ R ในวงจรอันดับ 2 ทั้ง 4 ชุด

วงจรชุดที่	C_2 (ไมโครฟารัด)	C_1 (ไมโครฟารัด)	R (กิโลโอห์ม)
1	.0025	.0060 (.0056)	12.06 (12)
2	.0022	.0099 (.01)	10.03 (10)
3	.0010	.0336 (.033)	8.07 (8.2)
4	.0039	.0313 (.03)	3.38 (3.3)

ค) <u>วงจรไฮบริดและไฟเลี้ยงโทรศัพท์</u> ใช้ทรานส์ฟอร์เมอร์ในการแยกสัญญาณเสียงออกจากไฟเลี้ยงโทรศัพท์ และทรานส์เฟอร์อิมพีแดนซ์ของเครื่องโทรศัพท์เข้ามายังวงจรไฮบริด ทำให้สามารถแยกสัญญาณเข้าและออกจากโทรศัพท์ได้ ดังรูป 3.17 เมื่อปรับ VR ให้เท่ากับ R_o แล้ว ที่จุด OUT จะสมดุลย์พอดี คือ สัญญาณเข้าจาก IN+ และ IN- ซึ่งมีเฟสตรงข้ามกันจะหักล้างกันหมดที่จุดดังกล่าว ดังนั้นสัญญาณเข้าจะไม่ปรากฏที่จุดดังกล่าว จึงใช้เป็นจุดต่อออกสำหรับสัญญาณจากโทรศัพท์ที่ส่งผ่านทรานส์ฟอร์เมอร์เข้ามา



รูป 3.17 วงจรไฮบริดและไฟเลี้ยงโทรศัพท์



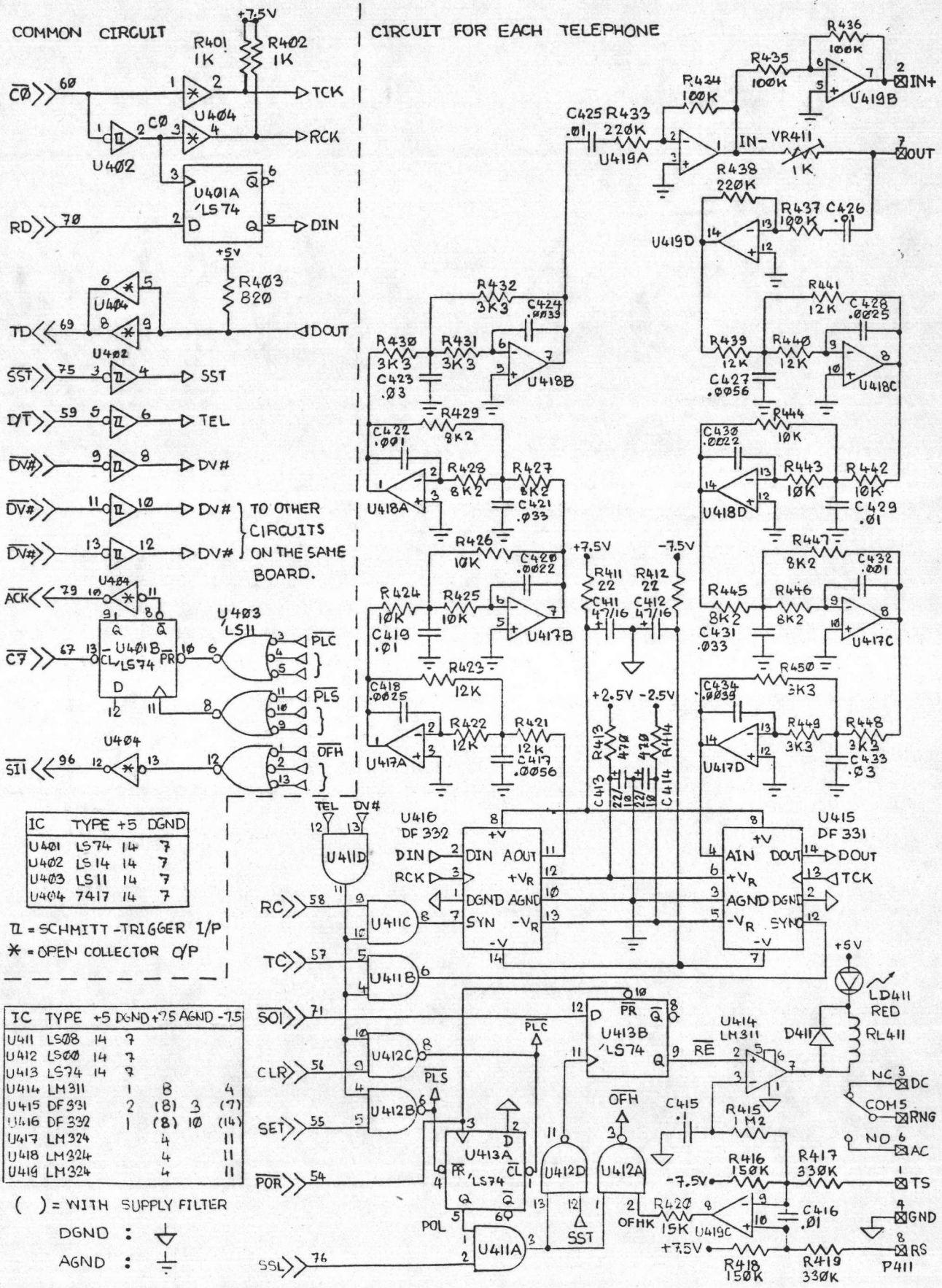
รูป 3.18 คุณสมบัติของเครื่องโทรศัพท์และจุดทำงาน

R ใช้สำหรับกำหนดกระแสเลี้ยงโทรศัพท์ รูป 3.18 เป็นคุณสมบัติของเครื่องโทรศัพท์เครื่องหนึ่งซึ่งทดลองวัดดู ถ้าเลือกจุดทำงานที่กระแส 40 มิลลิแอมแปร์จะได้แรงดันคร่อม 10 โวลท์ ดังนั้นจะคำนวณหา R ได้ 470 โอห์ม เมื่อให้ความต้านทานสายเท่ากับ 10 โอห์ม กระแสดังกล่าวจะลดลงเหลือ 20 มิลลิแอมแปร์ ที่แรงดันคร่อม 7.4 โวลท์ เมื่อความต้านทานสายเพิ่มเป็น 1 กิโลโอห์ม

C ใช้ลัดสัญญาณเสียงซึ่งมีความถี่สูงกว่า 300 เฮิร์ตซ์ ให้ไม่ต้องผ่าน R แต่ที่ความถี่ต่ำกว่า 20 เฮิร์ตซ์ C จะต้องเสมือนกับเปิดวงจร เพื่อให้เกิดพัลซ์เนื่องจากการหมุนหมายเลขขึ้นที่ TS (Tip Sense) และ RS (Ring Sense) ได้ ดังนั้นให้ $1/2\pi$ RC เท่ากับความถี่กึ่งกลางระหว่าง 300 และ 20 เฮิร์ตซ์ คือ 77 เฮิร์ตซ์ จะได้ C เท่ากับ 4.4 ไมโครฟารัด หรือประมาณ 4.7 ไมโครฟารัด

แรงดันที่ TS และ RS จะเท่ากับ +24 และ -24 โวลท์ ขณะวางหูโทรศัพท์ และถ้ายกหูโทรศัพท์จะเท่ากับ +5 และ -5 โวลท์ ตามลำดับ จึงใช้ในการตรวจสถานะการยกหูโทรศัพท์ได้ รวมทั้งรับพัลซ์หมายเลขด้วย

3.4.2 <u>การทำงานของวงจร</u> รูป 3.19 แสดงวงจรอินเตอร์เฟสโทรศัพท์ บนหนึ่งแผ่นวงจรจะมีวงจรอินเตอร์เฟสอยู่ 3 ชุด สำหรับโทรศัพท์ 3 หมายเลขอิสระจากกัน โดยมีวงจรบางส่วนใช้ร่วมกัน วงจรแต่ละชุดจะมี U415 และ U416 ทำหน้าที่ใส่และถอดรหัส PCM สำหรับเสียงโทรศัพท์ โดยมี U417 และ U418 เป็นวงจรฟิลเตอร์ทั้งภาครับและภาคส่ง U415 และ U416 ใช้ไฟเลี้ยง ±7.5 โวลท์ และใช้แรงดันอ้างอิง ±2.5 โวลท์ เพื่อกำหนดระดับสัญญาณสูงสุดหรือเท่ากับสัญญาณขนาด 7.2 dBm ที่ 600 โอห์ม แต่ระดับสัญญาณจากโทรศัพท์ปกติมีระดับไม่เกิน -3 dBm จึงใช้ U419D ขยายสัญญาณขึ้นมาให้ต่ำกว่าระดับสูงสุดอยู่ 3 dB คือ ขยายเป็น 4.2 dBm หรือเท่ากับขยาย 2.3 เท่าในภาคส่ง และใช้ U419A ลดสัญญาณลงสู่ระดับเดิมในภาครับ C425 และ C426 ทำหน้าที่ตัดไฟตรงและเป็นโลว์พาสฟิลเตอร์สำหรับขจัดความถี่ต่ำด้วย ทั้งไฟเลี้ยงวงจรและแรงดันอ้างอิงสำหรับ U415 และ U416 จะต้องมีวงจรดีคัปปลิงเพื่อป้องกันการรบกวนกันระหว่างวงจรแต่ละชุด U411B, U411C และ U411D ทำหน้าที่ถอดรหัสคำสั่งให้รับหรือส่งข้อมูล เมื่อถูกสั่งให้ส่งจะทำให้ขา SYNC ของ U415 มีค่าเป็น 1 เป็นระยะเวลา 8 บิท เท่ากับช่องเวลานั้นๆ และข้อมูลจะถูกส่งออกทาง DOUT ซึ่งเป็นชนิดเดรนเปิดจึงใช้ขนานกันได้ แต่ในกรณีที่ถูกสั่งให้รับ SYNC ของ U416 จะต้องเร็วกว่าข้อมูลอยู่ครึ่งบิท ดังนั้นจึงใช้การ



รูป 3.19 วงจรอินเตอร์เฟสโทรศัพท์

หน่วงเวลาข้อมูลไว้ครึ่งบิทแทน และใช้สัญญาณนาฬิกากลับเฟสกัน

U413A ใช้เก็บสถานะโพล และจะถูกเซ็ทหรือเคลียร์โดย U412B หรือ U412C ซึ่งใช้ถอดรหัสคำสั่งจากหน่วยควบคุมสถานี $\overline{RE}$ จาก U413B ใช้คุมกระดิ่งโทรศัพท์โดยใช้ U414 เป็นตัวขับรีเลย์พร้อมกับเป็นวงจรตัดกระดิ่งเมื่อยกหูไปด้วยในตัว U419C ใช้ตรวจสอบสถานะการยกหูโดยมี R416-R419 ทำหน้าที่แบ่งแรงดันจาก TS และ RS ให้ลดลงดังตาราง 3.3 และใช้ C416 กรองความถี่สูงออก แต่ต้องยอมให้สัญญาณหมุนหมายเลข 20 พัลซ์ต่อวินาที ผ่านได้โดยให้มีค่าคงตัวเวลาเท่ากับ 2 มิลลิวินาที

ตาราง 3.3 การแบ่งแรงดัน TS และ RS เพื่อใช้ตรวจสอบการยกหูโทรศัพท์

If(mA)	TS	V-	RS	V+	Condition
0	+24	+2.55	-24	-2.55	On Hook
17	+16	0	-16	0	Min. I_f
40	+5	-3.51	-5	+3.51	Typ. I_f } Off Hook
51	0	-5.11	0	+5.11	Max. I_f

ในกรณีที่มีกระแสเหนี่ยวนำเกิดขึ้นในสายโทรศัพท์ จะเป็นกระแสในลักษณะโมดร่วม (Common Mode) หรือกระแสตามยาว (Longitudinal Current) ซึ่งไม่ทำให้ผลต่างแรงดันที่ TS และ RS เปลี่ยนไป เพียงแต่มีค่าเพิ่มขึ้นหรือลดลงพร้อมๆ กันเท่านั้น จึงไม่ทำให้การตรวจสอบการยกหูผิดไป สัญญาณยกหูจาก U419C คือ OFHK จะมีแรงดันเป็นบวกและลบ ไม่ใช่เป็นระดับสัญญาณ TTL จึงต้องใช้ R420 เพื่อจำกัดกระแสขณะที่แรงดันเป็นลบให้เพียงพอสำหรับดึงขาเข้าของ U412A ลงเป็น 0 เท่านั้น คือ ประมาณ 0.4 มิลลิแอมแปร์

วงจรร่วมทำหน้าที่เกี่ยวกับสัญญาณที่ใช้ร่วมกัน ได้แก่ สัญญาณนาฬิกา TCK และ RCK สำหรับ U415 และ U416 เนื่องจากไอซีทั้งสองใช้ไฟเลี้ยง ±7.5 โวลท์ และมีระดับแรงดันเข้าเป็น 1 อยู่ที่ 3.4 โวลท์ ดังนั้นจึงใช้ U404 เปลี่ยนระดับสัญญาณนาฬิกาเป็น 7.5 โวลท์ เพื่อให้เปลี่ยนแปลงได้เร็วพอ ส่วนสัญญาณเข้าอื่นๆ สามารถใช้สัญญาณ TTL ต่อโดยตรงได้

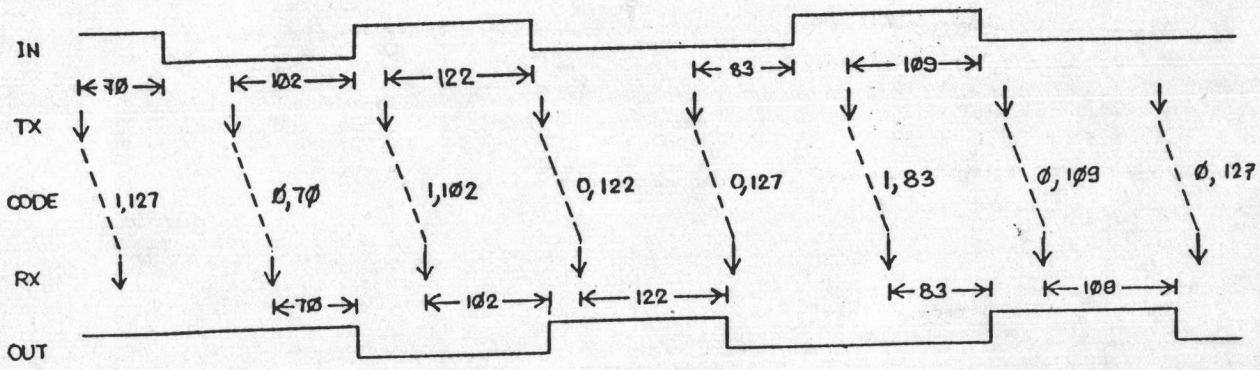
แต่ต้องไม่ต่อกับไอซี TTL อื่นอยู่ U401A ทำหน้าที่หน่วงเวลาข้อมูล RD เอาไว้ครึ่งบิทดังกล่าวมาแล้ว U402 ทำหน้าที่กลับค่าของสัญญาณต่างๆ ที่ต้องใช้ในวงจรแต่ละชุด ส่วนสัญญาณที่จะส่งเข้าสู่หน่วยควบคุมสถานี ซึ่งเป็นชนิดคอลเลคเตอร์เปิดทั้งสิ้นจะใช้ U404 เป็นตัวรับ โดยเฉพาะสัญญาณ TD ต้องใช้ตัวขับถึง 2 ตัวขนานกันเพื่อให้รับกระแสได้เพียงพอ U403 ทำหน้าที่รวมสัญญาณชนิดเดียวกันจากวงจรสำหรับโทรศัพท์ทั้ง 3 เครื่องเข้าด้วยกัน และ U401B ทำหน้าที่ยืดพัลซ์ $\overline{ACK}$ ซึ่งเกิดจาก $\overline{PLC}$ หรือ $\overline{PLS}$ ออกไปให้กว้างพอสำหรับการตรวจพบโดยไมโครโปรเซสเซอร์ได้ โดยให้สัญญาณทั้งสองซึ่งจะเกิดในช่องเวลา 0 หรือ 16 เท่านั้นมาทำให้ U4018 มีค่าเป็น 1 และจะถูกเคลียร์ภายใน 8 ช่องเวลาหลังจากนั้นด้วย $\overline{C7}$

3.5 หน่วยอินเตอร์เฟสข้อมูลแบบโปร่งใส

3.5.1 ลักษณะทั่วไป การส่งข้อมูลแบบโปร่งใสหมายความว่า การส่งจะรักษารูปร่างของข้อมูลให้คงเดิม โดยไม่ขึ้นกับวิธีการส่งหรืออัตราการส่งข้อมูลโดยที่อัตราการส่งข้อมูลจะต้องไม่สูงเกินขีดจำกัดค่าหนึ่ง ลักษณะดังกล่าวจะเหมือนกับการส่งข้อมูลผ่านสายสัญญาณเชื่อมต่อปลายทางเข้าด้วยกันโดยตรงและอุปกรณ์ที่ปลายทางทั้งสองจะใช้วิธีการรับส่งและโปรโตคอลแบบใดๆ ที่อัตราการส่งข้อมูลเท่าใดก็ได้ ถ้าไม่เกินความกว้างแถบความถี่ของสายสัญญาณนั้นๆ ดังนั้นการส่งข้อมูลแบบโปร่งใสจะมีข้อดี คือ ใช้กับอุปกรณ์รับส่งข้อมูลได้ทุกชนิด แต่มีข้อแม้ว่าวิธีการรับส่งของอุปกรณ์ปลายทางทั้งสองจะต้องเหมือนกันจึงจะติดต่อกันได้

วิธีการส่งข้อมูลแบบโปร่งใสมี 2 วิธี คือ วิธีสุ่มตัวอย่าง และวิธีใส่รหัสแบบทรานซิชัน วิธีสุ่มตัวอย่างใช้การสุ่มตัวอย่างสัญญาณด้วยอัตราที่สูงกว่าอัตราการส่งข้อมูลมากๆ เพื่อให้รูปร่างสัญญาณที่ปลายทางผิดไปจากเดิมน้อยๆ เพราะขอบสัญญาณจะมีความไม่แน่นอนเท่ากับระยะเวลาระหว่างการสุ่มแต่ละครั้ง ส่วนการใส่รหัสแบบทรานซิชันเป็นวิธีที่มีประสิทธิภาพกว่า แต่วิธีการยุ่งยากขึ้น คือ จะมีเฟรมสำหรับการใส่รหัส โดยที่รหัสจะใช้บอกตำแหน่งที่เกิดการเปลี่ยนแปลงหรือเกิดขอบของข้อมูลนับจากต้นเฟรม ทางปลายทางจะมีเฟรมเช่นเดียวกัน และจะจับเวลาตามรหัสที่ได้รับเพื่อทำให้เกิดการเปลี่ยนแปลงที่เวลาที่ถูกต้อง ดังรูป 3.20 ในวงจรที่ออกแบบจะใช้จังหวะที่ส่งข้อมูลออกเป็นต้นเฟรมด้านส่ง และจังหวะที่รับข้อมูลเข้าเป็นต้นเฟรมด้านรับ ในหนึ่งเฟรมแบ่งเป็น 128 ตำแหน่ง เพื่อให้ใช้รหัส 7 บิทได้ ส่วนบิทที่มีนัยสำคัญสูงสุดใช้บอกว่าข้อมูลจะต้องเปลี่ยนเป็นค่าอะไร เพื่อป้องกันการผิดพลาดเนื่องจากค่าเริ่มต้นทางด้านส่งและรับไม่ตรงกัน ดังนั้นในรูป 3.20 จึงแยกแสดงข้อมูลบิทแรกออกจากข้อมูล 7 บิทที่เหลือที่ใช้บอกตำแหน่ง ในกรณีไม่มีการเปลี่ยน

แปลงจะส่งตำแหน่ง 127 ออกมา ซึ่งไม่มีผลอะไรเพราะข้อมูลไม่เปลี่ยนไปจากเดิม



รูป 3.20 หลักการส่งข้อมูลด้วยรหัสแบบทรานซิชัน

จะเห็นว่าสัญญาณจะต้องไม่เปลี่ยนแปลงเกินหนึ่งครั้งในแต่ละเฟรม ดังนั้นอัตราการส่งข้อมูลสูงสุดจะเท่ากับอัตราของเฟรม โดยมีความคลาดเคลื่อนของขอบสัญญาณเท่ากับ 1/128 คาบเวลาหนึ่งเฟรม ในกรณีที่ใช้อัตรา 8000 เฟรมต่อวินาที จะส่งสัญญาณได้ไม่เกิน 8000 บิทต่อวินาที โดยมีความคลาดเคลื่อนของขอบเท่ากับ 0.98 ไมโครวินาที และถ้าใช้อัตรา 16000 เฟรมต่อวินาที จะส่งได้ไม่เกิน 16 กิโลบิทต่อวินาที และความคลาดเคลื่อน 0.49ไมโครวินาที ซึ่งทำได้โดยให้มีการรับส่งสองครั้งในหนึ่งเฟรมของระบบและต้องห่างกัน 16 ช่องเวลาพอดี นั่นคือ มีเฟรมสำหรับการใส่รหัส 2 เฟรม ในหนึ่งเฟรมของระบบ และต้องใช้สัญญาณนาฬิกาสำหรับจับเวลาเร็วขึ้นเท่าตัว

เมื่อเทียบกับวิธีสุ่มตัวอย่าง จะเห็นว่าที่อัตราการส่งข้อมูลเดียวกัน คือ 64 กิโลบิทต่อวินาที วิธีสุ่มตัวอย่างจะมีความคลาดเคลื่อนของขอบสัญญาณ 15.6 ไมโครวินาที ซึ่งเท่ากับ 1/8 ของบิทสำหรับสัญญาณ 8 กิโลบิทต่อวินาที เทียบกับ 1/128 ของบิทเมื่อใช้การใส่รหัสแบบทรานซิชัน แต่วิธีสุ่มตัวอย่างสามารถใช้กับสัญญาณเกิน 8 กิโลบิทต่อวินาทีได้ ถ้ายอมรับความคลาดเคลื่อนของขอบได้ ส่วนวิธีใส่รหัสแบบทรานซิชันจะใช้เกินไม่ได้เด็ดขาด

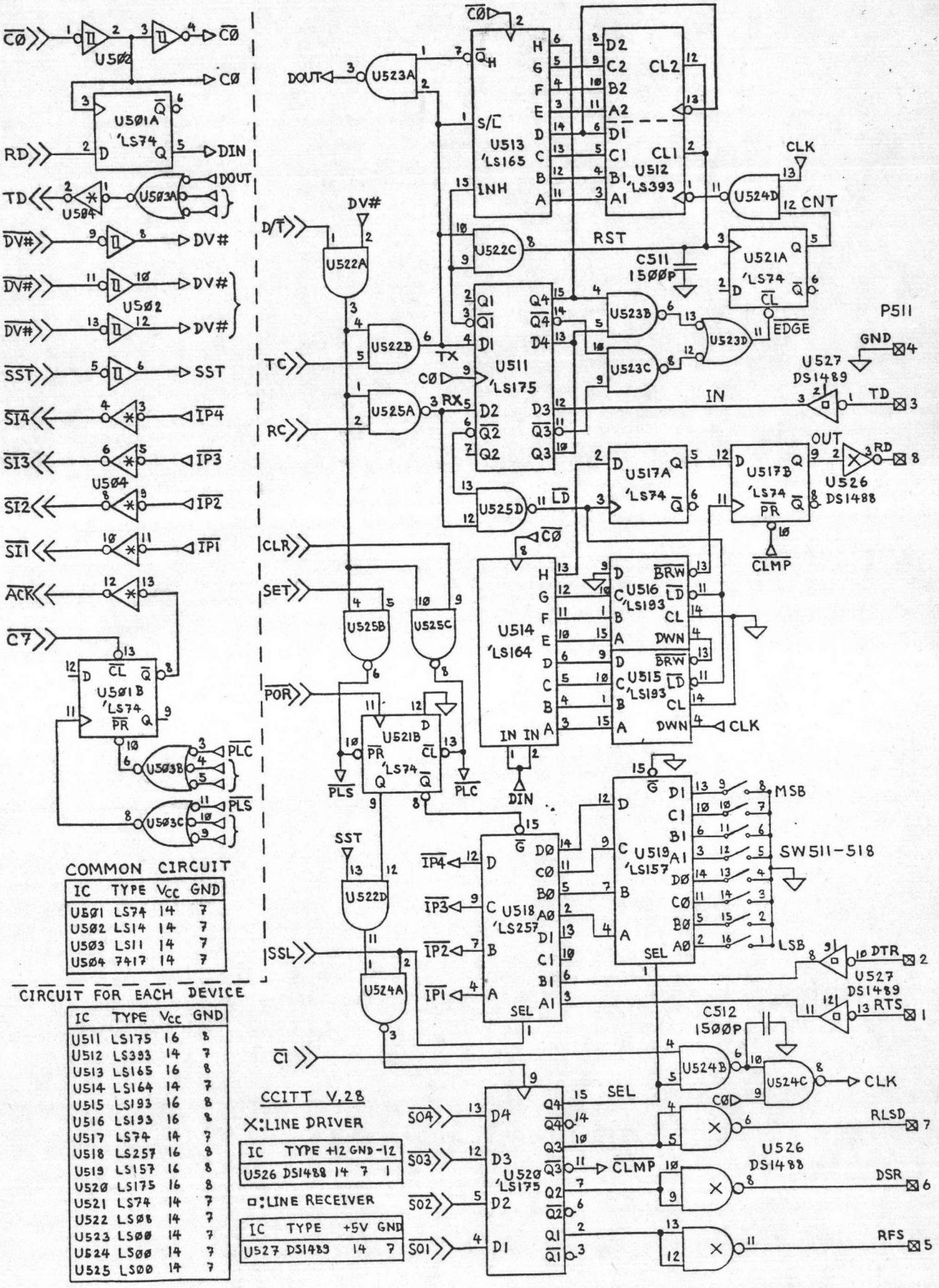
3.5.2 การทำงานของวงจร รูป 3.21 แสดงวงจรหน่วยอินเตอร์เฟสข้อมูลแบบโปร่งใสทั้งหมด วงจรร่วมมีลักษณะคล้ายในหน่วยอินเตอร์เฟสโทรศัพท์จึงจะไม่กล่าวถึง วงจรภาคส่งประกอบด้วย U512 เป็นตัวจับเวลานับจากจุดเริ่มของการส่งข้อมูลออกครั้งล่าสุด เมื่อสัญญาณเข้าเกิดเปลี่ยนแปลงจะทำให้ $\overline{\text{EDGE}}$ เกิดพัลซ์ 0 ไปเคลียร์ CNT ให้เป็น 0 เพื่อไปห้าม CLK ซึ่งใช้เป็นสัญญาณสำหรับการนับ ดังนั้นการนับจะหยุดลงและค่าที่นับได้ คือ รหัสบอกตำแหน่งซึ่งจะถูกส่งเข้า U513 พร้อมกับค่าของสัญญาณเข้า เมื่อถูกสั่งให้ส่งข้อมูลออก TX จะเป็น 1 เพื่อเลื่อนข้อมูลใน U513 ออก ขณะเดียวกันจะเกิดพัลซ์ RST ไปเคลียร์ U512 และเซ็ท U521A เพื่อให้ CNT เป็น 1 และเริ่มนับใหม่

ส่วนทางภาครับ เมื่อถูกสั่งให้รับจะทำให้ $\overline{\text{RX}}$ เป็น 0 และ $\overline{\text{LD}}$ เกิดพัลซ์ 0 ขึ้นหลังจากรับข้อมูลเข้า U514 ครบแล้ว เพื่อส่งข้อมูล 7 บิทล่างเข้า U516 และ U515 ซึ่งเป็นวงจรนับลง และเก็บบิทบนไว้ใน U517A หลังจาก U516 และ U515 นับลงจนเป็น 0 ด้วยสัญญาณ CLK แล้วจะเกิดพัลซ์ 0 ออกมาทาง $\overline{\text{BRW}}$ เพื่อไปสั่งให้ U517B มีค่าเหมือนค่าที่เก็บใน U517A ดังนั้นสัญญาณ OUT จะมีการเปลี่ยนแปลงค่าตามรหัสที่ได้รับที่เวลาที่ถูกต้อง

สัญญาณ CLK ซึ่งใช้ในการนับทั้งภาคส่งและภาครับสามารถเลือกได้ 2 อัตรา คือ อัตราปกติซึ่งเท่ากับ $\overline{\text{C1}}$ และจะนับครบ 128 ครั้งในหนึ่งเฟรมสำหรับสัญญาณไม่เกิน 8 กิโลบิทต่อวินาที และอัตราเร็วซึ่งเท่ากับ $\overline{\text{C0}}$ ซึ่งจะนับครบ 128 ครั้งในครึ่งเฟรมสำหรับสัญญาณไม่เกิน 16 กิโลบิทต่อวินาที เมื่อใช้ CLK อัตราเร็วจะต้องมีการรับส่ง 2 ครั้งในหนึ่งเฟรมดังกล่าวมาแล้ว ถ้าสัญญาณ SEL เป็น 1 จะเลือกอัตราปกติ และ 0 จะเลือกอัตราเร็ว

รูป 3.22 แสดงสัญญาณต่างๆ ในวงจรใส่รหัสแบบทรานซิชัน เมื่อใช้ CLK อัตราปกติให้รับในช่องเวลา 23 และส่งในช่องเวลา 24 สัญญาณเข้าเปลี่ยนจาก 1 เป็น 0 เมื่อนับได้ 125 หลังจากเริ่มส่งข้อมูลครั้งก่อน และสัญญาณออกเปลี่ยนจาก 0 เป็น 1 เมื่อนับได้ 5 หลังจากได้รับข้อมูลหมดแล้ว

U518 และ U519 ได้เลือกชิกแนลลิงสำหรับส่งเข้า $\overline{\text{SI4}}$-$\overline{\text{SI1}}$ ขาออกของ U518 เป็นแบบ 3 สถานะ ดังนั้นจึง $\overline{\text{IP4}}$-$\overline{\text{IP1}}$ จะสามารถต่อจากวงจรชุดอื่นมาขนานได้โดยตรง แต่ต้องไม่ถูกโพลพร้อมกัน U520 ใช้เก็บชิกแนลลิงที่จะส่งออก



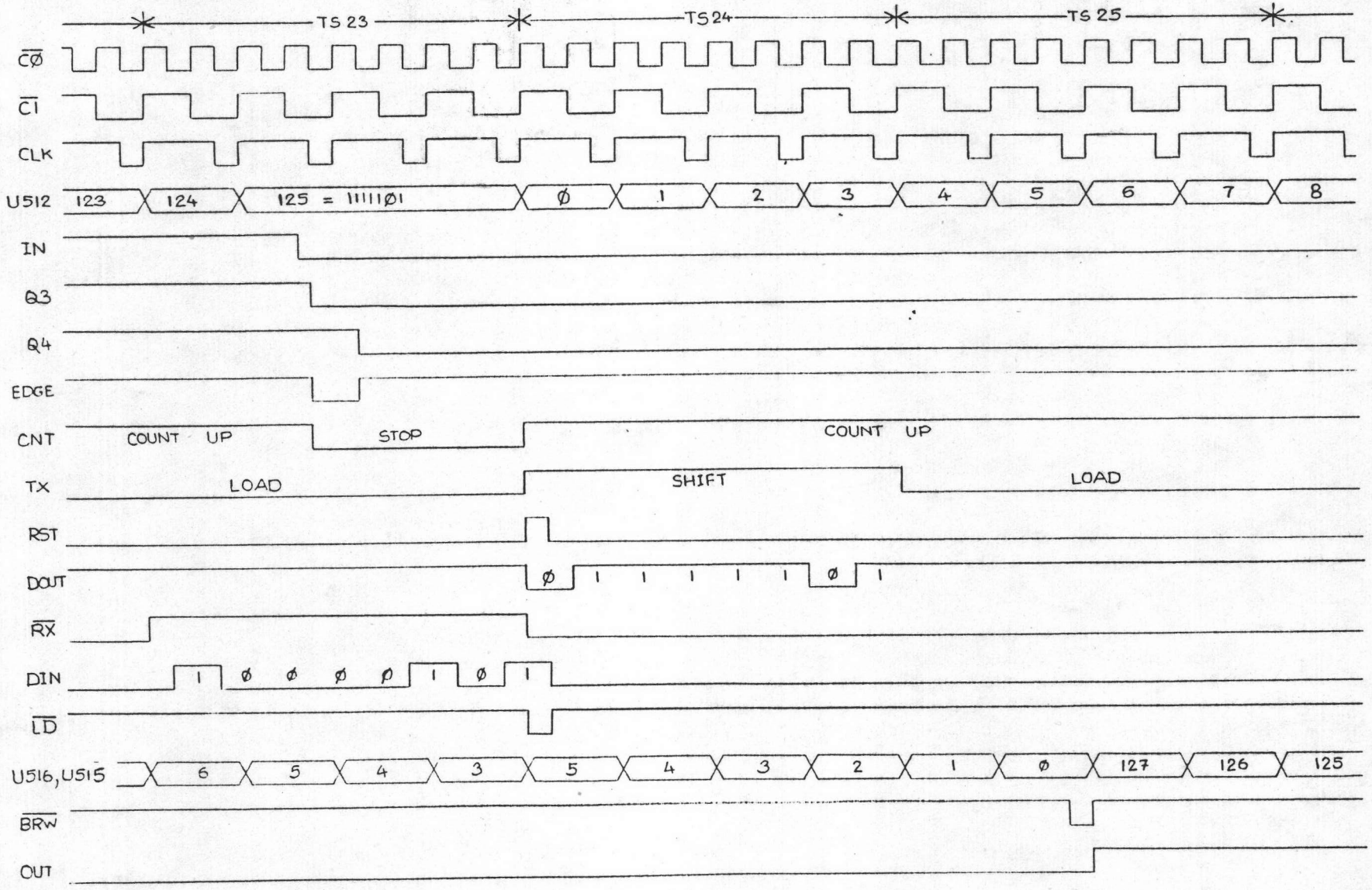
IC	TYPE	V_{CC}	GND
U501	LS74	14	7
U502	LS14	14	7
U503	LS11	14	7
U504	7417	14	7

IC	TYPE	V_{CC}	GND
U511	LS175	16	8
U512	LS393	14	7
U513	LS165	16	8
U514	LS164	14	7
U515	LS193	16	8
U516	LS193	16	8
U517	LS74	14	7
U518	LS257	16	8
U519	LS157	16	8
U520	LS175	16	8
U521	LS74	14	7
U522	LS08	14	7
U523	LS00	14	7
U524	LS00	14	7
U525	LS00	14	7

IC	TYPE	+12	GND	-12
U526	DS1488	14	7	1

IC	TYPE	+5V	GND
U527	DS1489	14	7

รูป 3.21 วงจรหน่วยอินเตอร์เฟสข้อมูลแบบโปร่งใส



รูป 3.22 สัญญาณเวลาต่างๆในวงจรใส่ระหัสแบบทรานซิชัน

C511 และ C512 ใช้สำหรับหน่วงเวลาสัญญาณเป็นเวลาประมาณ 120 นาโนวินาที โดยคำนวณจากการหน่วงเวลาต่อค่าตัวเก็บประจุของไอซี LSTTL ประมาณ 7.5 นาโนวินาทีต่อ 100 พิโคฟารัด ผลการหน่วงเวลาทำให้ตัดพัลซ์ซึ่งมีความกว้างน้อยกว่า 120 นาโนวินาทีออกจากสัญญาณ RST ซึ่งเกิดจากสัญญาณ D/$\overline{T}$, DV# และ TC เปลี่ยนแปลงไม่พร้อมกัน ส่วน C512 ช่วยไม่ให้ CLK เกิดพัลซ์เล็กๆ เนื่องจาก $\overline{C1}$ เกิดก่อน C0

$\overline{CLMP}$ ใช้ดึง OUT ให้เป็น 1 เมื่อไม่มีข้อมูลส่งมา U526 และ U527 เป็นวงจรขับและรับสัญญาณแบบ V.28 ตามลำดับ (หรือ RS-232C)