

การออกแบบตัวควบคุมดิจิทัลสำหรับการทำงานคู่ขนาน
ของวงจรแปลงผันเต็มบริดจ์แบบเล็อนเฟส

นายกฤติพันธุ์ พรปิยศิริ

จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

บทคัดย่อและแฟ้มข้อมูลฉบับเต็มของวิทยานิพนธ์ตั้งแต่ปีการศึกษา 2554 ที่ให้บริการในคลังปัญญาจุฬาฯ (CUIR)
เป็นแฟ้มข้อมูลของนิสิตเจ้าของวิทยานิพนธ์ ที่ส่งผ่านทางบัณฑิตวิทยาลัย

The abstract and full text of theses from the academic year 2011 in Chulalongkorn University Intellectual Repository (CUIR)
are the thesis authors' files submitted through the University Graduate School.

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2558
ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

DESIGN OF DIGITAL CONTROLLER FOR PARALLEL OPERATION
OF PHASE-SHIFTED FULL-BRIDGE CONVERTERS

Mr. Kittiphan Pornpiyasiri



A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering Program in Electrical Engineering
Department of Electrical Engineering
Faculty of Engineering
Chulalongkorn University
Academic Year 2015
Copyright of Chulalongkorn University

หัวข้อวิทยานิพนธ์	การออกแบบตัวควบคุมดิจิทัลสำหรับการทำงาน
	คู่ขนานของวงจรแปลงผันเต็มบริดจ์แบบเล็นอนเฟส
โดย	นายกฤติพันธุ์ พรปีย์ศิริ
สาขาวิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก	ผู้ช่วยศาสตราจารย์ ดร.มานพ วงศ์สายสุวรรณ
อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม	ผู้ช่วยศาสตราจารย์ ดร.สมบุญณ์ แสงวงศ์วานิชย์

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้หัวข้อวิทยานิพนธ์ฉบับนี้เป็น
ส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรบัณฑิต

..... คณะบดีคณะวิศวกรรมศาสตร์
(รองศาสตราจารย์ ดร.สุพจน์ เตชวรสินสกุล)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(ผู้ช่วยศาสตราจารย์ ดร.วันเฉลิม ปิโรรา)
..... อาจารย์ที่ปรึกษาวิทยานิพนธ์หลัก
(ผู้ช่วยศาสตราจารย์ ดร.มานพ วงศ์สายสุวรรณ)
..... อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม
(ผู้ช่วยศาสตราจารย์ ดร.สมบุญณ์ แสงวงศ์วานิชย์)
..... กรรมการภายนอกมหาวิทยาลัย
(ผู้ช่วยศาสตราจารย์ ดร.ศุภชัย วรพจน์พิศุทธิ)

กฤติพันธุ์ พรปิยศิริ : การออกแบบตัวควบคุมดิจิทัลสำหรับการทำงานคู่ขนานของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส (DESIGN OF DIGITAL CONTROLLER FOR PARALLEL OPERATION OF PHASE-SHIFTED FULL-BRIDGE CONVERTERS) อ. ที่ปรึกษาวิทยานิพนธ์หลัก: ผศ. ดร.มานพ วงศ์สายสุวรรณ, อ.ที่ปรึกษาวิทยานิพนธ์ร่วม: ผศ. ดร.สมบุญณ์ แสงวงศ์วานิชย์, 137 หน้า.

วิทยานิพนธ์ฉบับนี้เสนอการควบคุมคุณภาพโพลครูปแบบใหม่ของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟสที่ทำงานแบบคู่ขนาน 2 วงจร ที่อาศัยค่ายอดของกระแสด้านเข้าแทนการอาศัยค่ากระแสด้านออกในแบบวิธีดั้งเดิม ในวงจรจะไม่ใช้จุดตรวจจับกระแสด้านออกและจะใช้เพียงจุดตรวจจับกระแสด้านเข้า มีจุดมุ่งหมายเพื่อการลดจำนวนอุปกรณ์และขนาดของวงจร วัตถุประสงค์ของวิทยานิพนธ์คือ การพัฒนางวงรอบควบคุมของวงจรแปลงผันกำลังแบบคู่ขนานให้มีความสามารถในการควบคุมคุณภาพของกระแสโพลด้วยการใช้เพียงข้อมูลกระแสด้านเข้า ระบบควบคุมที่นำเสนอเป็นระบบควบคุมแบบดิจิทัลโดยการประยุกต์ใช้ตัวประมวลผลสัญญาณดิจิทัล การออกแบบตัวควบคุมใช้วิธีการออกแบบด้วยผลตอบสนองเชิงความถี่โดยแผนภาพโพล

ค่ายอดของกระแสด้านเข้าจะถูกนำมาเป็นข้อมูลติดต่อในบัสแบ่งโพล กรรมวิธีในการตรวจวัดค่ายอดของกระแสด้านเข้าอาศัยการนับเวลาของตัวสร้างสัญญาณ pwm ชับเกตที่อยู่ภายในตัวประมวลผลสัญญาณดิจิทัลและความสัมพันธ์ในการเกิดของสัญญาณ pwm ชับเกตและกระแสด้านเข้า การวิจัยได้ทดลองกับวงจรภาคกำลังขนาด 600 W (12 Vdc / 50 A dc) ทำงานด้วยความถี่การสวิตซ์ 90 kHz จากแรงดันด้านเข้า 400 Vdc โดยโพลเป็นความต้านทานบริสุทธิ์ (pure resistive load) ผลการทดลองให้ค่าความเที่ยงตรงในการแบ่งกระแสด้านออกน้อยกว่า 6% ของกระแสโพลที่ทำการทดสอบด้วยปริมาณ 5 ถึง 50 A dc

ภาควิชา วิศวกรรมไฟฟ้า

ลายมือชื่อนิสิต

สาขาวิชา วิศวกรรมไฟฟ้า

ลายมือชื่อ อ.ที่ปรึกษาหลัก

ปีการศึกษา 2558

ลายมือชื่อ อ.ที่ปรึกษาร่วม

5570116521 : MAJOR ELECTRICAL ENGINEERING

KEYWORDS: INPUT CURRENT / LOAD CURRENT BALANCING / PARALLELED CONVERTERS / DIGITAL CONTROL SYSTEM

KITTIPHAN PORNPIYASIRI: DESIGN OF DIGITAL CONTROLLER FOR PARALLEL OPERATION OF PHASE-SHIFTED FULL-BRIDGE CONVERTERS.
 ADVISOR: ASST. PROF. MANOP WONGSAISUWAN, Ph.D., CO-ADVISOR:
 ASST. PROF. SOMBOON SANGWONGWANICH, Ph.D., 137 pp.

This thesis proposes a new idea to use the peak values of the input currents for load current balancing of paralleled phase-shifted full-bridge (PSFB) converters as an alternative to the conventional balancing method which measures the output current directly. The shunt resistors for sensing the output currents are removed, and all the current sensing circuits exist only at the input side. The objective of the proposed load-balancing circuit topology is to reduce the size and component count of the circuits. To achieve the afore-mentioned objective, it is necessary to develop a control algorithm for the paralleled converters which has a load current balancing capability using only the input current information. The proposed control algorithm is realized as a digital control system implemented on a digital signal processor (DSP). The design of the controller is carried out based on the frequency response technique via Bode plots.

The peak values of the input currents are now the contacting information to be sent to the load sharing bus. Detection of the peak values of the input currents is done based on a timer of the PWM generator in the DSP which governs the synchronizing relationship between the PWM gating signals and the input currents. Performances of the proposed load-balancing topology are verified on an experimental proto-type of 600 W (12 Vdc/50 Adc) PSFB converters operating at 90 kHz with a 400 Vdc input and a pure resistive load. The load-current-sharing accuracies achieved from the experimental results are within 6% of the load currents varied between 5 to 50 Adc.

Department: Electrical Engineering Student's Signature

Field of Study: Electrical Engineering Advisor's Signature

Academic Year: 2015 Co-Advisor's Signature

กิตติกรรมประกาศ

ขอขอบพระคุณ ผศ. ดร.มานพ วงศ์สายสุวรรณ และ ผศ. ดร.สมบุญณ์ แสงวงศ์ วาณิชย์ อาจารย์ที่ปรึกษาทั้งสองท่าน ที่ให้คำแนะนำและคำปรึกษาในการวิจัยค้นคว้า รวมถึงช่วยสอนข้อทฤษฎีต่าง ๆ ที่เกี่ยวข้องอย่างมากมาย จนทำให้วิทยานิพนธ์เล่มนี้สมบูรณ์ขึ้นมาได้

ขอขอบพระคุณ บริษัทเดลต้า อีเลคโทรนิคส์ (ประเทศไทย) จำกัด (มหาชน) ที่สนับสนุนทุนในการทำวิจัย

ขอขอบพระคุณ คณะกรรมการสอบวิทยานิพนธ์ทุกท่าน ที่สละเวลาอันมีค่ามาเป็นคณะกรรมการสอบและช่วยชี้แนะแนวทางในการทำงานวิจัย

ขอขอบพระคุณ บิดา มารดา และญาติพี่น้อง ผู้ที่ให้โอกาสทางการศึกษาและกำลังใจ ด้วยดีเสมอมา



จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ง
บทคัดย่อภาษาอังกฤษ	จ
กิตติกรรมประกาศ.....	ฉ
สารบัญ	ช
สารบัญตาราง.....	10
สารบัญภาพ	11
บทที่ 1 บทนำ.....	16
1.1 ความเป็นมาและความสำคัญของปัญหา	16
1.2 การควบคุมคุณภาพโพลด์แบบดั้งเดิม	19
1.3 หลักการควบคุมคุณภาพโพลด์ที่นำเสนอ	23
1.4 วัตถุประสงค์ของงานวิจัย	25
1.5 ขอบเขตงานวิจัย.....	25
1.6 ขั้นตอนและวิธีการดำเนินการ.....	25
1.7 ประโยชน์ที่คาดว่าจะได้รับ	26
บทที่ 2 การทำงานและฟังก์ชันถ่ายโอนของวงจรภาคกำลัง.....	27
2.1 โครงสร้างของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส	27
2.2 หลักการทำงานของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส [9-13]	29
2.3 ฟังก์ชันถ่ายโอนของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส [9, 12]	34
2.4 บทสรุป.....	37
บทที่ 3 ระบบควบคุมดิจิทัลที่สร้างขึ้น.....	38
3.1 ตัวประมวลผลสัญญาณดิจิทัลที่ใช้ในงานวิจัย	39
3.2 การทำงานของตัวควบคุมดิจิทัล	40

3.3	กรรมวิธีตรวจวัดค่ายอดของกระแสด้านเข้า	41
3.4	ฟังก์ชันถ่ายโอนของวงจรมอนกลับ	43
3.5	วงจรมอนกลับกระแส	43
3.6	วงจรมอนกลับแรงดัน.....	44
3.7	บทสรุป.....	45
บทที่ 4	โครงสร้างเฟิร์มแวร์และการออกแบบตัวควบคุม	47
4.1	การทำงานของแผนภาพลึกระบบควบคุมคุณภาพไหลด์	49
4.2	การออกแบบตัวควบคุมกระแส	51
4.3	การออกแบบตัวควบคุมแรงดันด้านออก.....	60
4.4	การออกแบบตัวควบคุมคุณภาพไหลด์	68
4.5	ประยุกต์ใช้ตัวควบคุมบนตัวประมวลผลสัญญาณดิจิทัล [22].....	75
4.6	ลักษณะโครงสร้างเฟิร์มแวร์ [23]	79
4.7	ตรวจสอบค่าเผื่อจากเวลาหน่วงการคำนวณจริง	82
4.8	บทสรุป.....	84
บทที่ 5	ผลการทดสอบระบบควบคุม.....	86
5.1	การทดสอบผลตอบสนองแรงดันด้านออกในสภาวะอยู่ตัว	86
5.2	การทดสอบผลตอบสนองแรงดันด้านออกในสภาวะชั่วขณะ	88
5.3	การทดสอบคุณภาพไหลด์.....	89
5.4	บทสรุป.....	103
บทที่ 6	สรุปและข้อเสนอแนะ	104
6.1	สรุป	104
6.2	ข้อเสนอแนะ	105

รายการอ้างอิง.....	106
ภาคผนวก ก การออกแบบวงจรป้อนกลับกระแส	109
ภาคผนวก ข การออกแบบวงจรป้อนกลับแรงดัน	121
ภาคผนวก ค การคำนวณค่าความละเอียดในระบบควบคุมดิจิทัล 125	
ภาคผนวก ง การต่อวงจรระหว่างมอดูล	128
ภาคผนวก จ รูปสัญญาณกระแสด้านเข้าและสัญญาณบัสแบ่งโหลด	129
ภาคผนวก ฉ ตารางสรุปค่าพารามิเตอร์ต่าง ๆ ในการออกแบบ	130
ภาคผนวก ช การตรวจสอบการชั้กตัวอย่างสัญญาณค่ายอดของกระแสด้านเข้า.....	131
ภาคผนวก ซ รูปสัญญาณขั้บเกิดของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส.....	135
ภาคผนวก ฌ รูปการทดสอบการควบคุมดูลยภาพโหลด	136
ประวัติผู้เขียนวิทยานิพนธ์.....	137

สารบัญตาราง

หน้า

ตารางที่ 4-1 ผลตรวจสอบค่าเฟื้อด้วยเวลาหน่วงการคำนวณจริง ในสภาวะโหลดน้อยสุด	83
ตารางที่ 4-2 ผลตรวจสอบค่าเฟื้อด้วยเวลาหน่วงการคำนวณจริง ในสภาวะครึ่งโหลด ($i_0 = 25$ A)	84
ตารางที่ 4-3 ผลตรวจสอบค่าเฟื้อด้วยเวลาหน่วงการคำนวณจริง ในสภาวะเต็มโหลด	84
ตารางที่ 5-1 การทดสอบระดับของแรงดันสัญญาณบัสแบ่งโหลด	92
ตารางที่ 5-2 ผลการทดลองการควบคุมสมดุลโหลด	97
ตารางที่ 5-3 ผลการทดลองการควบคุมสมดุลโหลดที่ไม่เชื่อมต่อกับสัญญาณบัสแบ่งโหลด	101
ตารางที่ ฉ-1 ตารางสรุปค่าพารามิเตอร์ต่าง ๆ ในการออกแบบ	130

สารบัญภาพ

หน้า

รูปที่ 1-1 กระแสด้านเข้า	17
รูปที่ 1-2 แผนภาพบลิ้อกการควบคุมคุณภาพโพลต์ที่อาศัยกระแสด้านเข้า ในระบบควบคุมแบบแอนะลี้ก.....	18
รูปที่ 1-3 แผนภาพบลิ้อกการควบคุมของวิธีการแบ่งกระแส แบบกระแสสูงสุด	20
รูปที่ 1-4 วงจร precision rectifier และกราฟการทำงาน.....	21
รูปที่ 1-5 แผนภาพบลิ้อกการควบคุมของวิธีการแบ่งกระแส แบบกระแสสูงสุดที่อาศัยหลักการเรียงกระแสแบบอุดมคติ	22
รูปที่ 1-6 แผนภาพบลิ้อกการควบคุมคุณภาพโพลต์ที่อาศัยกระแสด้านเข้า	23
รูปที่ 2-1 วงจรแปลงผันเต็มบริดจ์แบบเลื้อนเฟสที่มีวงจรเรียงกระแสแบบเข้าจ้งหะ.....	27
รูปที่ 2-2 วงจรแปลงผันเต็มบริดจ์แบบเลื้อนเฟสที่มีวงจรเรียงกระแสแบบไดโอด	28
รูปที่ 2-3 สัญญาณแรงดันและกระแสของวงจรเต็มบริดจ์แบบเลื้อนเฟส	29
รูปที่ 2-4 เวลาของวัฏจักรงานที่สูญหาย ($\frac{\Delta D \cdot T_{sw}}{2}$)	31
รูปที่ 2-5 แบบจำลองสัญญาณขนาดเล็ก	34
รูปที่ 3-1 ระบบควบคุมดิจิทัลของวงจรแปลงผันเต็มบริดจ์แบบเลื้อนเฟสแบบทำงานคู่ขนาน ...	38
รูปที่ 3-2 กรรณวิธีตรวจวัดค่ายอดของกระแสด้านเข้า	42
รูปที่ 3-3 วงจรบ็อนกลับกระแส.....	43
รูปที่ 3-4 วงจรบ็อนกลับแรงดัน.....	44
รูปที่ 4-1 แผนภาพบลิ้อกสัญญาณขนาดเล็กของระบบควบคุมคุณภาพโพลต์.....	48
รูปที่ 4-2 แผนภาพบลิ้อกสัญญาณขนาดเล็กแห่งวงกระแส.....	51
รูปที่ 4-3 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่ไม่มีตัวควบคุม	52

รูปที่ 4-4 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่มีตัวควบคุม ในสถานะ ไหลดน้อยสุด ($i_0 = 2 \text{ A}$)	54
รูปที่ 4-5 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่มีตัวควบคุม ในสถานะเต็ม ไหลด ($i_0 = 50 \text{ A}$)	54
รูปที่ 4-6 แผนภาพบล็อกลักษณะขนาดเล็กแห่งวงกระแสที่พิจารณาเวลาหนึ่ง	57
รูปที่ 4-7 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่พิจารณาเวลาหนึ่ง ใน สถานะไหลดน้อยสุด	58
รูปที่ 4-8 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่พิจารณาเวลาหนึ่ง ใน สถานะเต็มไหลด	58
รูปที่ 4-9 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงปิดสำหรับค่าอ้างอิงสู่ค่าป้อนกลับ แห่งวง กระแสในสถานะเต็มไหลด	60
รูปที่ 4-10 แผนภาพบล็อกลักษณะขนาดเล็กแห่งวงแรงดัน	61
รูปที่ 4-11 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดันที่มีตัวควบคุม ในสถานะ ไหลดน้อยสุด	63
รูปที่ 4-12 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดันที่มีตัวควบคุม ในสถานะเต็ม ไหลด	64
รูปที่ 4-13 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงปิดสำหรับค่าอ้างอิงสู่ค่าป้อนกลับ แห่งวง แรงดันในสถานะเต็มไหลด	65
รูปที่ 4-14 แผนภาพบล็อกลักษณะขนาดเล็กแห่งวงแรงดันที่พิจารณาเวลาหนึ่ง	66
รูปที่ 4-15 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดันที่พิจารณาเวลาหนึ่ง ใน สถานะไหลดน้อยสุด	67
รูปที่ 4-16 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดันที่พิจารณาเวลาหนึ่ง ใน สถานะเต็มไหลด	67
รูปที่ 4-17 แผนภาพบล็อกลักษณะขนาดเล็กแห่งวงดูดยภาพไหลด	68

รูปที่ 4-18 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงดุลงภาพไหลดที่มีตัวควบคุม ใน สภาวะไหลดน้อยสุด	70
รูปที่ 4-19 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงดุลงภาพไหลดที่มีตัวควบคุม ใน สภาวะเต็มไหลด	70
รูปที่ 4-20 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงปิดแห่งวงดุลงภาพไหลด ในสภาวะเต็มไหลด ...	72
รูปที่ 4-21 แผนภาพบล็อกสัญญาณขนาดเล็กแห่งวงดุลงภาพไหลดที่พิจารณาเวลาหน่วง	72
รูปที่ 4-22 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงดุลงภาพไหลด ที่พิจารณาเวลา หน่วง ในสภาวะไหลดน้อยสุด	74
รูปที่ 4-23 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงดุลงภาพไหลด ที่พิจารณาเวลา หน่วง ในสภาวะเต็มไหลด	74
รูปที่ 4-24 ตัวควบคุมกระแส	76
รูปที่ 4-25 ตัวควบคุมแรงดัน	77
รูปที่ 4-26 ตัวควบคุมดุลงภาพไหลด	78
รูปที่ 4-27 โครงสร้างเฟิร์มแวร์	79
รูปที่ 4-28 แผนภาพการทำงานทางเวลาของเฟิร์มแวร์	81
รูปที่ 4-29 การวัดเวลาหน่วงการคำนวณจริง	83
รูปที่ 5-1 การคุมระดับแรงดันด้านออก ในสภาวะไหลดน้อยสุด	87
รูปที่ 5-2 การคุมระดับแรงดันด้านออก ในสภาวะครึ่งไหลด	87
รูปที่ 5-3 การคุมระดับแรงดันด้านออก ในสภาวะเต็มไหลด	88
รูปที่ 5-4 การคุมระดับแรงดันด้านออกขณะเปลี่ยนไหลดจากครึ่งไหลดไปเป็นเต็มไหลด	88
รูปที่ 5-5 การคุมระดับแรงดันด้านออกขณะเปลี่ยนไหลดจากเต็มไหลดไปเป็นครึ่งไหลด	89
รูปที่ 5-6 การต่อวงจรสำหรับการทดสอบการตอบสนองของ แรงดันด้านออกต่อสัญญาณบัล แปงไหลด	90

รูปที่ 5-7 การตอบสนองของแรงดันด้านออกสำหรับการจำลองสภาวะ สัญญาณบัลเบ่งไหล มากกว่าแรงดันดีทียูเอ	91
รูปที่ 5-8 การตอบสนองของแรงดันด้านออกสำหรับการจำลองสภาวะ สัญญาณบัลเบ่งไหล น้อยกว่าแรงดันดีทียูเอ	91
รูปที่ 5-9 กราฟเปรียบเทียบระดับแรงดันบัลเบ่งไหลสองมอดูล	93
รูปที่ 5-10 กระแสด้านออกของมอดูลเอ (C2:ioA) ในสภาวะไหล 10%.....	94
รูปที่ 5-11 กระแสด้านออกของมอดูลบี (C2:ioB) ในสภาวะไหล 10%.....	94
รูปที่ 5-12 กระแสด้านออกของมอดูลเอ ในสภาวะครึ่งไหล	95
รูปที่ 5-13 กระแสด้านออกของมอดูลบี ในสภาวะครึ่งไหล	95
รูปที่ 5-14 กระแสด้านออกของมอดูลเอ ในสภาวะเต็มไหล	96
รูปที่ 5-15 กระแสด้านออกของมอดูลบี ในสภาวะเต็มไหล	96
รูปที่ 5-16 กระแสด้านออกของมอดูลเอ ในสภาวะไหล 10% ที่ไม่เชื่อมต่อสัญญาณบัลเบ่ง ไหล	98
รูปที่ 5-17 กระแสด้านออกของมอดูลบี ในสภาวะไหล 10% ที่ไม่เชื่อมต่อสัญญาณบัลเบ่ง ไหล	98
รูปที่ 5-18 กระแสด้านออกของมอดูลเอ ในสภาวะครึ่งไหล ที่ไม่เชื่อมต่อสัญญาณบัลเบ่ง ไหล	99
รูปที่ 5-19 กระแสด้านออกของมอดูลบี ในสภาวะครึ่งไหล ที่ไม่เชื่อมต่อสัญญาณบัลเบ่ง ไหล	99
รูปที่ 5-20 กระแสด้านออกของมอดูลเอ ในสภาวะเต็มไหล ที่ไม่เชื่อมต่อสัญญาณบัลเบ่ง ไหล	100
รูปที่ 5-21 กระแสด้านออกของมอดูลบี ในสภาวะเต็มไหล ที่ไม่เชื่อมต่อสัญญาณบัลเบ่ง ไหล	100
รูปที่ 5-22 ผลการทดลองการควบคุมคุณภาพไหลที่เชื่อมต่อสัญญาณบัลเบ่งไหล	102
รูปที่ 5-23 ผลการทดลองการควบคุมคุณภาพไหลที่ไม่เชื่อมต่อสัญญาณบัลเบ่งไหล	102

รูปที่ ก-1 วงจรป้อนกลับกระแส	109
รูปที่ ก-2 ความสัมพันธ์กระแสด้านออก (i_o) กระแสตัวเหนี่ยวนำด้านออก (i_L) และกระแสด้าน เข้า.....	110
รูปที่ ก-3 วงจรหม้อแปลงกระแส (ภายในกรอบเส้นประ)	112
รูปที่ ก-4 วงจรลดทอนความถี่สูง (ภายในกรอบเส้นประ).....	114
รูปที่ ก-5 แผนภาพบล็อกการทำงาน พร้อมค่าอัตราขยายกระแสตรง	115
รูปที่ ก-6 วงจรลดระดับแรงดัน	116
รูปที่ ก-7 วงจรออปแอมป์ขยายไม่กลับเฟส	117
รูปที่ ข-1 วงจรป้อนกลับแรงดัน	121
รูปที่ ข-2 ผลตอบสนองเชิงความถี่โดยการเปรียบเทียบค่าตัวเก็บประจุ C_{Hv} ที่ต่างกัน	123
รูปที่ ง-1 การต่อวงจรระหว่างมอดูล	128
รูปที่ จ-1 รูปสัญญาณกระแสด้านเข้าและสัญญาณบัสแบ่งโหลด.....	129
รูปที่ ซ-1 เวลาในกระบวนการแปลงสัญญาณแอนะล็อก [15].....	131
รูปที่ ซ-2 การตรวจสอบการชักรั่วอย่างสัญญาณค่ายอดของกระแสด้านเข้า.....	133
รูปที่ ซ-3 การตรวจสอบการชักรั่วอย่างสัญญาณค่ายอดของกระแสด้านเข้า (10 μ s/div)	133
รูปที่ ซ-4 การตรวจสอบการชักรั่วอย่างสัญญาณค่ายอดของกระแสด้านเข้า (20 μ s/div)	134
รูปที่ ซ-1 รูปสัญญาณขั้วเกิดของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส	135
รูปที่ ฉ-1 รูปการทดสอบการควบคุมคุณภาพโหลด	136

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

เครื่องจ่ายกำลังไฟฟ้าที่จ่ายกำลังไฟฟ้าให้กับโหลดที่ต้องการความมั่นคงสูงและความน่าเชื่อถือสูง โหลดเหล่านี้มีความต้องการกำลังไฟฟ้าอยู่ตลอดเวลาและไม่สามารถยอมรับการเกิดขึ้นของช่วงเวลาที่ไม่มีการจ่ายกำลังไฟฟ้าให้กับตัวเองได้ (down time) เพราะฉะนั้น เครื่องจ่ายกำลังไฟฟ้าที่อยู่ภายในระบบจ่ายกำลังไฟฟ้าของโหลดเหล่านี้จำเป็นต้องมีการขนานด้วยเครื่องจ่ายกำลังไฟฟ้าอื่นอย่างน้อย 1 ตัว (redundancy, N+1) เพื่อเพิ่มความมั่นคงให้แก่ระบบจ่ายกำลังไฟฟ้า อีกทั้งภายในระบบจ่ายกำลังไฟฟ้าต้องมีการควบคุมกระแสไหลในเครื่องจ่ายกำลังไฟฟ้าทุกตัวให้มีปริมาณเท่ากัน เพื่อปกป้องไม่ให้เครื่องจ่ายกำลังไฟฟ้าตัวใดตัวหนึ่งภายในระบบจ่ายกำลังไฟฟ้าแบกรับภาระการจ่ายกำลังไฟฟ้ามกเกินไป ซึ่งจะเป็นการบั่นทอนอายุการใช้งานของเครื่องจ่ายกำลังไฟฟ้าตัวนั้น ๆ ให้สั้นลง [1]

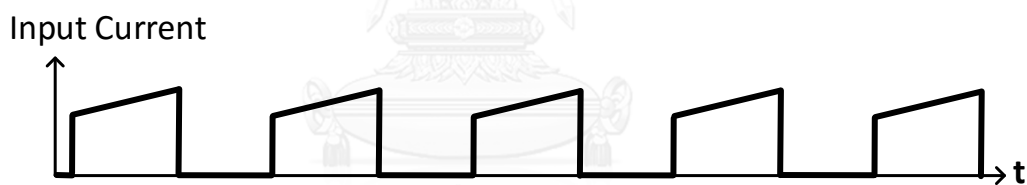
ภายในวงจรแปลงผันกำลังไฟฟ้ากระแสตรงเป็นกระแสตรงแบบคู่ขนานมีวงรอบการควบคุม 3 วงรอบ ได้แก่ วงควบคุมแรงดัน (voltage control loop) วงควบคุมกระแส (current control loop) และวงควบคุมดุลยภาพโหลด (load balancing control loop) วงควบคุมดุลยภาพโหลดเป็นหัวใจสำคัญในบริบทของเครื่องจ่ายกำลังไฟฟ้าที่ทำงานแบบคู่ขนาน วงรอบนี้ทำหน้าที่ในการควบคุมการจ่ายกระแสไหลให้เป็นไปอย่างสมดุลกับเครื่องจ่ายกำลังไฟฟ้าคู่ขนาน

ในปัจจุบันวงจรแปลงผันกำลังไฟฟ้ากระแสตรงเป็นกระแสตรงแบบคู่ขนาน มีจุดตรวจจับกระแส 2 จุด ได้แก่ จุดตรวจจับกระแสด้านออกและกระแสด้านเข้า กระแสด้านเข้าถูกตรวจจับสำหรับวงควบคุมกระแสเพื่อนำไปใช้ในการป้องกันการพังเสียหายของอุปกรณ์สวิตช์กำลังในวงจรภาคกำลังจากกระแสลัดวงจร ส่วนกระแสด้านออกถูกตรวจจับสำหรับวงควบคุมดุลยภาพโหลดเพื่อนำไปใช้ในการควบคุมการจ่ายกระแสไหลให้มีปริมาณเท่ากับวงจรแปลงผันกำลังไฟฟ้ากระแสตรงเป็นกระแสตรงแบบคู่ขนาน

แนวทางหนึ่งของการลดขนาดและจำนวนอุปกรณ์ของวงจรแปลงผันกำลังไฟฟ้ากระแสตรงเป็นกระแสตรงแบบคู่ขนานคือ การลดจำนวนจุดตรวจจับกระแสจุดใดจุดหนึ่งหรือการยกเลิกการใช้จุดตรวจจับกระแสจุดใดจุดหนึ่ง

การยกเลิกการใช้จุดตรวจจับกระแสด้านนอกมีความเป็นไปได้มากกว่า ดังนี้ การยกเลิกการใช้จุดตรวจจับกระแสด้านเข้า จะทำให้วงควบคุมกระแสไม่เหลือความสามารถในการปกป้องการพังเสียหายของวงจรภาคกำลังจากกระแสลัดวงจรที่อุบัติขึ้นก่อนจุดตรวจจับกระแสด้านนอก เนื่องจากการขาดหายไปของจุดตรวจจับกระแสด้านเข้า (วงควบคุมกระแสจะไม่ได้มีสัญญาณกระแสด้านเข้าให้รับรู้อีกต่อไป) ถ้าเกิดการลัดวงจรก่อนจุดตรวจจับกระแสด้านออกวงจรภาคกำลังจะได้รับความเสียหายร้ายแรง

ในอีกด้านหนึ่ง การยกเลิกการใช้จุดตรวจจับกระแสด้านนอก วงควบคุมกระแสยังคงมีความสามารถในการปกป้องการพังเสียหายของอุปกรณ์สวิตซ์กำลังในวงจรภาคกำลัง เนื่องจากยังคงมีจุดตรวจจับกระแสด้านเข้า จุดตรวจจับกระแสด้านเข้าจะสามารถปกป้องการพังเสียหายของวงจรภาคกำลังจากกระแสลัดวงจรที่เกิดในกระแสด้านออก ส่วนกระแสด้านออกที่ได้ทำหน้าที่สำหรับการควบคุมการจ่ายกระแสโหลดเพื่อความสมดุลของโหลด กระแสด้านเข้าจะสามารถทำงานในหน้าที่นี้แทนกระแสด้านออก เนื่องจากการเปลี่ยนแปลงของกระแสด้านเข้าแปรผันตามกับการเปลี่ยนแปลงของกระแสด้านออก

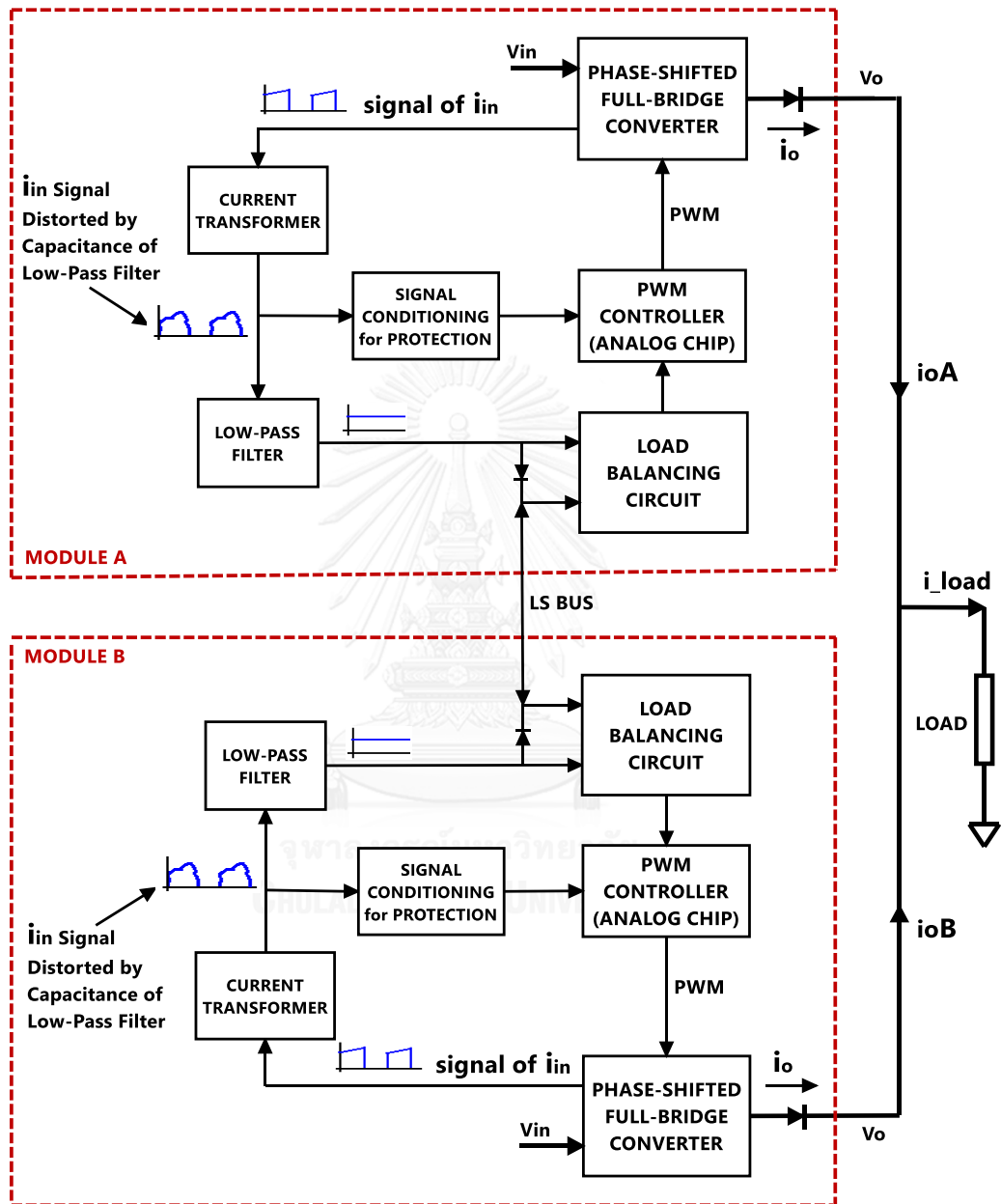


รูปที่ 1-1 กระแสด้านเข้า

การนำสัญญาณกระแสด้านเข้ามาทำงานสำหรับการควบคุมคุณภาพโหลด ในระบบควบคุมแบบแอนะล็อก (สำหรับการตัดแปลงจากระบบควบคุมดั้งเดิมที่ไม่ซับซ้อน) มีอุปสรรคพอสมควร ดังนี้

การทำงานสำหรับวงจรควบคุมคุณภาพโหลด (load balancing circuits) ในรูปที่ 1-2 สัญญาณด้านเข้าของวงจรต้องเป็นองค์ประกอบกระแสตรงของกระแสด้านเข้าเท่านั้น ทำให้จำเป็นต้องเพิ่มวงจรกรองความถี่ต่ำผ่าน (low-pass filter) เพื่อกรองให้เหลือเพียงองค์ประกอบกระแสตรง โดยวางในตำแหน่งที่ต่อจากวงจรหม้อแปลงกระแส (current transformer) ดังรูปที่ 1-2 วงจรกรองความถี่ต่ำผ่านที่ได้เพิ่มเข้าไปจะลดทอนองค์ประกอบฮาร์มอนิกความถี่สูงของสัญญาณกระแสด้านเข้า ส่งผลให้สัญญาณกระแสด้านเข้าที่ส่งให้ตัวควบคุม pwm เพื่อนำไปใช้ในการปกป้องการพังเสียหายของวงจรภาคกำลังจากกระแสลัดวงจรเกิดการบิดเบือน (distortion) ตัว

ควบคุม pwm จึงได้รับสัญญาณที่บิดเบือนไปจากกระแสในวงจรภาคกำลัง จนส่งผลให้การปรับอง
 วงจรภาคกำลังของตัวควบคุม pwm เกิดปัญหาทางด้านความเร็วการตอบสนอง



รูปที่ 1-2 แผนภาพบล็อกการควบคุมด้วยภาพไหลที่อาศัยกระแสด้านเข้า
 ในระบบควบคุมแบบแอนะล็อก

อย่างไรก็ตาม เมื่อพิจารณาถึงการประยุกต์ใช้ระบบควบคุมแบบดิจิทัลสำหรับการ
 การนำสัญญาณกระแสด้านเข้ามาทำงานสำหรับการควบคุมด้วยภาพไหล ซึ่งมีหน่วย

ประมวลผลกลางเป็นตัวประมวลผลสัญญาณดิจิทัล พบว่าตัวประมวลผลสัญญาณดิจิทัลสามารถใช้สัญญาณที่ไม่ใช่ของค์ประกอบกระแสตรงของสัญญาณกระแสด้านเข้า เนื่องจากหลักการรับสัญญาณของตัวประมวลผลสัญญาณดิจิทัลจะใช้การชักตัวอย่าง (sampling) ที่ไม่ต่อเนื่องทางเวลา การคำนวณหาค่าต่าง ๆ ของสัญญาณที่รับเข้ามาจากภายนอกจึงสามารถประมวลผลภายในตัวประมวลผลสัญญาณดิจิทัล ฉะนั้นจึงสามารถหลีกเลี่ยงปัญหาในระบบควบคุมแอนะล็อกที่วงจรของความถี่ต่ำสร้างการบิดเบือนของสัญญาณกระแสด้านเข้า ผู้วิจัยจึงเสนอให้นำแนวความคิดการใช้กระแสด้านเข้าเพื่อการทำงานการควบคุมคุณภาพโหลดมาศึกษาทดลองในระบบควบคุมแบบดิจิทัล

1.2 การควบคุมคุณภาพโหลดแบบดั้งเดิม

ตั้งแต่เริ่มมีการพัฒนาการทำงานแบบคู่ขนานของวงจรแปลงผันกระแสตรงเป็นกระแสตรง ได้มีการนำเสนอรูปแบบวิธีการแบ่งกระแสโหลดไว้มากมาย [2-7] โดยทั่วไปสามารถแบ่งได้เป็น 2 กลุ่มใหญ่ ได้แก่ กลุ่มวิธีที่มีการติดต่อข้อมูลกระแสโหลดระหว่างมอดูลและกลุ่มวิธีที่ไม่มีการติดต่อข้อมูลกระแสโหลดระหว่างมอดูล

กลุ่มวิธีที่ไม่มีการติดต่อข้อมูลกระแสโหลดระหว่างมอดูล ได้แก่ วิธี droop [3] ส่วนกลุ่มวิธีที่มีการติดต่อข้อมูลกระแสโหลดระหว่างมอดูล ได้แก่ วิธี active control [2, 4-7]

วิธี droop ไม่มีตัวควบคุมคุณภาพโหลดและเส้นสัญญาณบัสแบ่งโหลดซึ่งเป็นข้อได้เปรียบ แต่มีข้อเสียเปรียบคือความเที่ยงตรงในการแบ่งกระแสต้องพึ่งพิงความเที่ยงตรงของค่า set-point ของแรงดันด้านออกในแต่ละมอดูลที่สูง

เนื่องจากการจะควบคุมให้ค่าความเที่ยงตรงของค่า set-point แรงดันด้านออกในแต่ละมอดูลมีค่าสูง ต้องใช้ต้นทุนในการผลิตที่สูงมากหรือต้องสิ้นเปลืองเวลาสำหรับการปรับละเอียด (fine tuning) ในขบวนการผลิตมาก

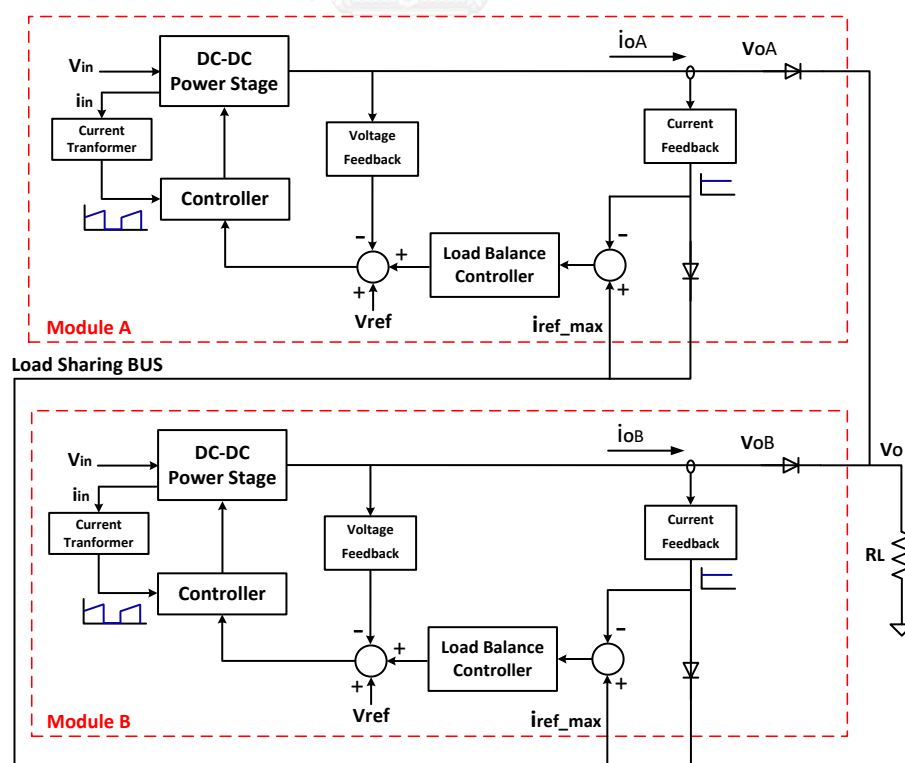
ในงานวิจัยของ B.T. Irving และ M.Jovanovic พบว่าถ้าต้องการความเที่ยงตรงในการแบ่งกระแสเท่ากับ 10% ค่า set-point ของแรงดันด้านออกในแต่ละมอดูลจะต้องมีค่าต่างกันไม่มากไปกว่า 0.35 % [3]

อีกทั้งวิธี droop ยังมีข้อด้อยเรื่องความขัดแย้งกันระหว่างความเที่ยงตรงในการแบ่งกระแสและ regulation ของแรงดันด้านออก โดยรวมแล้ววิธี droop จึงค่อนข้างมีข้อจำกัดในการนำไปใช้งาน

ต่อมาในช่วงต้นทศวรรษที่ 1980 ระบบการแบ่งกระแสแบบ master-slave ได้ถูกพัฒนาขึ้น [8] เพื่อแก้ปัญหาค่าความขัดแย้งกันระหว่างความเที่ยงตรงในการแบ่งกระแสและ regulation ของแรงดันด้านออกในวิธีแบบ droop

ระบบ master-slave สามารถแบ่งออกได้ 2 แบบย่อย ได้แก่ dedicated master และ automatic master-slave ข้อแตกต่างของสองแบบนี้คือการทดแทนกันได้ (redundancy) ของวงจรแปลงผันฯ ระหว่างตัวมาสเตอร์และสลาฟ กล่าวคือในระบบ dedicated master วงจรแปลงผันฯ ที่เป็นตัวสลาฟและมาสเตอร์ไม่สามารถทำงานทดแทนตำแหน่งกันได้ (เช่น ในกรณีวงจรแปลงผันฯ มาสเตอร์เกิดการชำรุดขัดข้อง วงจรแปลงผันฯ ที่จะสามารถทำงานในตำแหน่งที่ชำรุดขัดข้องดังกล่าวต้องเป็นวงจรแปลงผันฯ มาสเตอร์เท่านั้น และในทางกลับกัน ก็เช่นเดียวกันที่วงจรแปลงผันฯ สลาฟเกิดการชำรุดขัดข้อง) ส่วนในระบบ automatic master วงจรแปลงผันฯ ทุกตัวสามารถทำงานทดแทนตำแหน่งกัน หรือกล่าวอีกอย่างได้ว่าไม่มีมาสเตอร์หรือสลาฟแล้ว

ผู้เขียนได้ศึกษาและพบว่าการควบคุมรูปแบบ automatic master มีข้อดีหลายประการจึงจะนำวิธีการแบ่งกระแสที่อยู่ในรูปแบบ automatic master ซึ่งถูกนำไปใช้ในภาคอุตสาหกรรมมากที่สุด มาอธิบายอันได้แก่ วิธีการแบ่งกระแสแบบกระแสสูงสุด ดังนี้



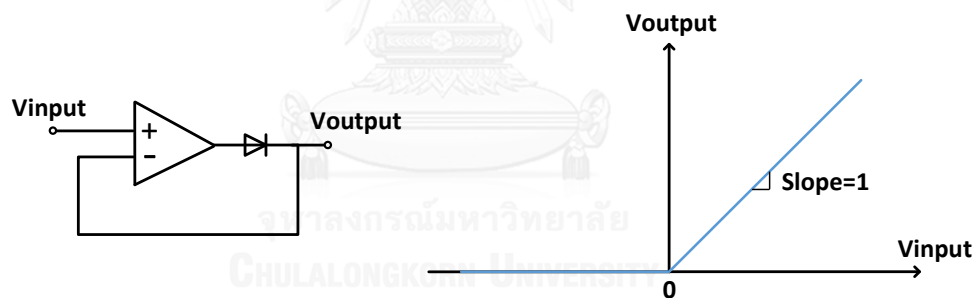
รูปที่ 1-3 แผนภาพบล็อกการควบคุมของวิธีการแบ่งกระแส

แบบกระแสสูงสุด

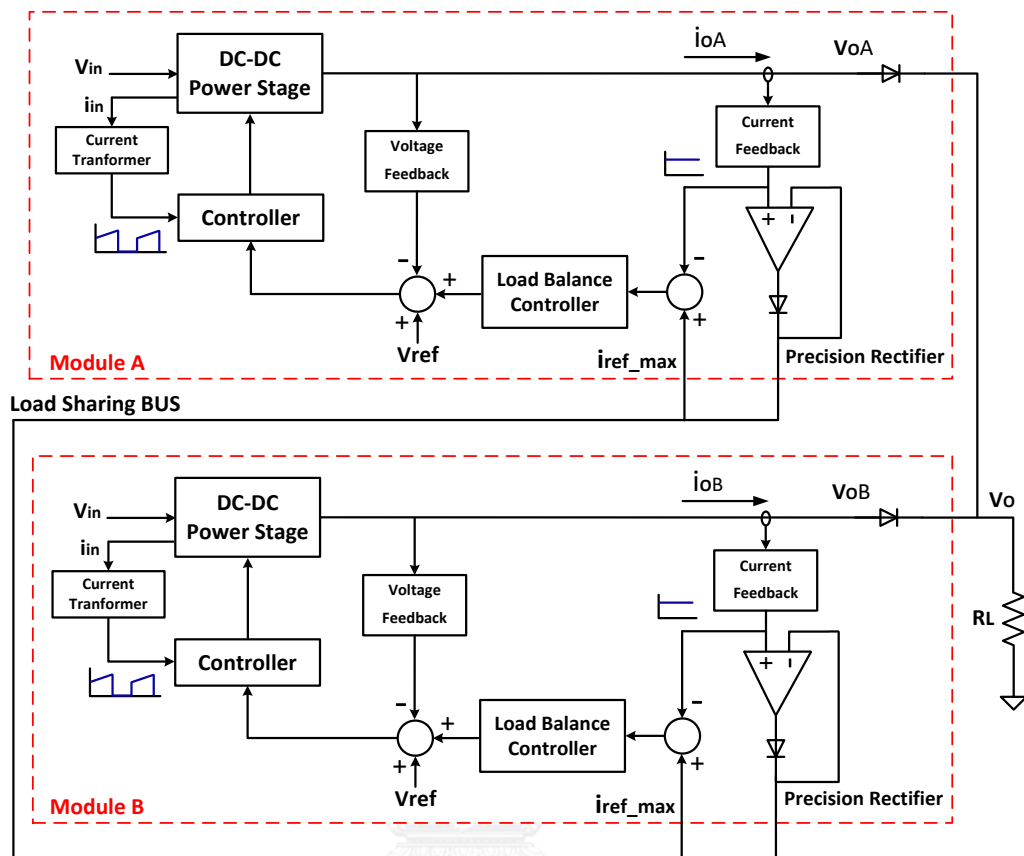
การควบคุมกระแสด้านออกให้เท่ากันในวิธีการแบ่งกระแสแบบกระแสสูงสุดใช้การปรับค่าสัญญาณอ้างอิงแรงดันด้านออกในแต่ละมอดูล ดังแสดงในรูปที่ 1-3 สัญญาณอ้างอิงของวงควบคุมดลยภาพไหลดของแต่ละมอดูลเป็นค่ากระแสด้านออกในมอดูลที่จ่ายกระแสไหลดสูงสุด การปรับแรงดันด้านออกเพื่อชดเชยกระแสด้านออกให้เท่ากับมอดูลคู่ขนานถูกปรับในทิศทางที่เพิ่มขึ้นเท่านั้น

ความเที่ยงตรงในการแบ่งกระแสของวิธีนี้มีผลที่ค่อนข้างดี แต่ก็ยังมีค่าแรงดันตกคร่อมไดโอดขณะไบอัสตรงซึ่งเป็นค่าผิดพลาดในการแบ่งกระแสอยู่บ้าง วิธีการแบ่งกระแสแบบกระแสสูงสุดด้วยไดโอด ดังในรูปที่ 1-3 จึงมีข้อด้อยในการแบ่งกระแสเนื่องด้วยไดโอดอยู่

ต่อมาได้มีการปรับปรุงโดยนำหลักการของการเรียงกระแสแบบอุดมคติ (ideal rectifier) โดยวงจร precision rectifier ดังแสดงในรูปที่ 1-4 เข้ามาประยุกต์เพื่อช่วยแก้ไขข้อด้อยเรื่องแรงดันตกคร่อมไดโอดขณะไบอัสตรง [7] ดังแสดงเป็นแผนภาพบล็อกการควบคุมในรูปที่ 1-5



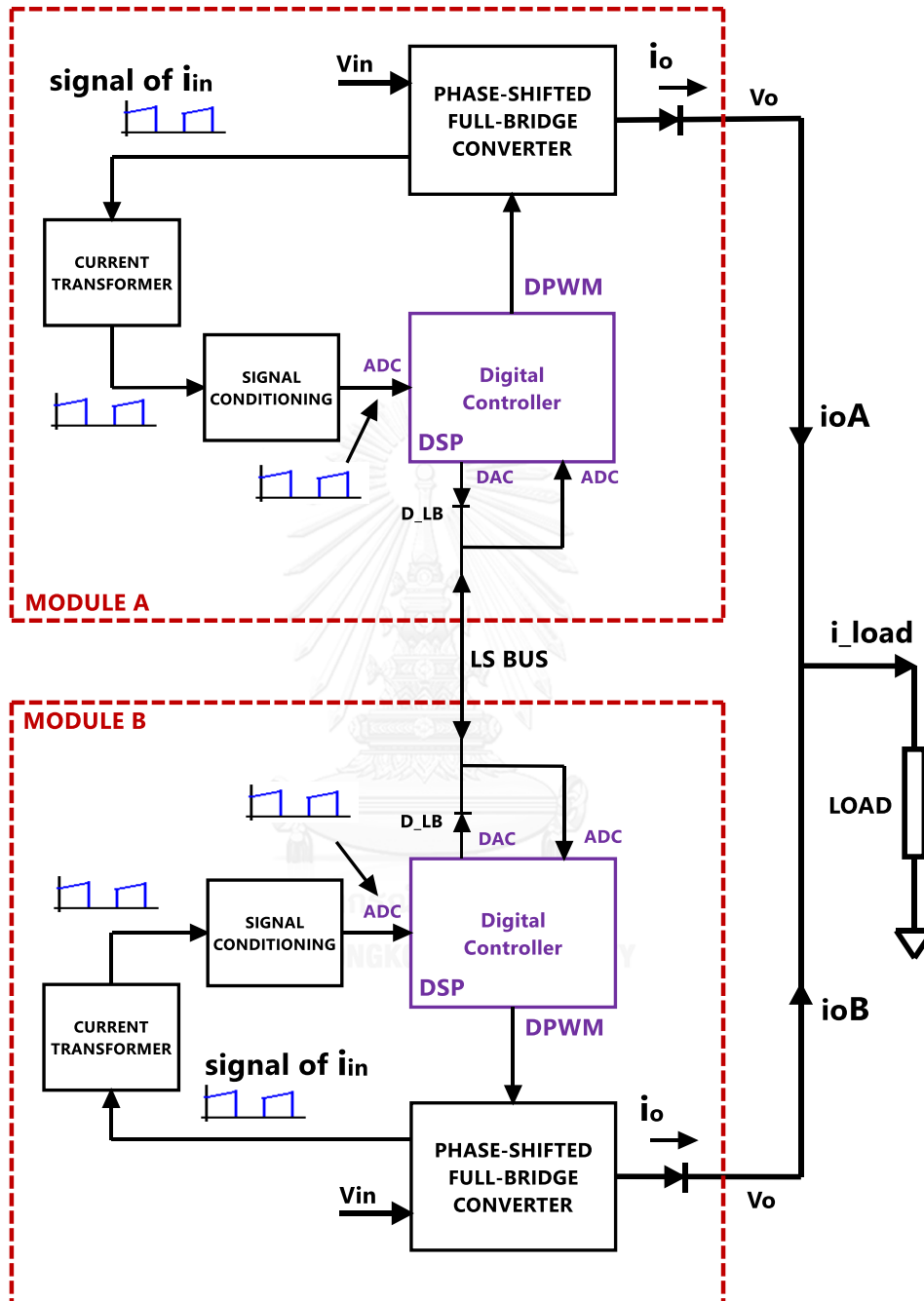
รูปที่ 1-4 วงจร precision rectifier และกราฟการทำงาน



รูปที่ 1-5 แผนภาพบล็อกการควบคุมของวิธีการแบ่งกระแสแบบกระแสสูงสุดที่อาศัยหลักการเรียงกระแสแบบอุดมคติ

ดังนั้นที่ผ่านมามีการควบคุมคุณภาพโหลดในระบบ automatic master ได้อาศัยกระแสด้านออกเป็นข้อมูลในการปรับกระแสโหลด ดังเช่นวิธีการแบ่งกระแสแบบกระแสสูงสุดที่ได้อธิบายมา ซึ่งในปัจจุบันวิธีการแบ่งกระแสแบบกระแสสูงสุดมีความเหมาะสมในการนำไปใช้งานมากที่สุด ส่วนการตรวจวัดกระแสนั้น กระแสด้านออกได้ถูกตรวจวัดด้วยตัวต้านทานตรวจวัดกระแส (current shunt resistors) และกระแสด้านเข้าได้ถูกตรวจวัดด้วยหม้อแปลงกระแส

1.3 หลักการควบคุมด้วยภาพไหลตที่นำเสนอ



รูปที่ 1-6 แผนภาพบล็อกการควบคุมด้วยภาพไหลตที่อาศัยกระแสด้านเข้า

รูปที่ 1-6 เป็นแผนภาพบล็อกการควบคุมด้วยภาพไหลตที่นำเสนอ ซึ่งเป็นระบบควบคุมแบบดิจิทัล โดยมีตัวประมวลผลสัญญาณดิจิทัลทำหน้าที่ควบคุมการนำกระแสของ

อุปกรณ์สวิตซ์กำลังในวงจรภาคกำลังและการติดต่อระหว่างมอดูล หลักการควบคุมคุณภาพโหลด ได้แก่ การควบคุมให้ค่ายอดของกระแสด้านเข้า (i_{in}) ของสองมอดูลมีค่าเท่ากัน

ตัวประมวลผลสัญญาณดิจิทัลจะชักตัวอย่างสัญญาณกระแสด้านเข้าที่ได้จากการตรวจวัดโดยหม้อแปลงกระแส เพื่อนำค่ายอดของสัญญาณกระแสด้านเข้ามาใช้ในการควบคุมคุณภาพโหลด พร้อมกับส่งให้กับตัวประมวลผลสัญญาณดิจิทัลที่อยู่ในอีกมอดูลหนึ่ง (มอดูลคู่ขนาน)

บัสแบ่งโหลด (load sharing bus, LS BUS) เป็นบัสติดต่อสำหรับการควบคุมคุณภาพโหลด การส่งค่ายอดของสัญญาณกระแสด้านเข้าให้กับตัวประมวลผลสัญญาณดิจิทัลในมอดูลคู่ขนานจะกระทำในบัสแบ่งโหลดนี้

หลักการทำงานของบัสแบ่งโหลดเป็นการส่งค่ายอดของสัญญาณกระแสด้านเข้าในมอดูลที่จ่ายกระแสโหลดมากกว่าไปให้กับมอดูลที่จ่ายกระแสโหลดน้อยกว่า ส่วนในมอดูลที่จ่ายกระแสโหลดมากกว่าจะได้รับค่ายอดของสัญญาณกระแสด้านเข้าในมอดูลของตนเอง

ตัวประมวลผลสัญญาณดิจิทัลจะนำค่ายอดของสัญญาณกระแสด้านเข้าจากบัสแบ่งโหลดไปเปรียบเทียบกับค่ายอดของสัญญาณกระแสด้านเข้าในมอดูลของตนเอง เพื่อนำผลต่างไปควบคุมคุณภาพโหลดผ่านทางสัญญาณ DPWM (digital PWM)

โดยทั่วไปตัวชี้วัดถึงประสิทธิผลของการควบคุมคุณภาพโหลดเป็นค่าผลต่างระหว่างค่ากระแสด้านออกในแต่ละมอดูล ซึ่งจะกระทบถึงการชี้วัดประสิทธิผลของการควบคุมคุณภาพโหลดด้วยการอาศัยค่ายอดของกระแสด้านเข้า เนื่องจากถ้าค่ายอดของกระแสด้านเข้าในแต่ละมอดูลมีค่าเท่ากันแล้ว ค่ากระแสด้านออกในแต่ละมอดูลไม่จำเป็นต้องมีค่าเท่ากันเสมอไป เพราะยังได้มีปัจจัยที่ส่งผลกระทบต่อความสัมพันธ์ของค่ายอดของกระแสด้านเข้าและค่ากระแสด้านออก ปัจจัยเหล่านี้ ได้แก่ ระดับแรงดันด้านเข้า ค่าตัวเหนี่ยวนำด้านออกและประสิทธิภาพของวงจรแปลงผันกำลัง

ค่ายอดของกระแสด้านเข้าในแต่ละมอดูลที่มีค่าเท่ากันจะสะท้อนถึงค่ากระแสด้านออกในแต่ละมอดูลที่มีค่าเท่ากันก็ต่อเมื่อระดับแรงดันด้านเข้า ค่าตัวเหนี่ยวนำด้านออกและประสิทธิภาพของวงจรแปลงผันกำลังในแต่ละมอดูลมีค่าเท่ากัน

ดังนั้นวิธีการควบคุมคุณภาพโหลดด้วยค่ายอดของกระแสด้านเข้าจะมีค่าชี้วัดประสิทธิผลของการควบคุมคุณภาพโหลดที่ดีก็ต่อเมื่อ ระดับแรงดันด้านเข้า ค่าตัวเหนี่ยวนำด้านออกและประสิทธิภาพของวงจรแปลงผันกำลังในแต่ละมอดูลมีค่าเท่ากัน

ผู้วิจัยจึงกำหนดให้การเท่ากันของค่าระดับของแรงดันด้านเข้า ค่าตัวเหนี่ยวนำ ด้านออกและค่าประสิทธิภาพของวงจรแปลงผันกำลังในแต่ละมอดูลเป็นเงื่อนไขในงานวิจัย

1.4 วัตถุประสงค์ของงานวิจัย

1. พัฒนาวงจรควบคุมของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟสแบบคู่ขนาน ให้สามารถทำงานด้วยจุดตรวจจับกระแสด้านเข้าเพียงจุดเดียว โดยควบคุมด้วยระบบดิจิทัล

1.5 ขอบเขตงานวิจัย

- พัฒนาวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟสแบบคู่ขนานที่ทำงานด้วยแรงดันด้านเข้า 400 Vdc และมีค่าแรงดันด้านออก 12 Vdc และค่าพิกัดกระแสด้านออกระดับ 50 Adc ให้สามารถใช้สัญญาณกระแสด้านเข้าในการควบคุมคุณภาพโหลด
- ออกแบบและสร้างตัวควบคุมดิจิทัลสำหรับตัวควบคุมแรงดัน (G_{vc}) ตัวควบคุมกระแส (G_{ic}) และตัวควบคุมคุณภาพโหลด (G_{lbc})
- โหลดเป็นความต้านทานบริสุทธิ์

1.6 ขั้นตอนและวิธีการดำเนินการ

- ศึกษาการทำงานของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส
- ค้นคว้าและศึกษาการออกแบบตัวควบคุมแบบดิจิทัลของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส
- ศึกษาการใช้งานตัวประมวลผลสัญญาณดิจิทัล และการเขียนเฟิร์มแวร์สำหรับการควบคุมวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส
- ศึกษา ค้นคว้าแบบจำลองทางคณิตศาสตร์ของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟสและวงจรป้อนกลับ
- ออกแบบตัวควบคุมดิจิทัล
- ทดสอบระบบควบคุมและการควบคุมคุณภาพโหลด
- สรุปผลการวิจัย

- เขียนและจัดพิมพ์วิทยานิพนธ์

1.7 ประโยชน์ที่คาดว่าจะได้รับ

- ได้วงจรแปลงผันเต็มบริดจ์แบบเลื้อนเฟสแบบคู่ขนานที่มีระบบควบคุมแบบดิจิทัล
- ได้วงจรแปลงผันเต็มบริดจ์แบบเลื้อนเฟสแบบคู่ขนานที่ใช้จุดตรวจจับกระแสเพียงจุดเดียว
- ได้วงจรแปลงผันเต็มบริดจ์แบบเลื้อนเฟสแบบคู่ขนานที่ใช้จำนวนอุปกรณ์น้อยลงและขนาดของวงจรเล็กกลง

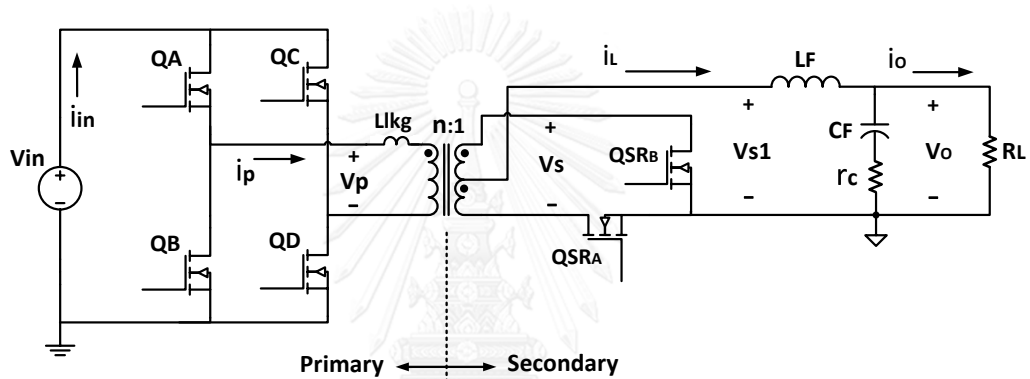


บทที่ 2

การทำงานและฟังก์ชันถ่ายโอนของวงจรภาคกำลัง

2.1 โครงสร้างของวงจรแปลงผันเต็มบริดจ์แบบเล็อนเฟส

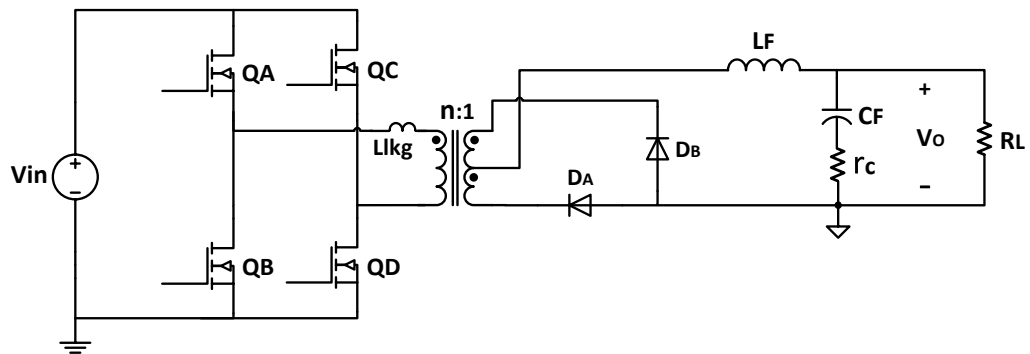
วงจรแปลงผันเต็มบริดจ์แบบเล็อนเฟสที่มีวงจรเรียงกระแสแบบเข้าจังหวะ เป็น วงจรภาคกำลังของระบบ มีโครงสร้าง ดังรูปที่ 2-1 โดยมีอุปกรณ์สวิตซ์กำลังเป็นมอสเฟตชนิดเอ็น แชนเนล



รูปที่ 2-1 วงจรแปลงผันเต็มบริดจ์แบบเล็อนเฟสที่มีวงจรเรียงกระแสแบบเข้าจังหวะ

วงจรด้านปฐมภูมิ (primary) ประกอบด้วยอุปกรณ์สวิตซ์กำลัง 4 ตัว วางเรียงตัว เป็น 2 กิ่ง โดยในแต่ละกิ่งประกอบด้วย อุปกรณ์สวิตซ์กำลังอนุกรม 2 ตัว และมีหม้อแปลงวาง คร่อมระหว่างกลางของทั้งสองกิ่ง

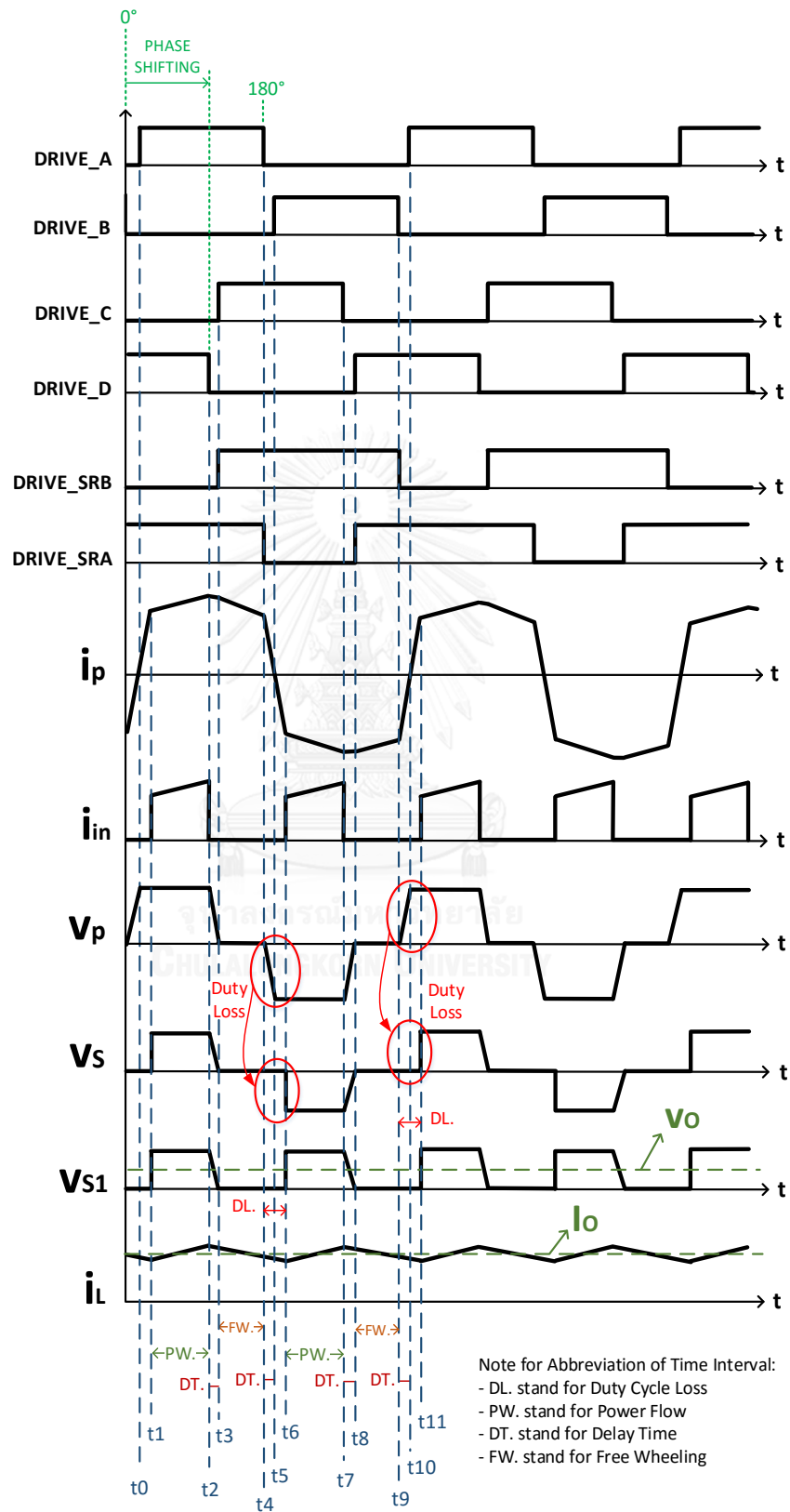
วงจรด้านทุติยภูมิ (secondary) ประกอบด้วยอุปกรณ์สวิตซ์กำลังที่สามารถ ควบคุมการนำกระแส 2 ตัว (QSRa, QSRb) เรียงตัวเป็นวงจรเรียงกระแสแบบเต็มคลื่น (full wave rectifier) ซึ่งทำงานแบบการเรียงกระแสเข้าจังหวะ (synchronous rectifier) เป็นวงจรที่แตกแขนง ออกมาจากวงจรเรียงกระแสแบบไดโอด ดังรูปที่ 2-2



รูปที่ 2-2 วงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟสที่มีวงจรเรียงกระแสแบบไดโอด

ในส่วนตัวเหนี่ยวนำด้านออก (L_F) และตัวเก็บประจุด้านออก (C_F) ทำหน้าที่เป็น วงจรกรองความถี่ต่ำ เพื่อกรองแรงดัน V_{s1} ให้เป็นแรงดันกระแสตรง

2.2 หลักการทำงานของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส [9-13]



รูปที่ 2-3 สัญญาณแรงดันและกระแสของวงจรเต็มบริดจ์แบบเลื่อนเฟส

อุปกรณ์สวิตช์กำลังแต่ละตัวที่อยู่ในกิ่งเดียวกันจะสลับกันนำกระแสด้วยวัฏจักรงาน 50 % เพื่อสร้างแรงดันรูปกึ่งสี่เหลี่ยม (quasi square) ที่ขดหม้อแปลง (V_p) การควบคุมความกว้างพัลส์ของแรงดัน V_p ใช้การปรับเลื่อนเวลาการเกิดของสัญญาณขับเคลื่อนของคู่อุปกรณ์สวิตช์กำลัง QC-QD เทียบกับการเกิดของสัญญาณขับเคลื่อนของคู่อุปกรณ์สวิตช์กำลัง QA-QB เรียกกระบวนการนี้ว่า การเลื่อนเฟส (phase shifting) ดังแสดงใน รูปที่ 2-3

กระบวนการเลื่อนเฟสคือกระบวนการปรับระดับแรงดันด้านออก ในรูปที่ 2-3 ถ้าเลื่อนเฟสไปที่ 0° ความกว้างพัลส์แรงดัน V_p จะเป็นศูนย์เนื่องจากอุปกรณ์สวิตช์กำลัง QA กับ QC นำกระแสเวลาเดียวกันเป็นเวลาที่ยาวนานที่สุด และอุปกรณ์สวิตช์กำลัง QB กับ QD นำกระแสเวลาเดียวกันเป็นเวลานานที่สุด

ในขณะที่ ถ้าเราเลื่อนเฟสไป 180° ความกว้างพัลส์แรงดัน V_p จะมีค่ามากที่สุด เนื่องจาก อุปกรณ์สวิตช์กำลัง QA กับ QD นำกระแสเวลาเดียวกันเป็นเวลานานที่สุด และอุปกรณ์สวิตช์กำลัง QB กับ QC นำกระแสเวลาเดียวกันเป็นเวลานานที่สุด ในกรณีนี้ระดับแรงดันด้านออกจะมีค่ามากที่สุด ส่วนในกรณีก่อนหน้า ระดับแรงดันด้านออกจะเป็นศูนย์โวลต์หรือไม่มีแรงดัน

ดังนั้นค่าเฟสที่ถูกเลื่อนนี้จึงเป็นการปรับวัฏจักรงานของแรงดัน V_{s1} ด้วย

อัตราขยายแรงดันของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟสที่ไม่คำนึงถึงแรงดันตกคร่อมอุปกรณ์สวิตช์กำลังขณะนำกระแสเป็นดังสมการ (2-1)

$$\frac{V_o}{V_{in}} = \frac{D_{eff}}{n} \quad (2-1)$$

โดยที่

V_o คือ แรงดันด้านออก

V_{in} คือ แรงดันด้านเข้า

n คือ อัตรารอบของหม้อแปลง

D_{eff} คือ วัฏจักรงานประสิทธิผลหรือวัฏจักรงานในแรงดัน V_{s1} (effective duty cycle or secondary voltage duty cycle)

วัฏจักรงานประสิทธิผลคือวัฏจักรงานในแรงดัน V_{s1} ซึ่งมีความสัมพันธ์กับวัฏจักรงานของแรงดัน V_p ตามสมการ (2-2) (นับ 1 รอบวัฏจักรเท่ากับครึ่งรอบวัฏจักรงานของสัญญาณขับเคลื่อนของคู่อุปกรณ์สวิตช์กำลังปฐมภูมิ)

$$D = D_{eff} + \Delta D \quad (2-2)$$

โดยที่

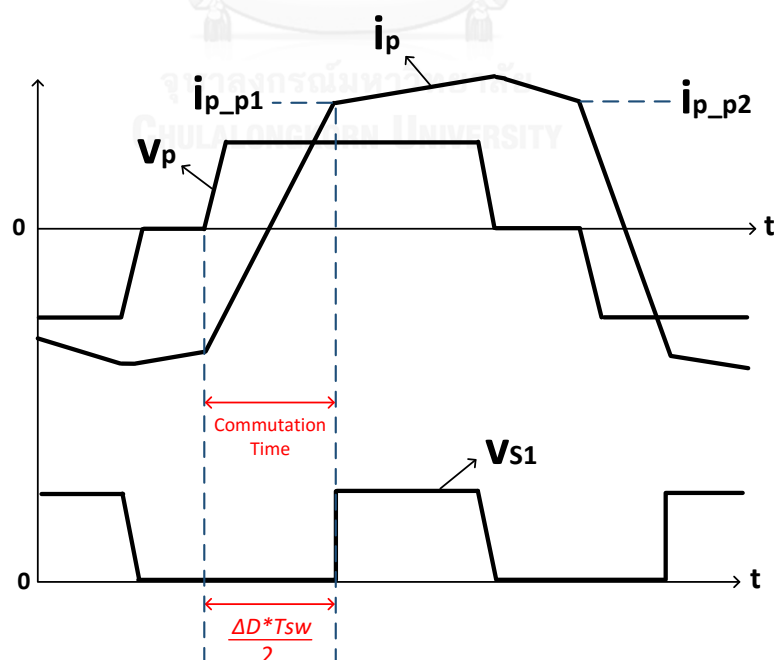
D คือ ค่าวัฏจักรงานของแรงดัน V_p (primary voltage duty cycle)

ΔD คือ ค่าวัฏจักรงานที่สูญหาย

เวลาของวัฏจักรงานที่สูญหายคือ ช่วงเวลาที่แรงดัน V_{s1} มีค่าเท่ากับศูนย์โวลต์
 ณ. เวลาที่แรงดัน V_p มีค่าไม่เท่ากับศูนย์โวลต์ หรืออาจจะกล่าวในอีกลักษณะว่า วัฏจักรงานที่สูญ
 หายคือ วัฏจักรงานของแรงดัน V_{s1} ที่หายไปจากแรงดัน V_p

ในรูปที่ 2-3 จะเป็นช่วงเวลา t_4-t_6 และ t_9-t_{11} และพลังงานที่ถูกส่งออกเอาต์พุต
 ในช่วงเวลานี้เป็นพลังงานที่สะสมในตัวเหนี่ยวนำด้านออก

เวลาของวัฏจักรงานที่สูญหายถูกกำหนดโดยช่วงเวลา commutation time ซึ่ง
 เป็นเวลาที่กระแสปฐมภูมิ (i_p) เปลี่ยนทิศทางจากทิศทางหนึ่งไปสู่ทิศทางหนึ่ง ดังแสดงในรูปที่ 2-4
 ค่าวัฏจักรงานที่สูญหายเป็นฟังก์ชันในหลายตัวแปร ดังสมการ (2-3)



รูปที่ 2-4 เวลาของวัฏจักรงานที่สูญหาย ($\frac{\Delta D \cdot T_{sw}}{2}$)

$$\Delta D = \frac{i_{p_p1} + i_{p_p2}}{\frac{V_{in}}{L_{lkg}} \cdot \frac{T_{sw}}{2}} \quad (2-3)$$

โดยที่

i_{p_p1} คือ ค่ายอดของกระแสประจุที่หนึ่ง อ้างอิงในรูปที่ 2-4

i_{p_p2} คือ ค่ายอดของกระแสประจุที่สอง อ้างอิงในรูปที่ 2-4

L_{lkg} คือ ค่าความเหนี่ยวนำรั่วไหลของหม้อแปลง

T_{sw} คือ คาบเวลาสัญญาณขั้วเกตุอุปกรณ์สวิตช์กำลังประจุ

การออกแบบวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส ควรได้พิจารณาถึงค่าวัฏจักรงานที่สูญหาย เนื่องจากว่าค่าวัฏจักรงานที่สูญหายที่มากขึ้นจะทำให้ระดับแรงดันด้านออกลดน้อยลง

2.2.1 ลำดับการสวิตช์

ช่วงเวลา t1-t2:

อุปกรณ์สวิตช์กำลัง QA และ QD นำกระแส อุปกรณ์สวิตช์กำลัง QB และ QC ไม่นำกระแส พลังงานจากแหล่งจ่ายถูกส่งออกสู่เอาต์พุต ช่วงเวลานี้มีชื่อว่าช่วง power flow interval

ช่วงเวลา t2-t3:

อุปกรณ์สวิตช์กำลัง QD เริ่มหยุดนำกระแส ตัวเก็บประจุแฝงในมอสเฟต QC คายประจุผ่านอุปกรณ์สวิตช์กำลัง QA แรงดันตกคร่อมอุปกรณ์สวิตช์กำลัง QC จะลดลงต่อเนื่อง

ขณะเดียวกันตัวเก็บประจุแฝงในมอสเฟต QD ถูกสะสมประจุจากแหล่งจ่ายผ่านทางอุปกรณ์สวิตช์กำลัง QA และขดลวดหม้อแปลง ทำให้แรงดันตกคร่อมอุปกรณ์สวิตช์กำลัง QD

สูงขึ้นต่อเนื่อง พร้อมกันนั้นแรงดันตกคร่อมอุปกรณ์สวิตช์กำลัง QC จะลดลงต่อเนื่อง ผลที่สุดแรงดันตกคร่อมอุปกรณ์สวิตช์กำลัง QC เป็นแรงดันไบอัสตรงต่อไดโอดแฝงในมอสเฟต QC ทำให้ไดโอดแฝงนำกระแส

พลังงานในตัวเหนี่ยวนำทำแม่เหล็กและความเหนี่ยวนำรั่วไหลของหม้อแปลงถูกคายผ่านไดโอดแฝงของมอสเฟต QC

การที่ทำให้ไดโอดแฝงในมอสเฟต QC นำกระแส ก็เพื่อให้อุปกรณ์สวิตช์กำลัง QC ได้มีกำลังสูญเสียขณะสับสวิตช์น้อยลง (lower switching power loss) ที่เรียกว่าการสวิตช์แบบนุ่มนวล (soft switching)

ช่วงเวลา t3-t4:

อุปกรณ์สวิตช์กำลัง QC เริ่มนำกระแส ทำให้ขดลวดหม้อแปลงปฐมภูมิถูกลัดวงจร ไม่มีพลังงานจากแหล่งจ่ายไม่ถูกส่งออกสู่เอาต์พุต พลังงานที่ถูกส่งออกเอาต์พุตเป็นพลังงานจากตัวเหนี่ยวนำด้านออก

กระแสที่ไหลฝั่งปฐมภูมิในช่วงนี้ เรียกว่า กระแสไหลวน (circulating current) เป็นกระแสที่เกิดจากการสะท้อนจากกระแสฝั่งทุติยภูมิของหม้อแปลง กระแสจะไหลวนผ่านอุปกรณ์สวิตช์กำลัง QA และ QC

ช่วงเวลา t4-t5:

เป็นช่วงประวิงเวลาการนำกระแสของอุปกรณ์สวิตช์กำลัง QB เพื่อป้องกันมิให้เกิดการลัดวงจรแหล่งจ่ายที่อาจเกิดขึ้นได้และรอให้แรงดันตกคร่อมอุปกรณ์สวิตช์กำลัง QB ลดลง (เนื่องจากการคายประจุของตัวเก็บประจุแฝงในมอสเฟต QB) เพื่อให้กำลังสูญเสียขณะสับสวิตช์ในอุปกรณ์สวิตช์กำลัง QB มีค่าน้อย

ช่วงเวลา t5-t7:

อุปกรณ์สวิตช์กำลัง QB และ QC นำกระแส อุปกรณ์สวิตช์กำลัง QA และ QD ไม่นำกระแส พลังงานจากแหล่งจ่ายถูกส่งออกสู่เอาต์พุต โดยกระแสปฐมภูมิครบวงจรผ่านอุปกรณ์

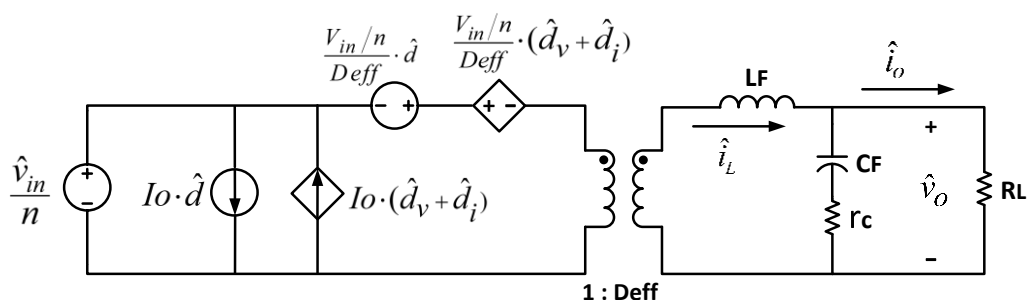
สวิตช์กำลัง QB และ QC มีลักษณะคล้ายกับช่วง t_1-t_2 ที่พลังงานไหลจากแหล่งจ่ายสู่เอาต์พุต โดยกระแสปฐมภูมิครบวงจรผ่านอุปกรณ์สวิตช์กำลัง QA และ QD

ช่วงเวลานี้เป็นเวลาที่ครบครึ่งวัฏจักรของการสวิตช์ในอุปกรณ์สวิตช์กำลังปฐมภูมิ ลำดับการสวิตช์ในช่วงต่อ ๆ ไป ก็จะเหมือนกับครึ่งวัฏจักรที่ผ่านมา เพียงแต่จะได้ปฏิบัติในกิ่งของ อุปกรณ์สวิตช์กำลังคู่ QA-QB

2.3 ฟังก์ชันถ่ายโอนของวงจรแปลงผันเต็มบริดจ์แบบเล็อนเฟส [9, 12]

เป้าหมายสำหรับระบบควบคุม คือการควบคุมแรงดันด้านออกและกระแสด้านเข้า ดังนั้นฟังก์ชันถ่ายโอนที่จำเป็นต้องใช้ในการออกแบบตัวควบคุมจึงเป็นฟังก์ชันถ่ายโอนที่สัมพันธ์กับตัวแปรที่จะถูกควบคุม อันได้แก่ ฟังก์ชันถ่ายโอนการควบคุมสู่กระแสตัวเหนี่ยวนำด้านออก (control-to-output inductor current TF., $G_{i_L d}(s)$) ใช้สำหรับการออกแบบตัวควบคุมกระแส และ ฟังก์ชันถ่ายโอนการควบคุมสู่แรงดันด้านออก (control-to-output voltage TF., $G_{V_o d}(s)$) ใช้สำหรับการออกแบบตัวควบคุมแรงดัน [14]

การหาฟังก์ชันถ่ายโอนของวงจรแปลงผันเต็มบริดจ์แบบเล็อนเฟส จำเป็นต้องทราบแบบจำลองทางคณิตศาสตร์ของวงจรแปลงผันเต็มบริดจ์แบบเล็อนเฟสเสียก่อน วิธีการหาแบบจำลองมีหลากหลายวิธี [9, 14] ได้แก่ วิธี averaged switch, วิธี state-space averaging, วิธี canonical circuit model และ วิธี three-terminal switch แบบจำลองสัญญาณขนาดเล็กของวงจรแปลงผันเต็มบริดจ์แบบเล็อนเฟส แสดงได้ดังรูปที่ 2-5



รูปที่ 2-5 แบบจำลองสัญญาณขนาดเล็ก

โดยที่

\hat{V}_{in} คือ สัญญาณขนาดเล็กลงแรงดันด้านเข้า

\hat{V}_o คือ สัญญาณขนาดเล็กลงแรงดันด้านออก

\hat{i}_L คือ สัญญาณขนาดเล็กลงกระแสตัวเหนี่ยวนำด้านออก

\hat{i}_o คือ สัญญาณขนาดเล็กลงกระแสด้านออก

\hat{d} คือ สัญญาณขนาดเล็กลงวัฏจักรงานของแรงดัน V_p

I_o คือ สัญญาณขนาดใหญ่แห่งกระแสด้านออก

\hat{d}_v คือ สัญญาณขนาดเล็กลงวัฏจักรงานที่สูญหายเนื่องจากการเปลี่ยนแปลงของแรงดันด้านเข้า (\hat{V}_{in})

\hat{d}_i คือ สัญญาณขนาดเล็กลงวัฏจักรงานที่สูญหายเนื่องจากการเปลี่ยนแปลงของกระแสตัวเหนี่ยวนำด้านออก (\hat{i}_L)

ฟังก์ชันถ่ายโอน $G_{vod}(s)$ คือ อัตราส่วนสัญญาณขนาดเล็กลงแรงดันด้านออกต่อสัญญาณขนาดเล็กลงวัฏจักรงานของแรงดัน V_p ณ. ขณะที่ไม่มี การเปลี่ยนแปลงของแรงดันด้านเข้าและกระแสด้านออก ดังสมการ (2-4)

$$G_{vod}(s) = \frac{\hat{V}_o}{\hat{d}} \Big|_{\hat{V}_{in}=0, \hat{i}_o=0} \quad (2-4)$$

ซึ่งมีค่าเท่ากับ

$$G_{vod}(s) = \frac{V_{in}}{n} \cdot \frac{1}{1 + \frac{R_d}{R_L}} \cdot \frac{1 + \frac{s}{\omega_{zc}}}{\omega_o^2 + \frac{s}{Q\omega_o} + 1} \quad (2-5)$$

ฟังก์ชันถ่ายโอน $G_{ild}(s)$ คือ อัตราส่วนสัญญาณขนาดเล็กลงกระแสตัวเหนี่ยวนำด้านออกต่อสัญญาณขนาดเล็กลงวัฏจักรงานของแรงดัน V_p ณ. ขณะที่ไม่มี การเปลี่ยนแปลงของแรงดันด้านเข้าและกระแสด้านออก ดังสมการ (2-6)

$$G_{i_L d}(s) = \left. \frac{\hat{i}_L}{\hat{d}} \right|_{\hat{v}_{in}=0, \hat{i}_o=0} \quad (2-6)$$

ซึ่งมีค่าเท่ากับ

$$G_{i_L d}(s) = \frac{V_{in}}{n(R_L + R_d)} \cdot \frac{1 + \frac{s}{\omega_z}}{\frac{s^2}{\omega_o^2} + \frac{s}{Q\omega_o} + 1} \quad (2-7)$$

โดยที่

$$\omega_{zc} = \frac{1}{C_F \cdot r_C} \quad (2-8)$$

$$\omega_z = \frac{1}{C_F \cdot R_L} \quad (2-9)$$

$$\omega_o = \sqrt{\frac{R_d/R_L + 1}{L_F C_F}} \quad (2-10)$$

$$Q = \frac{1 + R_d/R_L}{\omega_o \cdot [L_F/R_L + C_F \cdot (R_d + r_C)]} \quad (2-11)$$

$$R_d = \frac{4 \cdot L_{kg} \cdot f_s}{n^2} \quad (2-12)$$

แทนค่าอุปกรณ์ต่าง ๆ ในวงจรแปลงผันกำลัง ฟังก์ชันถ่ายโอนสัญญาณขนาดเล็ก การควบคุมส่่วงดันด้านออกและฟังก์ชันถ่ายโอนสัญญาณขนาดเล็กการควบคุมส่่วงกระแสตัวเหนี่ยวนำ ในสภาวะเต็มโหลดและโหลดน้อยสุดมีค่า ดังนี้

สภาวะเต็มโหลด:

$$G_{v_{od}}(s) = \frac{15.92(1 + \frac{s}{2.98 \times 10^4})}{\frac{s^2}{8.81 \times 10^7} + \frac{s}{1.01 \times 10^4} + 1} \quad (2-13)$$

$$G_{i_d}(s) = \frac{66.33(1 + \frac{s}{771.55})}{\frac{s^2}{8.81 \times 10^7} + \frac{s}{1.01 \times 10^4} + 1} \quad (2-14)$$

สภาวะไหลลดน้อยสุด:

$$G_{v_{od}}(s) = \frac{16.64(1 + \frac{s}{2.98 \times 10^4})}{\frac{s^2}{8.43 \times 10^7} + \frac{s}{1.06 \times 10^5} + 1} \quad (2-15)$$

$$G_{i_d}(s) = \frac{2.77(1 + \frac{s}{30.87})}{\frac{s^2}{8.43 \times 10^7} + \frac{s}{1.06 \times 10^5} + 1} \quad (2-16)$$

2.4 บทสรุป

วงจรแปลงผันเต็มบริดจ์แบบเล็อนเฟสมีการขับอุปกรณ์สวิตช์กำลังในรูปแบบการสวิตช์แบบนุ่มนวลที่อาศัยการนำกระแสของไดโอดแฝงในอุปกรณ์สวิตช์กำลังก่อนการสวิตช์ การนำกระแสของไดโอดแฝงในอุปกรณ์สวิตช์กำลังจะใช้พลังงานสะสมในความเหนี่ยวนำรั่วไหลและตัวเหนี่ยวนำทำแม่เหล็กของหม้อแปลง วงจรแปลงผันเต็มบริดจ์แบบเล็อนเฟสยังมีการสูญเสียวัฏจักรงาน (duty cycle loss) ในแรงดันทุติยภูมิ ซึ่งการสูญเสียวัฏจักรงานได้เป็นข้อที่ต้องคำนึงถึงในการออกแบบวงจรแปลงผันกำลังประเภทนี้

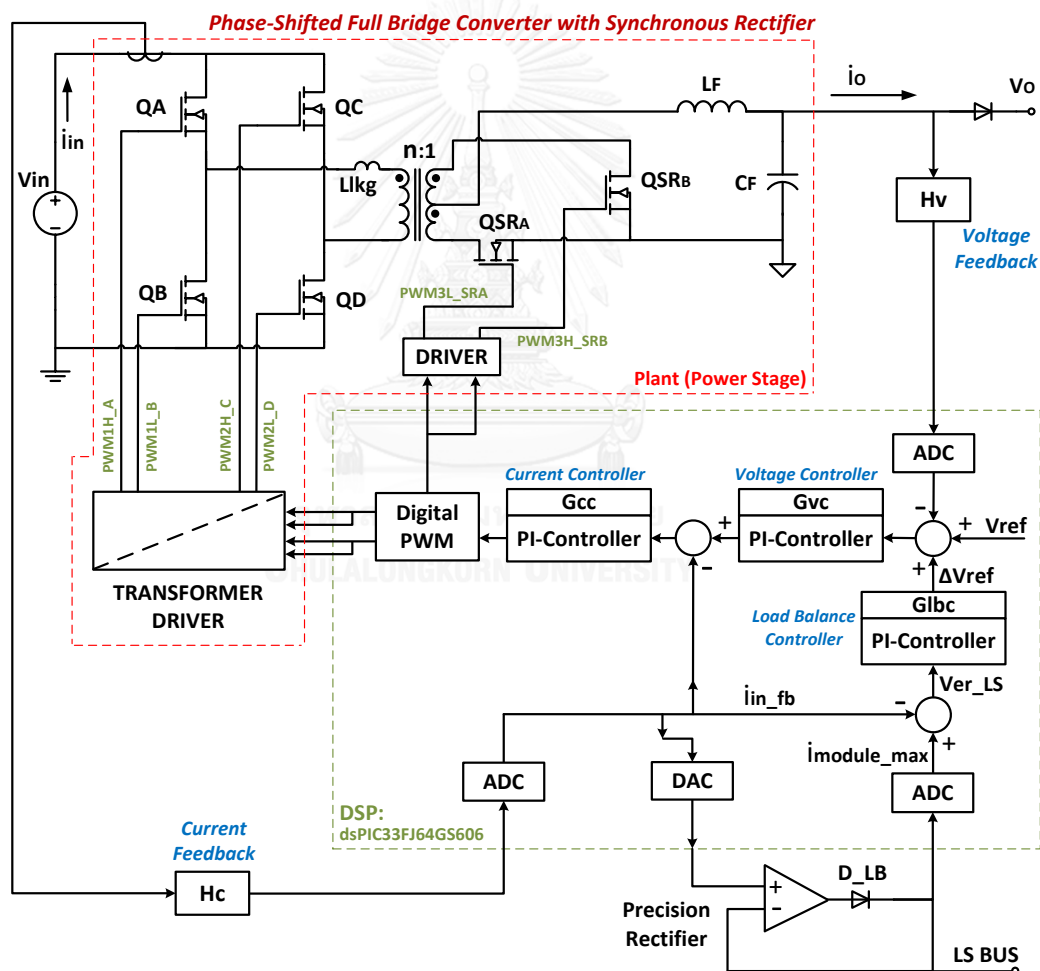
การควบคุมระดับแรงดันด้านออกของวงจร ใช้การปรับเล็อนเวลาการเกิดของสัญญาณขั้วเกิดของคู่สวิตช์ QC-QD เทียบกับการเกิดของสัญญาณขั้วเกิดของคู่สวิตช์ QA-QB เราเรียก วิธีการนี้ว่า การเล็อนเฟส

วิธีการหาแบบจำลองของวงจรแปลงผันเต็มบริดจ์แบบเล็อนเฟสสามารถกระทำได้หลายวิธี อันได้แก่ วิธี averaged switch, วิธี state-space averaging, วิธี canonical circuit model และวิธี three-terminal switch แบบจำลองมีค่าพารามิเตอร์เปลี่ยนไปเมื่อกระแสไหลเปลี่ยนไป ส่วนฟังก์ชันถ่ายโอนที่จำเป็นในการออกแบบตัวควบคุมมีด้วยกันสองตัว ได้แก่ ฟังก์ชันถ่ายโอนการควบคุมกระแสตัวเหนี่ยวนำด้านออกและฟังก์ชันถ่ายโอนการควบคุมสู่แรงดันด้านออก ซึ่งเป็นฟังก์ชันอันดับสอง (second order)

บทที่ 3

ระบบควบคุมดิจิทัลที่สร้างขึ้น

บทนี้จะกล่าวถึงระบบควบคุมดิจิทัลที่สร้างขึ้น ซึ่งประกอบด้วย วงจรภาคกำลัง (power stage) วงจรส่วนป้อนกลับและวงจรบีเฟออร์สำหรับการติดต่อระหว่างมอดูล และอธิบายถึงการทำงานของตัวควบคุมสำหรับการควบคุมระดับแรงดันด้านออกและการควบคุมคุณภาพโหลด



รูปที่ 3-1 ระบบควบคุมดิจิทัลของวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟสแบบทำงานคู่ขนาน

ผู้วิจัยได้นำวงจรภาคกำลังที่ได้รับการออกแบบมาแล้วมาใช้ในการวิจัย ซึ่งวงจรภาคกำลังดังกล่าว มีสมบัติดังนี้

สมบัติของวงจรภาคกำลัง

- แรงดันด้านเข้า, V_{in} เท่ากับ 400 Vdc
- แรงดันด้านออก, V_o เท่ากับ 12 Vdc
- อัตรารอบหม้อแปลง, n เท่ากับ 24 รอบ
- ความเหนี่ยวนำรั่วไหลของหม้อแปลง, L_{lkg} เท่ากับ 18 μ H
- ตัวเหนี่ยวนำด้านออก, L_F เท่ากับ 2.2 μ H
- ตัวเก็บประจุด้านออก, C_F เท่ากับ 5,400 μ F

3.1 ตัวประมวลผลสัญญาณดิจิทัลที่ใช้ในงานวิจัย

ตัวประมวลผลสัญญาณดิจิทัลที่ได้นำมาใช้ในการออกแบบระบบควบคุมดิจิทัล ได้แก่ dsPIC33FJ64GS606 ซึ่งเป็นตัวประมวลผลสัญญาณดิจิทัลในสถาปัตยกรรมแบบจุดตรึง (fixed-point) ขนาด 16 บิต และเป็นตัวประมวลผลสัญญาณดิจิทัลสำหรับงานในด้านการควบคุมวงจรแปลงผันกำลังซึ่งมีทรัพยากรรอบข้างที่สำคัญสำหรับการควบคุมวงจรแปลงผันกำลัง ดังนี้

- มอดูลสร้างสัญญาณ pwm ความถี่สูง ขนาด 16 บิต ความละเอียดในการปรับความกว้างพัลส์สูงสุด 1.04 ns
- มอดูล ADC ขนาด 10 บิต
- มอดูล DAC ขนาด 10 บิต

อีกทั้งมีความสามารถที่โดดเด่น ดังนี้ แหล่งกระตุ้น (trigger source) ในมอดูล ADC สามารถเป็นค่านับขึ้นใน timer ที่ใช้ในการสร้างสัญญาณ pwm [15, 16]

ความสามารถนี้จะทำให้การกำหนดเวลาสำหรับการเริ่มชั้กตัวอย่างสัญญาณแอนะล็อกของมอดูล ADC เป็นเวลาใด ๆ ภายในคาบเวลาสัญญาณ pwm ได้

จากคุณสมบัติทรัพยากรรอบข้างที่สำคัญสำหรับการควบคุมวงจรแปลงผันกำลัง เราจะสามารถคำนวณความละเอียดในการตรวจวัดระดับแรงดันด้านออกและกระแสตัวเหนี่ยวนำ

ด้านออกและความละเอียดการปรับระดับแรงดันด้านออก ภายหลังจากการคำนวณทำให้ทราบค่าความละเอียดเหล่านี้ ดังนี้

- ความละเอียดในการตรวจวัดระดับแรงดันด้านออกเท่ากับ 15.46 mV
- ความละเอียดในการตรวจวัดระดับกระแสตัวเหนี่ยวนำด้านออกเท่ากับ 69 mA
- ความละเอียดในการปรับแรงดันด้านออกเท่ากับ 3.12 mV

ทั้งนี้ การคำนวณความละเอียดเหล่านี้ได้แสดงไว้ในภาคผนวก ค

3.2 การทำงานของตัวควบคุมดิจิทัล

รูปที่ 3-1 เป็นแผนภาพบล็อกระบบควบคุมดิจิทัลที่แสดงตัวควบคุมดิจิทัลที่มีอยู่ในระบบทุกตัว ระบบควบคุมดิจิทัลประกอบด้วย 3 ส่วนหลัก ได้แก่ วงจรภาคกำลัง วงจรป้อนกลับ (H_v, H_c) และตัวประมวลผลสัญญาณดิจิทัล หน้าที่ของระบบควบคุมดิจิทัล มีอยู่ 2 ประการ คือ

- 1) การรักษาระดับแรงดันด้านออกให้อยู่ในค่าแรงดันอ้างอิง (v_{ref})
- 2) การควบคุมกระแสด้านเข้าของมอเตอร์ตนเองให้มีปริมาณเท่ากับกระแสด้านเข้าของมอเตอร์คู่ขนาน

วงจรภาคกำลังกระบวนการที่ถูกควบคุมหรือที่เรียกว่าพลานต์ หน้าที่ของวงจรภาคกำลังคือการแปลงแรงดันด้านเข้าซึ่งเป็นแรงดันระดับสูงให้เป็นแรงดันระดับต่ำ

ระบบควบคุมดิจิทัลมีตัวควบคุมทั้งสิ้น 3 ตัว ทุกตัวเป็นชนิดพีไอและได้ถูกคำนวณและประมวลผลโดยตัวประมวลผลสัญญาณดิจิทัลในแบบจำนวนจุดตรึง Q15.0

หน้าที่ต่าง ๆ ของตัวควบคุมมีดังนี้

- ตัวควบคุมกระแสทำหน้าที่ในการปรับลดค่าวัฏจักรงานของสัญญาณขับเกตุอุปกรณ์ สวิตซ์กำลังเมื่อเกิดกระแสลัดวงจรที่กระแสด้านเข้า เพื่อลดความเสียหายของอุปกรณ์ สวิตซ์กำลัง
- ตัวควบคุมแรงดันทำหน้าที่ในการควบคุมระดับแรงดันด้านออกให้เป็นตามค่าแรงดันอ้างอิง

- ตัวควบคุมคุณภาพโหลดทำหน้าที่ในการควบคุมค่ายอดของกระแสด้านเข้าของมอดูลตนเองให้มีค่าเท่ากับค่ายอดของกระแสด้านเข้าของมอดูลคู่ขนาน

การติดต่อเพื่อการควบคุมคุณภาพโหลดใช้สัญญาณแบบแอนะล็อกผ่านทางบัสแบ่งโหลด (load sharing bus, LS BUS) เพื่อการส่งไปยังมอดูลคู่ขนาน ลักษณะการต่อวงจรระหว่างมอดูล เป็นดังรูป ง-1 ในภาคผนวก ตัวประมวลผลสัญญาณดิจิทัลส่งข้อมูลกระแสด้านเข้าผ่านทาง DAC ที่อยู่ภายในตัวประมวลผลสัญญาณดิจิทัล และรับข้อมูลสัญญาณ LS BUS ทาง ADC ที่อยู่ภายในตัวประมวลผลสัญญาณดิจิทัล

วงจร precision rectifier ทำหน้าที่เป็นวงจรบัฟเฟอร์ที่ระหว่างมอดูลและ LS BUS

หน้าที่ของบัสแบ่งโหลด คือการติดต่อในค่ากระแสด้านเข้า ค่ายอดของกระแสด้านเข้าของมอดูลที่มีค่ายอดของกระแสด้านเข้าสูงที่สุดจะปรากฏที่บัสแบ่งโหลด

การทำงานของตัวควบคุมคุณภาพโหลดอธิบายเพิ่มเติม ได้ดังนี้ การปรับค่ายอดของกระแสด้านเข้าของมอดูลตนเองให้เท่าเทียมกับมอดูลคู่ขนานเป็นการปรับผ่านแรงดันด้านออก ตัวควบคุมคุณภาพโหลดจะรับผลต่างระหว่างค่ายอดของกระแสด้านเข้าในมอดูลตนเอง (i_{in_fb}) และค่ายอดของกระแสด้านเข้าของมอดูลที่มีค่ายอดของกระแสด้านเข้าสูงที่สุดที่ถูกส่งมาที่บัสแบ่งโหลด (i_{module_max}) ในกรณีมอดูลตนเองมีค่ายอดของกระแสด้านเข้าน้อยกว่ามอดูลคู่ขนาน ค่าผลต่าง V_{er_LS} จะมีค่าเป็นบวก ตัวควบคุมคุณภาพโหลดก็จะสั่งให้เพิ่มค่า ΔV_{ref} ระดับแรงดันด้านออกของมอดูลตนเองจึงเพิ่มขึ้น กระแสด้านออกของมอดูลตนเองจึงเพิ่มขึ้นด้วย

ในขณะเดียวกัน ภายในมอดูลคู่ขนานที่มีค่ายอดของกระแสด้านเข้ามากกว่า ค่าผลต่าง V_{er_LS} จะมีค่าเท่ากับศูนย์ ตัวควบคุมคุณภาพโหลดก็จะไม่สั่งปรับค่า ΔV_{ref}

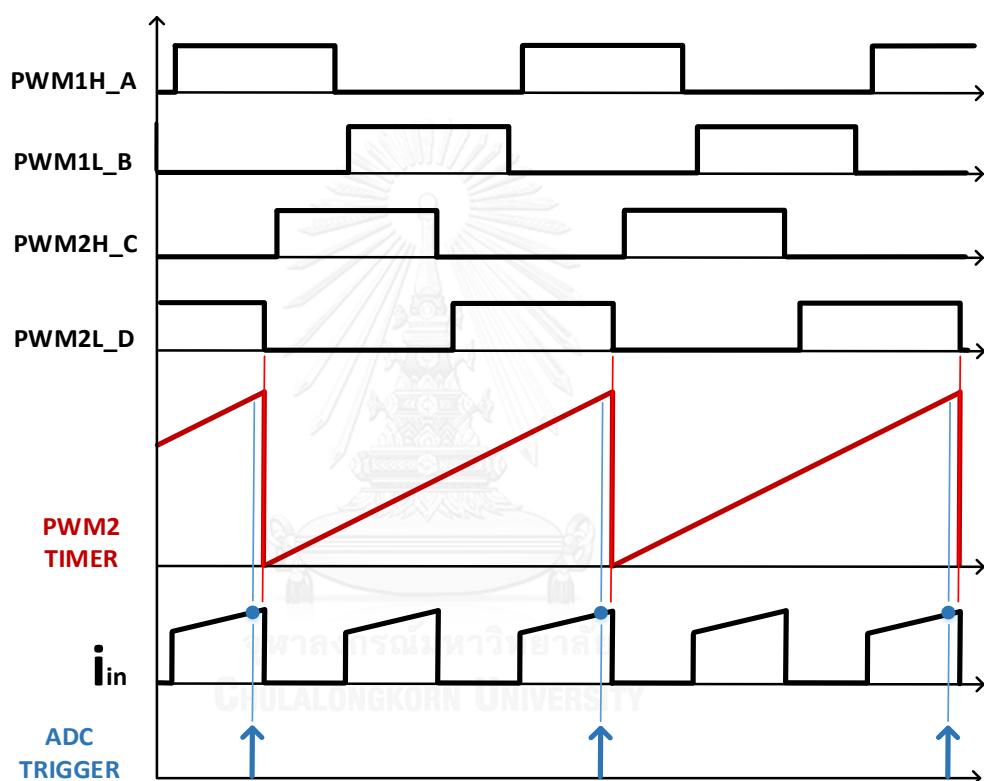
จากการทำงานของตัวควบคุมสามารถสรุปว่าแรงดันด้านออกในมอดูลที่มีค่ายอดของกระแสด้านเข้าน้อยกว่าจะถูกปรับให้เพิ่มขึ้นเพื่อให้ทัดเทียมกับแรงดันด้านออกของมอดูลที่มีค่ายอดของกระแสด้านเข้ามากกว่า กระแสด้านออกในมอดูลที่มีค่ายอดของกระแสด้านเข้าน้อยกว่าจึงเพิ่มขึ้นไปทัดเทียมกับกระแสด้านออกของมอดูลที่มีค่ายอดของกระแสด้านเข้ามากกว่า

3.3 กรรณวิธีตรวจวัดค่ายอดของกระแสด้านเข้า

การตรวจวัดค่ายอดของกระแสด้านเข้า แสดงได้ดังรูปที่ 3-2 อธิบายได้ดังนี้

สัญญาณ PWM1H_A, PWM1L_B, PWM2H_C และ PWM1L_D ถูกสร้างโดยมอดูล pwm ที่อยู่ในตัวประมวลสัญญาณดิจิทัล โดยสัญญาณ pwm เหล่านี้ถูกสร้างมาด้วย timer ของตัวสร้างสัญญาณ pwm ที่ 2 (PWM2 timer) ภายในมอดูล pwm

เรายังทราบอีกว่าสัญญาณ PWM1H_A, PWM1L_B, PWM2H_C และ PWM1L_D กำหนดจังหวะการเกิดของกระแสด้านเข้า เราจึงติดตาม (tracking) กระแสด้านเข้าจากค่านับขึ้นใน timer ของตัวสร้างสัญญาณ pwm ที่ 2 ได้



รูปที่ 3-2 กรรมวิธีตรวจวัดค่ายอดของกระแสด้านเข้า

สำหรับการผลิตสัญญาณกระตุ้นมอดูล ADC (ADC trigger) ใช้วิธีการเชื่อมโยงกับค่านับขึ้นใน timer ของมอดูล pwm ที่เป็นความสามารถโดดเด่นในตัวประมวลสัญญาณดิจิทัลที่นำมาใช้งาน

วิธีการเชื่อมโยงกับค่านับขึ้นใน timer ของมอดูล pwm เป็นการกำหนดค่านับขึ้นใน timer ของมอดูล pwm เมื่อ timer ในมอดูล pwm นับถึงค่าดังกล่าว สัญญาณกระตุ้น ADC ก็จะถูกสร้างขึ้น

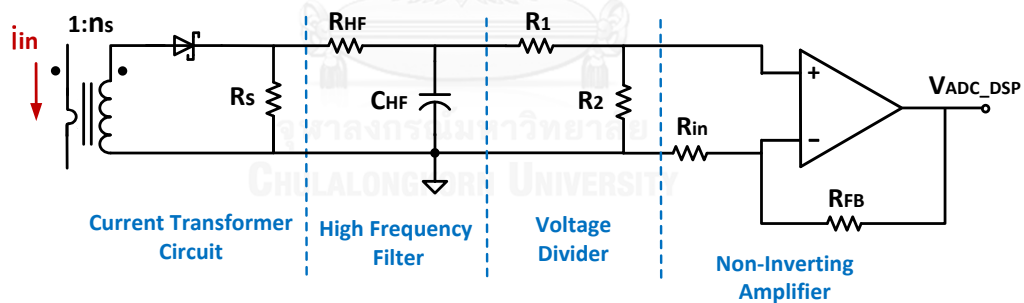
3.4 ฟังก์ชันถ่ายโอนของวงจรม้วนกลับ

ระบบควบคุมจะทำงานได้อย่างถูกต้อง ตัวควบคุมต้องทราบสถานะของตัวแปรที่ถูกควบคุมเป็นอย่างดี วงจรม้วนกลับจะทำหน้าที่ตรวจสอบสถานะของตัวแปร แล้วป้อนกลับสถานะของตัวแปรที่ถูกควบคุมไปให้ตัวควบคุมทราบเพื่อนำไปออกคำสั่งควบคุม

วงจรม้วนกลับในระบบควบคุมที่สร้างขึ้นมี 2 วงจร ได้แก่ วงจรม้วนกลับกระแส (current feedback, H_c) และวงจรม้วนกลับแรงดัน (voltage feedback, H_v) สัญญาณที่ออกจากวงจรม้วนกลับเหล่านี้ต้องมีระดับที่ไม่เกินค่าพิคตแรงดันของขาตัวประมวลผลสัญญาณดิจิทัล เราสามารถกำหนดระดับสัญญาณเหล่านี้ได้ด้วยการออกแบบอัตราขยายของวงจรม้วนกลับ

อีกทั้งสัญญาณต้องมีความสะอาด ไม่มีสัญญาณรบกวนปะปนมาด้วย วงจรกรอง (filter) จะช่วยลดทอนสัญญาณรบกวนเหล่านั้น ซึ่งแหล่งกำเนิดสัญญาณรบกวนที่มีในระบบควบคุม ได้แก่ สัญญาณขับเคลื่อนอุปกรณ์สวิตช์กำลังความถี่สูง กระแสกระชากในวงจรภาคกำลัง เป็นต้น การออกแบบวงจรกรองจะเป็นขั้นตอนหนึ่งในการออกแบบวงจรม้วนกลับด้วยเช่นกัน

3.5 วงจรม้วนกลับกระแส



รูปที่ 3-3 วงจรม้วนกลับกระแส

รูปที่ 3-3 เป็นวงจรม้วนกลับกระแสที่ประกอบด้วย วงจรหม้อแปลงกระแส (G_{CT}) วงจรกรองสัญญาณรบกวนความถี่สูง (high frequency noise filter, G_{HF}) วงจรลดระดับแรงดัน ($G_{V_DIVIDER}$) และวงจรขยายไม่กลับเฟส ($G_{NON-INV}$) แต่ละวงจรถูกประกอบขึ้นเป็นวงจรม้วนกลับกระแสมีฟังก์ชันถ่ายโอนดังนี้

$$G_{CT} = \frac{R_s}{n_s} \quad \text{V/A} \quad (3-1)$$

$$G_{HF}(s) = \frac{v_{HF}}{v_{RS}} = \frac{1}{1 + R_{HF} \cdot C_{HF} \cdot s} \quad V/V \quad (3-2)$$

$$G_{V_DIVIDER} = \frac{R2}{R1 + R2} \quad V/V \quad (3-3)$$

$$G_{NON-INV} = \frac{v_{out}}{v_{in}} = 1 + \frac{R_{FB}}{R_{in}} \quad \Omega / \Omega \quad (3-4)$$

การออกแบบวงจรป้อนกลับกระแส ได้แสดงไว้ในภาคผนวก ก ทั้งนี้การออกแบบวงจรป้อนกลับกระแสจะไม่พิจารณาผลของ loading effect

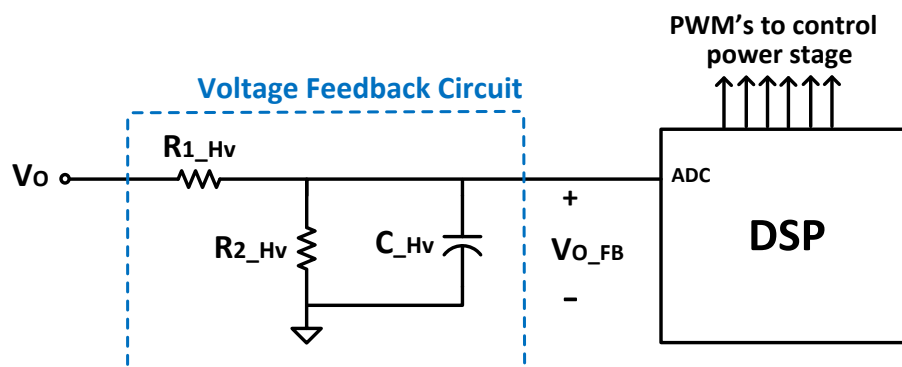
วงจรป้อนกลับกระแสมีฟังก์ชันถ่ายโอนดังต่อไปนี้

$$H_c(s) = \left(\frac{R_s}{n_s} \right) \cdot \left(\frac{1}{1 + R_{HF} \cdot C_{HF} \cdot s} \right) \cdot \left(\frac{R2}{R1 + R2} \right) \cdot \left(1 + \frac{R_{FB}}{R_{in}} \right) \quad (3-5)$$

แทนค่าอุปกรณ์ภายในของวงจรป้อนกลับกระแส ฟังก์ชันถ่ายโอนมีค่าดังนี้

$$H_c(s) = \frac{1.12}{(2.2 \times 10^{-7})s + 1} \quad V/A \quad (3-6)$$

3.6 วงจรป้อนกลับแรงดัน



รูปที่ 3-4 วงจรป้อนกลับแรงดัน

รูปที่ 3-4 เป็นวงจรป้อนกลับแรงดันซึ่งเป็นวงจรแบ่งแรงดัน พร้อมกับมีตัวเก็บประจุทำหน้าที่ลดทอนสัญญาณรบกวนความถี่สูง

วงจรป้อนกลับแรงดันทำหน้าที่ตรวจวัดแรงดันด้านออกและมีฟังก์ชันถ่ายโอนดังต่อไปนี้

$$H_V(s) = \frac{R2_{-Hv}}{(R1_{-Hv}) \cdot (R2_{-Hv}) \cdot (C_{Hv}) \cdot s + R1_{-Hv} + R2_{-Hv}} \quad (3-7)$$

การออกแบบวงจรป้อนกลับแรงดัน ได้แสดงไว้ในภาคผนวก ข
วงจรป้อนกลับแรงดันมีฟังก์ชันถ่ายโอนดังต่อไปนี้

$$H_V(s) = \frac{2.46 \times 10^3}{(5.06 \times 10^{-2})s + (1.18 \times 10^4)} \quad V/V \quad (3-8)$$

3.7 บทสรุป

ระบบควบคุมดิจิทัลที่สร้างขึ้นมีคุณสมบัติที่สำคัญ ดังต่อไปนี้

- ตัวประมวลผลสัญญาณดิจิทัลเป็นสถาปัตยกรรมแบบจุดตรึง ขนาด 16 บิต ที่ทำงานในระบบจำนวนจุดตรึง Q15.0
- ระบบควบคุมดิจิทัลมีความละเอียดในการตรวจวัดระดับแรงดันด้านออกเท่ากับ 15.46 mV
- ระบบควบคุมดิจิทัลมีความละเอียดในการตรวจวัดระดับกระแสตัวเหนี่ยวนำด้านออกเท่ากับ 69 m A
- ระบบควบคุมดิจิทัลมีความละเอียดในการปรับแรงดันด้านออกเท่ากับ 3.12mV

ค่ายอดของกระแสด้านเข้าเป็นปริมาณที่ถูกนำมาใช้ในการควบคุมคุณภาพโหลด ส่วนการติดต่อสำหรับการควบคุมคุณภาพโหลดใช้สัญญาณแบบแอนะล็อกโดยผ่านทางเส้นทางที่ชื่อว่า บัสแบ่งโหลด (LS BUS) และมีวงจร precision rectifier เป็นวงจรบัฟเฟอร์กั้นระหว่าง LS BUS และมอดูล

ส่วนป้อนกลับของระบบควบคุมดิจิทัลมี 2 ส่วน ได้แก่ ส่วนป้อนกลับแรงดันและส่วนป้อนกลับกระแส ส่วนป้อนกลับแรงดันเป็นวงจรแบ่งแรงดัน สำหรับส่วนป้อนกลับกระแสใช้หม้อแปลงกระแสเป็นตัวตรวจวัดกระแสด้านเข้า ภายในส่วนป้อนกลับกระแสยังได้มีวงจรลดทอนสัญญาณความถี่สูงเพื่อลดทอนสัญญาณรบกวนความถี่สูงที่มีในระบบ



บทที่ 4

โครงสร้างเฟิร์มแวร์และการออกแบบตัวควบคุม

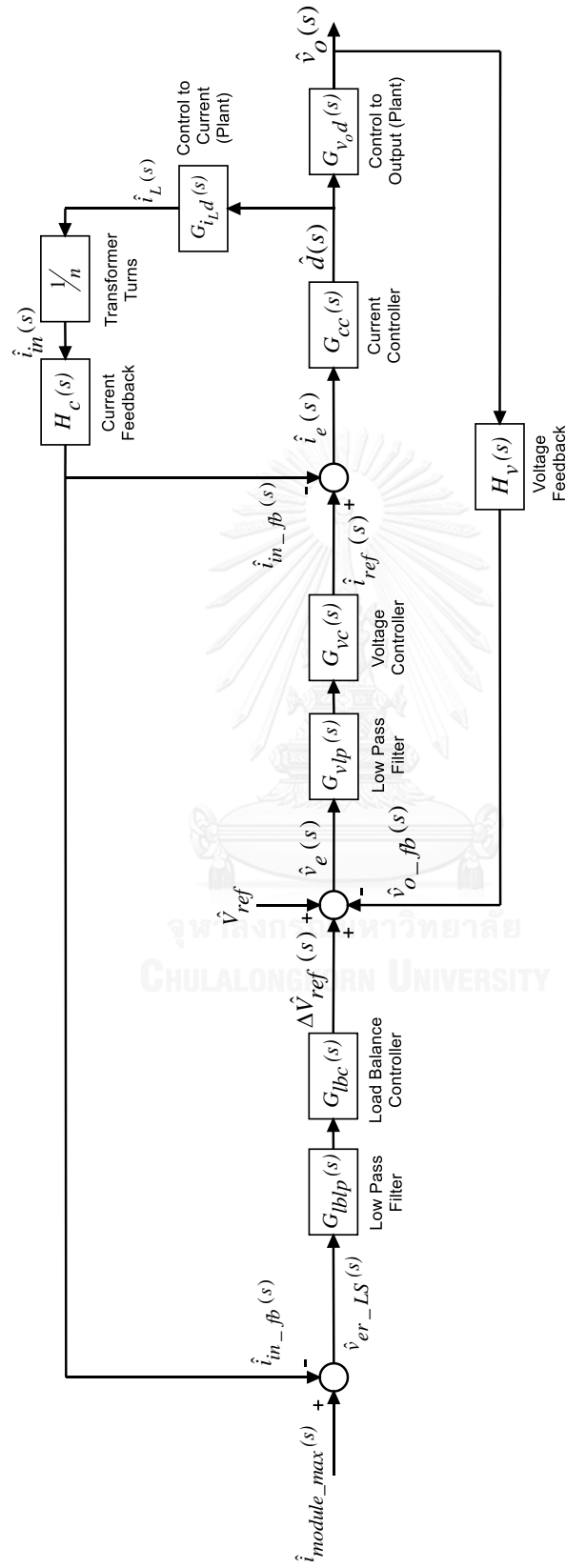
การออกแบบตัวควบคุมใช้วิธีการออกแบบด้วยผลตอบสนองเชิงความถี่ในระบบเวลาต่อเนื่องโดยแผนภาพโพลเด ซึ่งเป็นวิธีที่นิยมใช้ในการออกแบบตัวควบคุมของวงจรถ่ายแปลงสัญญาณกำลัง [5, 17-19] วิธีผลตอบสนองเชิงความถี่สามารถบ่งบอกถึงความคงทนและเสถียรภาพของระบบควบคุมผ่านค่าเผื่ออัตราขยาย (gain margin) และค่าเผื่อมุม (phase margin) รวมถึงความเร็วผลตอบสนองผ่านค่าความถี่ข้ามเกิน (gain crossover frequency) หรือค่าแถบกว้างความถี่ (bandwidth)

วิธีตอบสนองเชิงความถี่ในระบบเวลาต่อเนื่องจะให้ตัวควบคุมที่อยู่ในระบบเวลาต่อเนื่อง (s-domain) การที่จะประยุกต์ลงบนตัวประมวลผลสัญญาณดิจิทัลจำเป็นต้องผ่านการแปลงให้เป็นรูปแบบระบบเวลาไม่ต่อเนื่อง การแปลงตัวควบคุมเป็นระบบเวลาไม่ต่อเนื่องได้ใช้ในวิธี backward rectangular

ในส่วนโครงสร้างเฟิร์มแวร์ทำงานแบบวิธีการวนรอบ (cyclic executive) และวิธีการขับเคลื่อนด้วยการขัดจังหวะ (interrupt driven) สำหรับการขัดจังหวะเป็นการร้องขอโดยมอดูล ADC

การออกแบบตัวควบคุมได้เริ่มจากวงรอบในสุด จากนั้นจึงออกแบบตัวควบคุมในวงรอบนอกที่อยู่ถัดออกมา จนถึงวงรอบนอกสุด

สำหรับในแต่ละวงรอบได้เริ่มด้วยการหาฟังก์ชันถ่ายโอนวงปิดของวงรอบนั้น ๆ จากนั้นจึงนำสมการคุณลักษณะ (characteristic equation) ซึ่งเป็นตัวส่วนของฟังก์ชันถ่ายโอนวงปิด มากำหนดเป็นฟังก์ชันถ่ายโอนวงเปิด จากนั้นนำฟังก์ชันถ่ายโอนวงเปิดที่ได้นี้มาวาดแผนภาพโพลเด ซึ่งขั้นตอนการวาดแผนภาพโพลเดนี้เป็นขั้นตอนการออกแบบตัวควบคุม ค่าอัตราขยายของตัวควบคุมจะเป็นค่าที่กำหนดเสถียรภาพและความเร็วตอบสนองในวงรอบที่ตัวควบคุมอยู่



รูปที่ 4-1 แผนภาพบล็อกสัญญาณขนาดเต็มของระบบควบคุมคุณภาพโหลด

4.1 การทำงานของแผนภาพบล็อกของระบบควบคุมคุณภาพไหล

รูปที่ 4-1 เป็นแผนภาพบล็อกของระบบควบคุมคุณภาพไหล ประกอบไปด้วย 3 วงควบคุม ได้แก่ วงควบคุมกระแส วงควบคุมแรงดัน และวงควบคุมคุณภาพไหล วงควบคุมกระแสเป็นวงควบคุมที่อยู่ด้านในที่สุด โดยมีตัวควบคุมกระแสเป็นตัวควบคุมในวงรอบ วงควบคุมกระแสด้านเข้าผ่านฟังก์ชันถ่ายโอน $G_{iLd}(s)$ ระดับแรงดันด้านออกเพิ่มขึ้นจนเท่ากับค่าแรงดันอ้างอิงได้เพราะการเพิ่มขึ้นของค่าเอาต์พุตในเทอมอินทิกรัล เมื่อแรงดันด้านออกเพิ่มขึ้นจนเท่ากับค่าแรงดันอ้างอิงแล้ว ผลต่างระหว่างค่าแรงดันอ้างอิงและระดับแรงดันด้านออกจะเท่ากับศูนย์ เอาต์พุตของเทอมอินทิกรัลก็จะคงที่ ส่วนเอาต์พุตในตัวควบคุมแรงดันจะเป็นค่าอ้างอิงให้แก่วงควบคุมกระแส

วงควบคุมแรงดันและวงควบคุมคุณภาพไหลเป็นวงควบคุมที่อยู่ถัดออกมาจากวงควบคุมกระแส วงควบคุมแรงดันมีตัวควบคุมแรงดันเป็นตัวควบคุมในวงรอบ ซึ่งทำหน้าที่ควบคุมแรงดันด้านออกผ่านฟังก์ชันถ่ายโอน $G_{Vod}(s)$

วงรอบที่อยู่ด้านนอกสุดเป็นวงควบคุมคุณภาพไหลซึ่งมีตัวควบคุมคุณภาพไหลเป็นตัวควบคุมในวงรอบ วงควบคุมคุณภาพไหลมีหน้าที่ในการควบคุมกระแสด้านเข้าในมอดูลตัวเองให้มีค่าเท่ากับมอดูลคู่ขนาน โดยจะควบคุมกระแสด้านเข้าผ่านการปรับแรงดันด้านออกที่เอาต์พุตผ่านวงควบคุมแรงดัน

ค่าอ้างอิงสำหรับวงควบคุมคุณภาพไหลคือค่า $i_{\text{module_max}}$ ซึ่งเป็นค่ายอดของกระแสด้านเข้าของมอดูลคู่ขนานที่มีค่ายอดของกระแสด้านเข้ามากกว่ามอดูลตนเอง สำหรับกรณีที่มีมอดูลคู่ขนานมีค่ายอดของกระแสด้านเข้ามากกว่ามอดูลตัวเอง แต่สำหรับกรณีที่มีมอดูลคู่ขนานมีค่ายอดของกระแสด้านเข้าน้อยกว่ามอดูลตนเอง ค่า $i_{\text{module_max}}$ จะเป็นค่ากระแสด้านเข้าของมอดูลตนเอง

ส่วนค่าป้อนกลับสำหรับวงควบคุมคุณภาพไหลได้แก่ค่า $i_{\text{in_fb}}$ ซึ่งเป็นค่ายอดของกระแสด้านเข้าภายในมอดูลตนเอง ค่าผลต่าง $v_{\text{er_LS}}$ เป็นค่าอินพุตให้กับตัวควบคุมคุณภาพไหลโดยผ่านตัวกรองความถี่ต่ำผ่านดิจิทัลเพื่อคัดกรองสัญญาณรบกวนไม่ให้เข้าสู่ตัวควบคุม

เพื่อให้มองเห็นภาพได้ชัดเจนยิ่งขึ้น ก่อนเริ่มการออกแบบตัวควบคุม ได้สรุปรวบรวมฟังก์ชันถ่ายโอนภายในระบบควบคุม ดังนี้

ฟังก์ชันถ่ายโอนภายในระบบ

- ฟังก์ชันถ่ายโอนของพลาเน็ต มีดังนี้ ฟังก์ชันถ่ายโอนการควบคุมผู้แรงดันด้านออกและฟังก์ชันถ่ายโอนการควบคุมผู้กระแสตัวเหนี่ยวนำด้านออก

- $$G_{v_{od}}(s) = \frac{15.92(1 + \frac{s}{2.98 \times 10^4})}{\frac{s^2}{8.81 \times 10^7} + \frac{s}{1.01 \times 10^4} + 1}$$
 ในสภาวะเต็มโหลด

- $$G_{v_{od}}(s) = \frac{16.64(1 + \frac{s}{2.98 \times 10^4})}{\frac{s^2}{8.43 \times 10^7} + \frac{s}{1.06 \times 10^5} + 1}$$
 ในสภาวะโหลดน้อยสุด

- $$G_{i_{ld}}(s) = \frac{66.33(1 + \frac{s}{771.55})}{\frac{s^2}{8.81 \times 10^7} + \frac{s}{1.01 \times 10^4} + 1}$$
 ในสภาวะเต็มโหลด

- $$G_{i_{ld}}(s) = \frac{2.77(1 + \frac{s}{30.87})}{\frac{s^2}{8.43 \times 10^7} + \frac{s}{1.06 \times 10^5} + 1}$$
 ในสภาวะโหลดน้อยสุด

- ฟังก์ชันถ่ายโอนวงจรมีป้อนกลับกระแส $H_c(s) = \frac{1.12}{(2.2 \times 10^{-7})s + 1}$

- ฟังก์ชันถ่ายโอนวงจรมีป้อนกลับแรงดัน $H_v(s) = \frac{2.46 \times 10^3}{(5.06 \times 10^{-2})s + (1.18 \times 10^4)}$

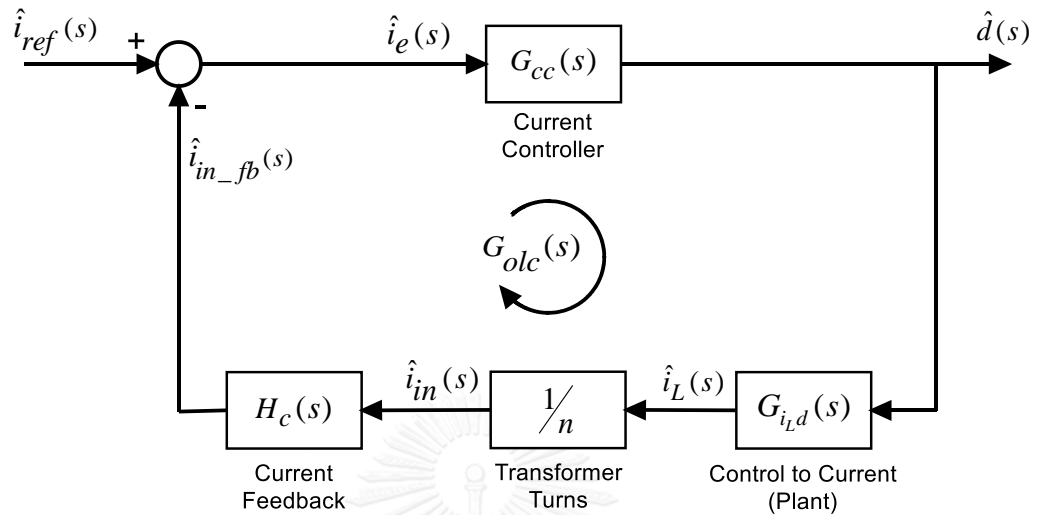
- ฟังก์ชันถ่ายโอนตัวกรองต่ำผ่านของวงแรงดัน $G_{vlp}(s) = \frac{-0.2s + (9 \times 10^4)}{s + (9 \times 10^4)}$ ความถี่คัตออฟ

เท่ากับ 14.9 kHz

- ฟังก์ชันถ่ายโอนตัวกรองต่ำผ่านของวงสมดุกระแส $G_{iblp}(s) = \frac{-0.7s + (1.2 \times 10^3)}{s + (1.2 \times 10^3)}$

ความถี่คัตออฟเท่ากับ 1.3 kHz

4.2 การออกแบบตัวควบคุมกระแส



รูปที่ 4-2 แผนภาพบล็อกสัญญาณขนาดเล็กแห่งวงกระแส

วงรอบกระแส ประกอบด้วย ฟังก์ชันถ่ายโอนการควบคุมผู้กระแสตัวเหนี่ยวนำ ด้านออก อัตรารอบหม้อแปลง ฟังก์ชันถ่ายโอนวงจรป้อนกลับกระแส และตัวควบคุมกระแส วงรอบมีค่ากระแสอ้างอิง (i_{ref}) เป็นค่าอินพุตหรือค่าอ้างอิงของวงรอบ มีค่าวัฏจักรงานของ สัญญาณขับเคลื่อนสวิตช์กำลังเป็นเอาต์พุตของวงรอบ ฉะนั้นฟังก์ชันถ่ายโอนวงปิดจึงเท่ากับ อัตราส่วนของค่าวัฏจักรงานของสัญญาณขับเคลื่อนสวิตช์กำลังต่อค่ากระแสอ้างอิงซึ่ง เท่ากับ

$$\frac{\hat{d}(s)}{\hat{i}_{ref}(s)} = \frac{G_{cc}(s)}{1 + G_{cc}(s)G_{id}(s)\left(\frac{1}{n}\right)H_c(s)} \quad (4-1)$$

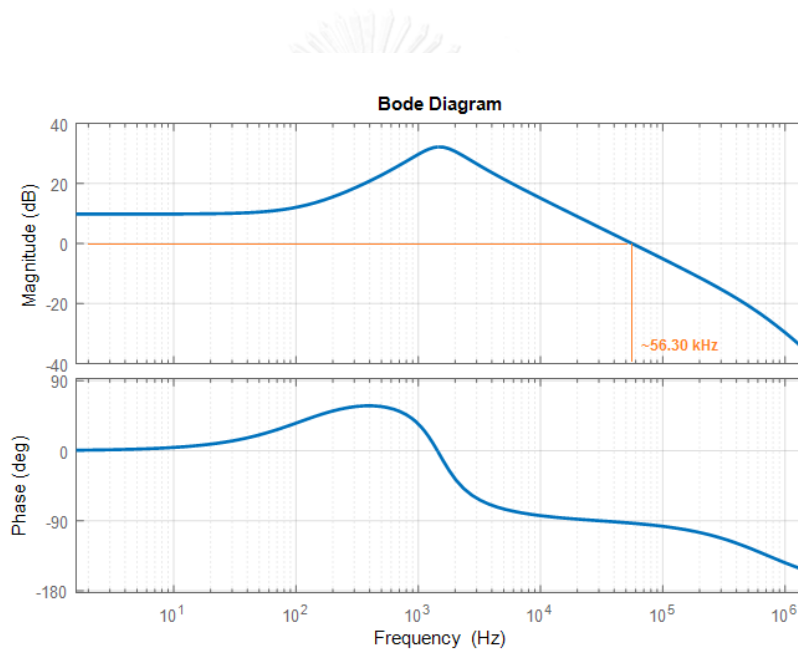
สมการคุณลักษณะเป็น:

$$1 + G_{cc}(s)G_{id}(s)\left(\frac{1}{n}\right)H_c(s) = 0 \quad (4-2)$$

กำหนดให้ $G_{olc}(s)$ เท่ากับฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแส (open loop gain of current loop)

$$G_{olc}(s) = G_{cc}(s)G_{iLd}(s)\left(\frac{1}{n}\right)H_c(s) \quad (4-3)$$

นำพจน์ $G_{cc}(s)G_{iLd}(s)\left(\frac{1}{n}\right)H_c(s)$ ในสมการคุณลักษณะ (สมการที่ 4-2) ซึ่งเป็นฟังก์ชันถ่ายโอนวงเปิดมาวาดแผนภาพโบเดเพื่อออกแบบหาตัวควบคุมกระแส เริ่มต้นด้วยแผนภาพแบบไม่มีตัวควบคุมกระแส (uncompensated) หรือกำหนดให้ตัวควบคุมกระแสเท่ากับหนึ่ง ได้ดังรูปที่ 4-3



รูปที่ 4-3 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่ไม่มีตัวควบคุม

จากรูป มีความถี่ข้ามแกน (f_{cv}) เท่ากับ 56.30 kHz

ความเร็วผลตอบสนองของวงรอบในระบบควบคุมแบบดิจิตอลสำหรับวงจรแปลงผันกำลังไฟฟ้ากระแสตรงเป็นกระแสตรงได้ถูกจำกัดด้วยความถี่การซักรตัวอย่าง (sampling frequency, f_{sam}) [20] การออกแบบความถี่ข้ามแกนต้องออกแบบให้มีค่าน้อยกว่าความถี่การซักรตัวอย่าง ในที่นี้จะออกแบบให้ความถี่ข้ามแกนน้อยกว่าความถี่การซักรตัวอย่าง 5 เท่า ดังนี้

$$f_{cv} \leq \frac{f_{sam}}{5} \quad (4-4)$$

ออกแบบให้ความถี่การซัดตัวอย่างมีค่าเท่ากับ 45 kHz

$$f_{cv} \leq \frac{45kHz}{5} \\ \leq 9kHz \quad (4-5)$$

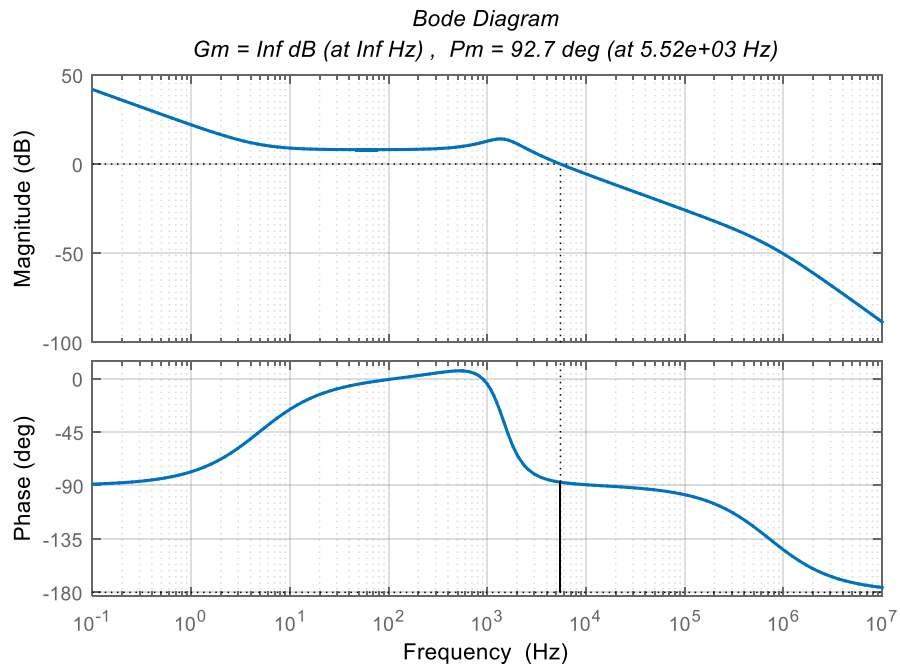
ฉะนั้น ความถี่ข้ามเกินจะต้องไม่มากกว่า 9 kHz

ในการออกแบบตัวควบคุมด้วยแผนภาพโบเดได้มีข้อกำหนดสำหรับการออกแบบตัวควบคุมดังนี้ ค่าเฟอิมุมต้องมีค่าไม่น้อยกว่า +45° และค่าเฟออัตราขยายต้องมีค่าไม่น้อยกว่า +6 dB

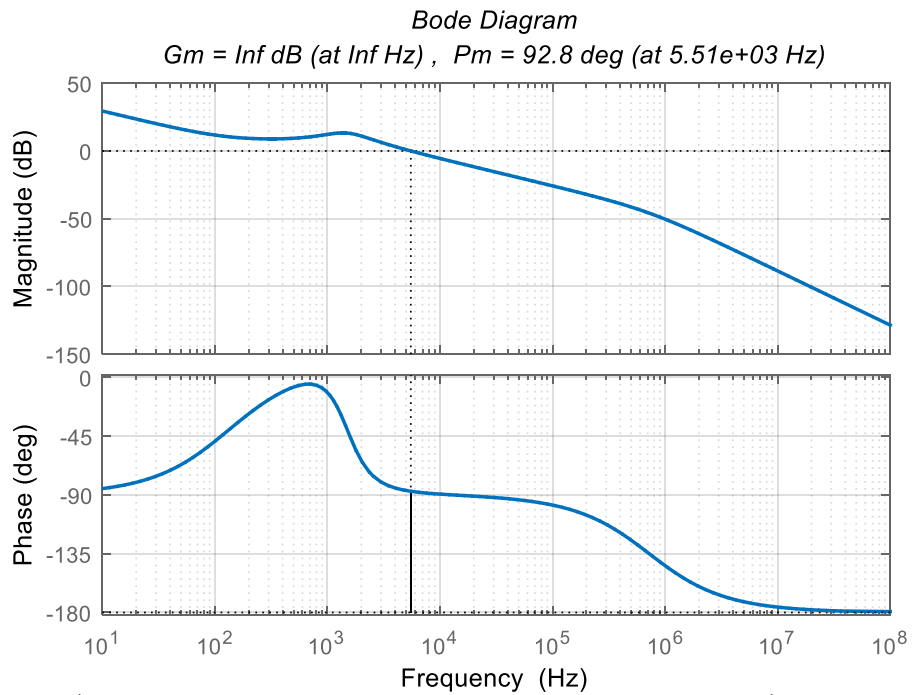
ในขั้นตอนการวาดแผนภาพโบเด ต้องออกแบบอัตราขยายสัดส่วนและอินทิกรัลให้มีค่าเฟอิมุม ค่าเฟออัตราขยาย และค่าความถี่ข้ามเกินตามข้อกำหนด

วาดแผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดที่มีตัวควบคุม (สมการ 4-3) จากนั้นปรับเลือกรัตราขยายสัดส่วนและอินทิกรัล จนได้ค่าเฟอิมุม ค่าเฟออัตราขยาย และความถี่ข้ามเกินตามข้อกำหนด มีรูปแผนภาพโบเดดังรูปที่ 4-4 และ 4-5 ตัวควบคุมกระแสเป็นดังสมการ 4-6

$$G_{cc}(s) = 0.092 + \frac{600}{s} \quad (4-6)$$



รูปที่ 4-4 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่มีตัวควบคุม
 ในสภาวะโหลดน้อยสุด ($i_o = 2 \text{ A}$)



รูปที่ 4-5 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่มีตัวควบคุม
 ในสภาวะเต็มโหลด ($i_o = 50 \text{ A}$)

ตัวควบคุมกระแสในสมการที่ 4-6 มีค่าเฟื่อ ดังนี้ สำหรับสภาวะโหลดน้อยสุด ค่าความถี่ข้ามแกนเท่ากับ 5.52 kHz ค่าเฟื่อมุมเท่ากับ $+92.7^\circ$ ส่วนสภาวะเต็มโหลด ค่าความถี่ข้ามแกนเท่ากับ 5.51 kHz ค่าเฟื่อมุมเท่ากับ $+92.8^\circ$

4.2.1 พิจารณาเวลาหน่วง

วงจรแปลงผันกำลังไฟฟ้ากระแสตรงเป็นกระแสตรงที่ควบคุมแบบระบบดิจิทัล มีเวลาหน่วงในระบบอยู่ 2 ตัว ได้แก่ เวลาหน่วงการคำนวณ (computation delay time) และเวลาหน่วงที่เกิดจากการคงค่าภายหลังจากการแปลงเป็นค่าดิจิทัลของ ADC หรือเวลาหน่วง ZOH (zero order hold) [20, 21]

เวลาหน่วงเหล่านี้ทำให้ค่าเฟื่อมุมของฟังก์ชันถ่ายโอนวงเปิดลดน้อยลง ซึ่งจะส่งผลให้ความทนทานของวงควบคุมด้อยลง ฉะนั้นจึงควรพิจารณาเวลาหน่วงเหล่านี้สำหรับการออกแบบตัวควบคุมดิจิทัลด้วย

ฟังก์ชันถ่ายโอน ZOH และฟังก์ชันถ่ายโอนเวลาหน่วงการคำนวณเป็นดังสมการ (4-7) และ (4-8) ตามลำดับ

$$G_{zoh}(s) \approx e^{-s \frac{T_{sam}}{2}} \quad (4-7)$$

$$G_{com}(s) \approx e^{-s T_{com}} \quad (4-8)$$

โดยที่

T_{sam} คือ คาบเวลาการชั่งตัวอย่างสัญญาณ มีหน่วยเป็นวินาที

T_{com} คือ เวลาหน่วงการคำนวณ มีหน่วยเป็นวินาที

คาบเวลาการชั่งตัวอย่างเท่ากับส่วนกลับความถี่การชั่งตัวอย่าง คำนวณได้ดังนี้

$$T_{sam} = \frac{1}{f_{sam}}$$

$$= \frac{1}{45\text{kHz}}$$

$$T_{sam} = 22.22\mu\text{s} \quad (4-9)$$

ฟังก์ชันถ่ายโอน ZOH จึงมีค่า ดังนี้

$$\begin{aligned} G_{zoh}(s) &\approx e^{-s\left(\frac{T_{sam}}{2}\right)} \\ &\approx e^{-s\left(\frac{22.22\mu\text{s}}{2}\right)} \\ G_{zoh}(s) &\approx e^{-s(11.11\mu\text{s})} \end{aligned} \quad (4-10)$$

ส่วนเวลาหน่วงการคำนวณจะประมาณให้มีค่าเท่ากับ 40% ของคาบเวลาการซิก

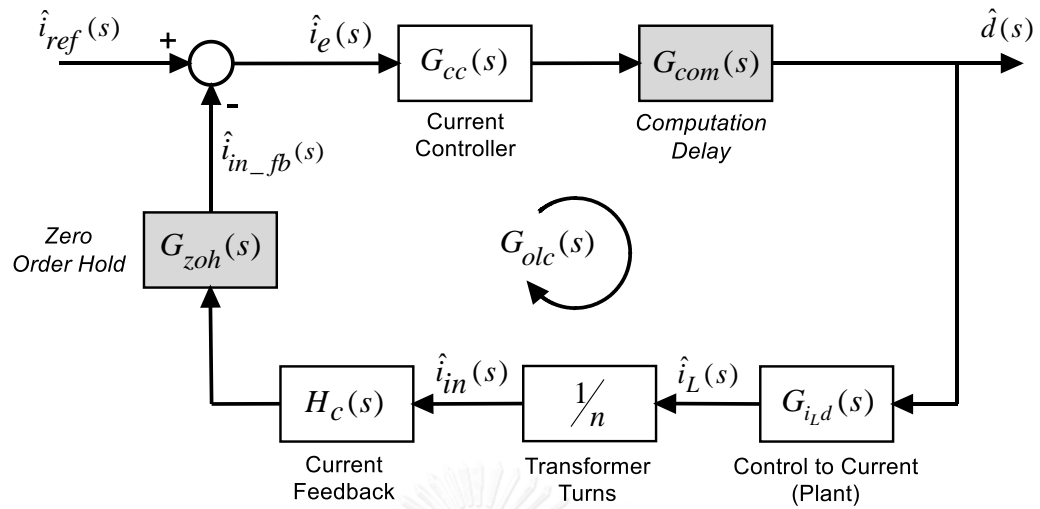
ตัวอย่าง

$$\begin{aligned} T_{com} &= (40\%) \cdot (T_{sam}) \\ &= (40\%) \cdot (22.22\mu\text{s}) \end{aligned}$$

$$T_{com} = 8.89\mu\text{s} \quad (4-11)$$

ฟังก์ชันถ่ายโอนเวลาหน่วงการคำนวณจึงเป็น

$$\begin{aligned} G_{com}(s) &\approx e^{-s(T_{com})} \\ G_{com}(s) &\approx e^{-s(8.89\mu\text{s})} \end{aligned} \quad (4-12)$$

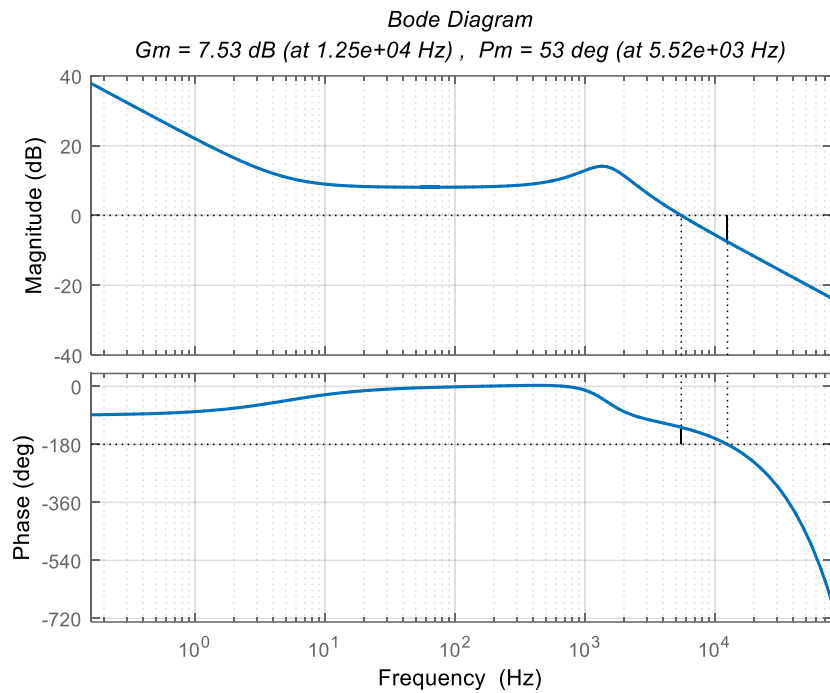


รูปที่ 4-6 แผนภาพบล็อกสัญญาณขนาดเล็กแห่งวงกระแสที่พิจารณาเวลาหนึ่ง

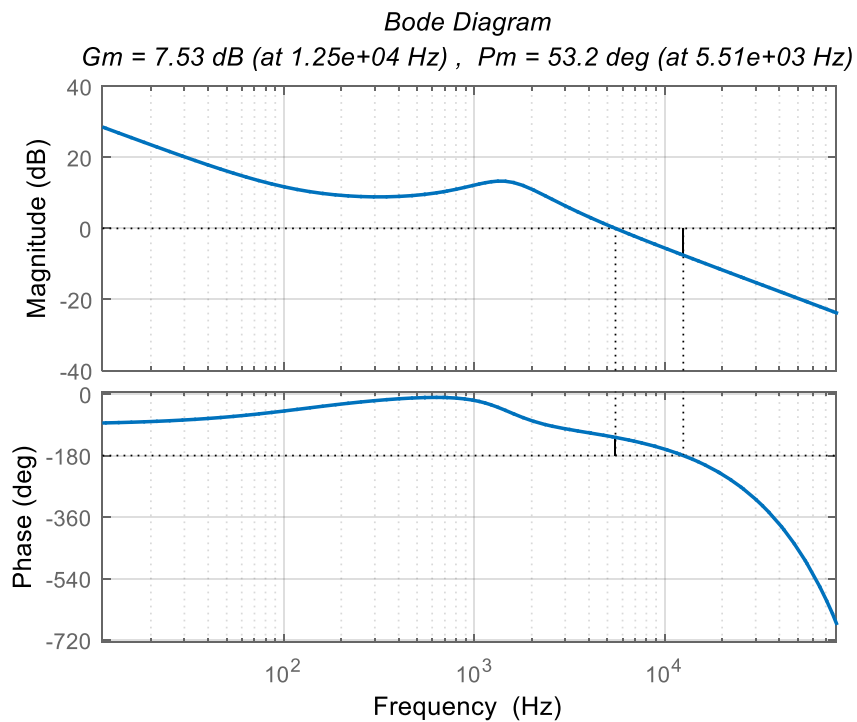
ฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่มีฟังก์ชันถ่ายโอนเวลาหนึ่งการคำนวณ และฟังก์ชันถ่ายโอน ZOH จึงเท่ากับ

$$G_{olc}(s) = G_{zoh}(s)G_{com}(s)G_{cc}(s)G_{id}(s)\left(\frac{1}{n}\right)H_c(s) \quad (4-13)$$

วาดแผนภาพโพลเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่มีฟังก์ชันถ่ายโอนเวลาหนึ่งการคำนวณและฟังก์ชันถ่ายโอน ZOH ได้ดังรูปที่ 4-7 และ 4-8



รูปที่ 4-7 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่พิจารณาเวลาหน่วง
ในสถานะโหลดน้อยสุด



รูปที่ 4-8 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่พิจารณาเวลาหน่วง
ในสถานะเต็มโหลด

ฟังก์ชันถ่ายโอนวงเปิดแห่งวงกระแสที่มีฟังก์ชันถ่ายโอนเวลาหน่วงการคำนวณ และฟังก์ชันถ่ายโอน ZOH มีค่าเฟื่อมุมลดลงจาก $+92.7^\circ$ เหลือ $+53^\circ$ สำหรับสภาวะโหนดน้อยสุด ส่วนสภาวะเต็มโหนด ค่าเฟื่อมุมลดลงจาก $+92.8^\circ$ เหลือ $+53.2^\circ$ ส่วนค่าเฟื่ออัตราขยายเท่ากับ $+7.53$ dB ทั้งสองสภาวะโหนด

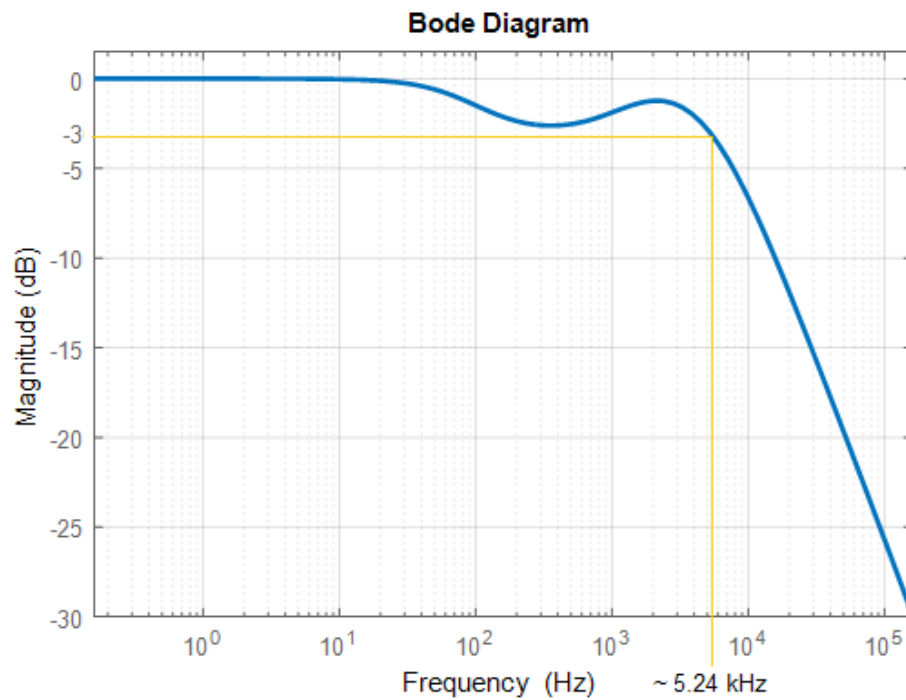
ส่วนค่าความถี่ข้ามเกินไม่เปลี่ยนแปลง

4.2.2 ความเร็วผลตอบสนองของวงรอบ

ความเร็วผลตอบสนองของวงรอบคือความเร็วในการติดตามค่าอ้างอิงของค่าเอาต์พุตของวงรอบ ตัวแปรที่บ่งบอกถึงความเร็วผลตอบสนองของวงรอบได้แก่ ค่าแถบกว้างความถี่ ซึ่งมีนิยามเป็นค่าความถี่ที่ให้ค่าอัตราขยายเท่ากับ -3 dB ในผลตอบสนองเชิงความถี่ของฟังก์ชันถ่ายโอนวงปิดสำหรับค่าอ้างอิงผู้ค่าป้อนกลับ

ฟังก์ชันถ่ายโอนวงปิดสำหรับค่าอ้างอิงผู้ค่าป้อนกลับแห่งวงกระแสเท่ากับ

$$\frac{\hat{i}_{in_fb}(s)}{\hat{i}_{ref}(s)} = \frac{G_{cc}(s)G_{iLd}(s)\left(\frac{1}{n}\right)H_c(s)}{1 + G_{cc}(s)G_{iLd}(s)\left(\frac{1}{n}\right)H_c(s)} \quad (4-14)$$

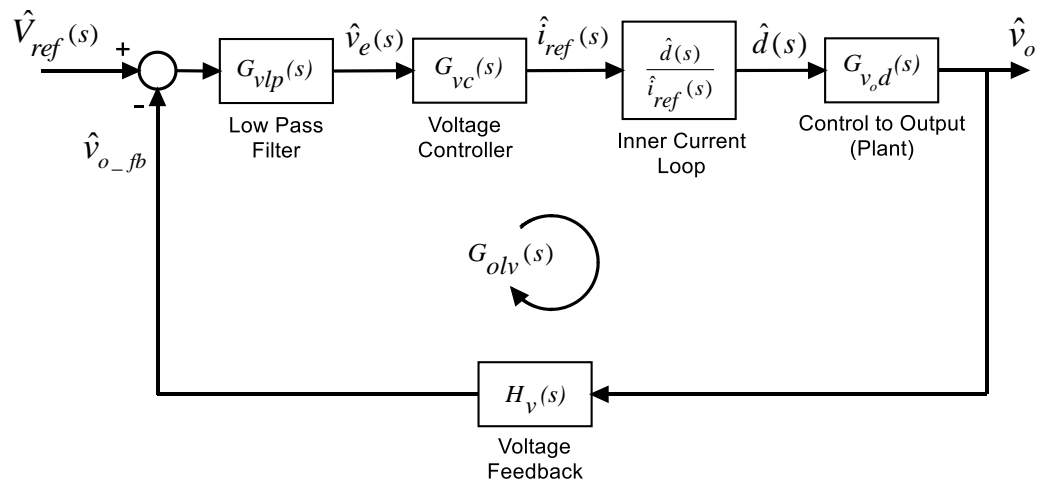


รูปที่ 4-9 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงปิดสำหรับค่าอ้างอิงสู่ค่าป้อนกลับ
แห่งวงกระแสในสภาวะเต็มโหลด

รูปที่ 4-9 เป็นผลตอบสนองเชิงความถี่ของฟังก์ชันถ่ายโอนวงปิดสำหรับค่าอ้างอิง
สู่ค่าป้อนกลับแห่งวงกระแส มีค่าแถบกว้างความถี่เท่ากับ 5.24 kHz โดยประมาณ

4.3 การออกแบบตัวควบคุมแรงดันด้านออก

เราสามารถแยกแยะวงควบคุมแรงดันจากแผนภาพบล็อกของระบบควบคุมดูลย
ภาพโหลด ในรูปที่ 4-1 ได้เป็นรูปที่ 4-10



รูปที่ 4-10 แผนภาพบล็อกสัญญาณขนาดเล็กแห่งวงแรงดัน

วงควบคุมแรงดันประกอบด้วย ฟังก์ชันถ่ายโอนการควบคุมผู้แรงดัน ฟังก์ชันถ่ายโอนวงจรป้อนกลับแรงดัน ฟังก์ชันถ่ายโอนตัวกรองความถี่ต่ำผ่าน และตัวควบคุมแรงดัน

ตัวควบคุมแรงดันจะปรับค่าแรงดันด้านออกจนระดับแรงดันด้านออกเท่ากับค่าแรงดันอ้างอิง (V_{ref}) ส่วนค่าอินพุตของตัวควบคุมแรงดันเป็นผลต่างระหว่างค่าแรงดันอ้างอิงและระดับแรงดันด้านออก

สำหรับการคำนวณฟังก์ชันถ่ายโอนวงปิดแห่งวงแรงดันนั้น วงรอบมีคำสั่งแรงดันอ้างอิงเป็นอินพุต และมีแรงดันด้านออกเป็นเอาต์พุต ฟังก์ชันถ่ายโอนวงปิดแห่งวงแรงดันจึงเป็นอัตราส่วนของแรงดันด้านออกต่อคำสั่งแรงดันอ้างอิง คำนวณได้ดัง สมการ (4-14)

$$\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)} = \frac{G_{vlp}(s)G_{vc}(s)\left(\frac{\hat{d}(s)}{\hat{i}_{ref}(s)}\right)G_{vod}(s)}{1 + G_{vlp}(s)G_{vc}(s)\left(\frac{\hat{d}(s)}{\hat{i}_{ref}(s)}\right)G_{vod}(s)H_v(s)} \quad (4-15)$$

วงควบคุมกระแสได้ถูกภายในวงควบคุมแรงดัน จึงได้นำวงควบคุมกระแสมาคำนวณร่วมกับการออกแบบตัวควบคุมแรงดันด้วย

จากวงควบคุมกระแสเราทราบว่า ฟังก์ชันถ่ายโอนวงปิดแห่งวงกระแส (สมการ (4-3) แทนใน สมการ (4-1)) มีค่าเท่ากับ

$$\frac{\hat{d}(s)}{\hat{i}_{ref}(s)} = \frac{G_{cc}(s)}{1+G_{olc}(s)} \quad (4-16)$$

โดยที่

$$G_{olc}(s) = G_{cc}(s)G_{iLd}(s)\left(\frac{1}{n}\right)H_c(s) \quad (4-17)$$

นำ $\frac{\hat{d}(s)}{\hat{i}_{ref}(s)}$ ในสมการ (4-16) แทนลงใน สมการ (4-15)

ได้เท่ากับ

$$\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)} = \frac{G_{vlp}(s)G_{vc}(s)\left(\frac{G_{cc}(s)}{1+G_{olc}(s)}\right)G_{vod}(s)}{1+G_{vlp}(s)G_{vc}(s)\left(\frac{G_{cc}(s)}{1+G_{olc}(s)}\right)G_{vod}(s)H_v(s)} \quad (4-18)$$

สมการคุณลักษณะเท่ากับ

$$1+G_{vlp}(s)G_{vc}(s)\left(\frac{G_{cc}(s)}{1+G_{olc}(s)}\right)G_{vod}(s)H_v(s) = 0 \quad (4-19)$$

กำหนดให้ $G_{olv}(s)$ เท่ากับฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดัน (open loop gain of voltage loop)

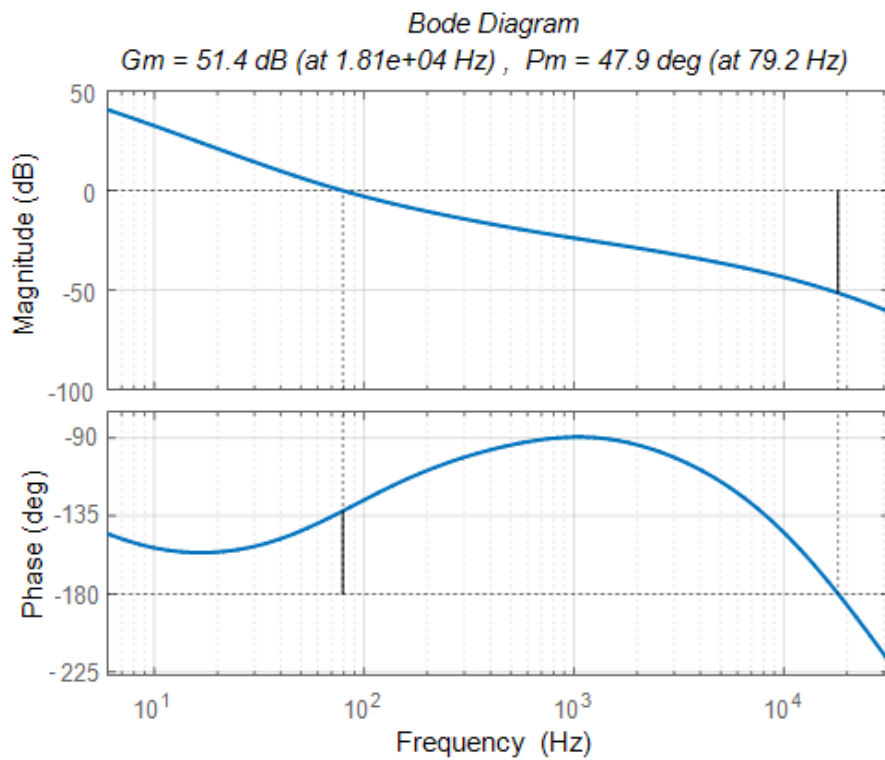
$$G_{olv}(s) = G_{vlp}(s)G_{vc}(s)\left(\frac{G_{cc}(s)}{1+G_{olc}(s)}\right)G_{vod}(s)H_v(s) \quad (4-20)$$

นำพจน์ $G_{vlp}(s)G_{vc}(s)\left(\frac{G_{cc}(s)}{1+G_{olc}(s)}\right)G_{vod}(s)H_v(s)$ ในสมการคุณลักษณะ (สมการที่ 4-19) ซึ่งเป็นฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดัน มาวาดแผนภาพโพลเดเพื่อออกแบบตัว

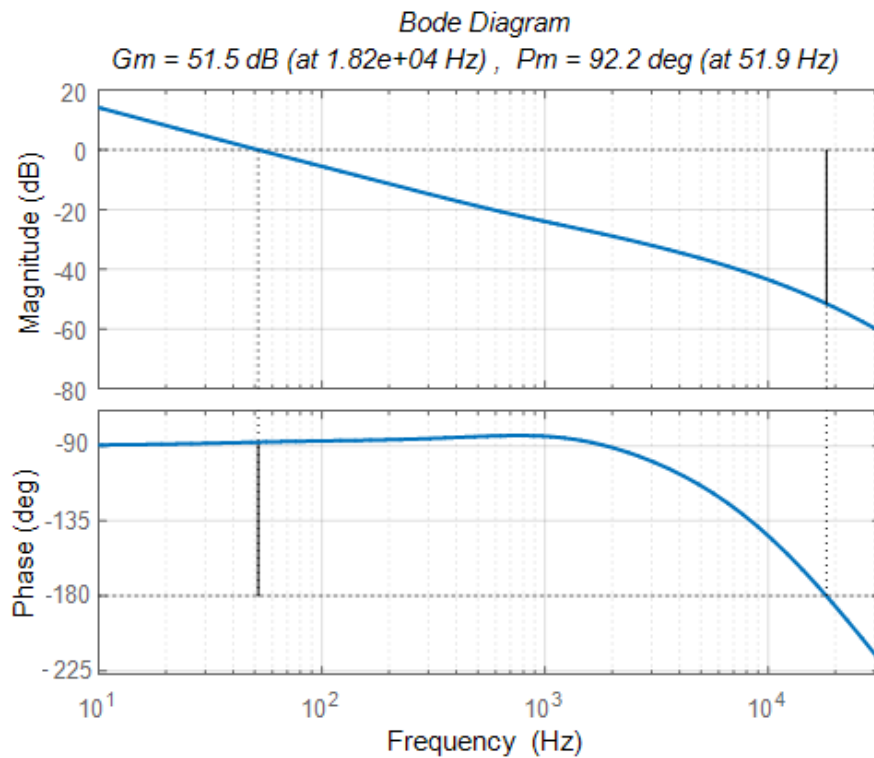
ควบคุมแรงดัน อีกทั้งออกแบบให้ความเร็วผลตอบสนองของวงควบคุมแรงดันต่ำกว่าวงควบคุมกระแส

วาดแผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดัน จากนั้นปรับเลือกอัตราขยายสัดส่วนและอินทิกรัล จนได้ค่าเฟอิมูม ค่าเฟออัตราขยาย และความถี่ข้ามเกณฑ์ตามข้อกำหนด มีรูปแผนภาพโบเดดังรูปที่ 4-11 และ 4-12 ตัวควบคุมแรงดันเป็นดังสมการ 4-21

$$G_{vc}(s) = 0.59 + \frac{300}{s} \quad (4-21)$$



รูปที่ 4-11 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดันที่มีตัวควบคุมในสถานะไหลดน้อยสุด



รูปที่ 4-12 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดันที่มีตัวควบคุม
ในสถานะเต็มโหลด

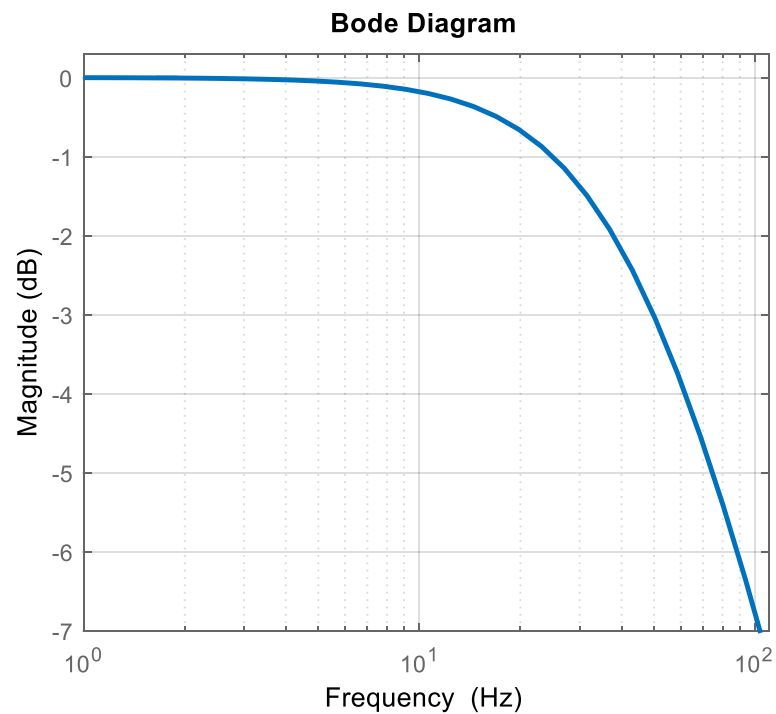
ตัวควบคุมแรงดันในสมการที่ 4-20 มีค่าเผื่อและความถี่ข้ามเกิน ดังนี้ สำหรับ
สภาวะโหลดน้อยสุด ค่าความถี่ข้ามเกินเท่ากับ 79.2 Hz ค่าเผื่อมุมเท่ากับ +47.9° และค่าเผื่อ
อัตราขยาย +51.4 dB ส่วนสภาวะเต็มโหลด ค่าความถี่ข้ามเกินเท่ากับ 51.9 Hz ค่าเผื่อมุมเท่ากับ
+92.2° และค่าเผื่ออัตราขยาย +51.5 dB

4.3.1 ความเร็วผลตอบสนองของวงรอบ

ฟังก์ชันถ่ายโอนวงปิดสำหรับค่าอ้างอิงสู่ค่าป้อนกลับแห่งวงแรงดันเท่ากับ

$$\frac{\hat{v}_{o_fb}(s)}{\hat{V}_{ref}(s)} = \frac{G_{vlp}(s)G_{vc}(s)\left(\frac{G_{cc}(s)}{1+G_{olc}(s)}\right)G_{vod}(s)H_V(s)}{1+G_{vlp}(s)G_{vc}(s)\left(\frac{G_{cc}(s)}{1+G_{olc}(s)}\right)G_{vod}(s)H_V(s)} \quad (4-22)$$

วาดแผนภาพของฟังก์ชันถ่ายโอนวงปิดสำหรับค่าอ้างอิงผู้ค่าป้อนกลับแห่งวงแรงดัน ได้ดังรูปที่ 4-13 มีค่าแถบกว้างความถี่เท่ากับ 50 Hz โดยประมาณซึ่งน้อยกว่าค่าแถบกว้างความถี่ของวงกระแสประมาณ 105 เท่า หมายความว่า วงควบคุมกระแสมีผลตอบสนองที่รวดเร็วกว่าวงควบคุมแรงดันประมาณ 105 เท่า

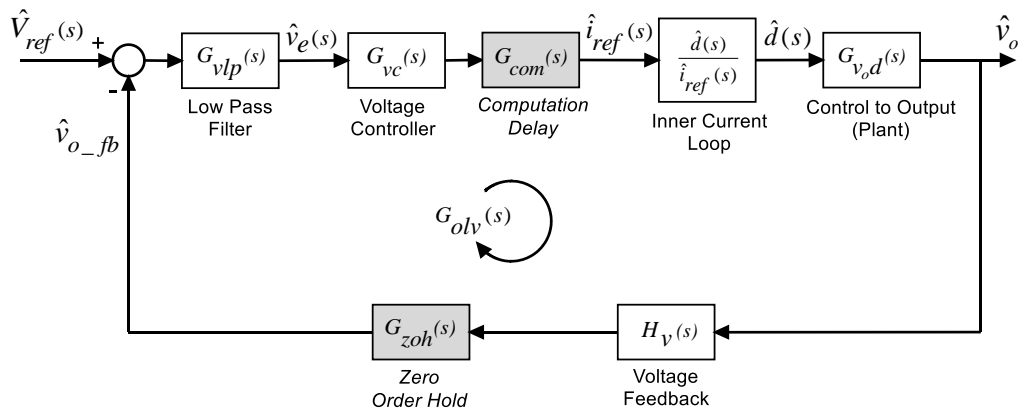


รูปที่ 4-13 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงปิดสำหรับค่าอ้างอิงผู้ค่าป้อนกลับแห่งวงแรงดันในสถานะเต็มโหลด

4.3.2 พิจารณาเวลาหน่วง

เช่นเดียวกับวงควบคุมกระแส เมื่อพิจารณาเวลาหน่วงจากการคำนวณและเวลาหน่วง zero order hold แผนภาพบล็อกสัญญาณขนาดเล็กแห่งวงแรงดัน เขียนใหม่ได้เป็นรูปที่

4-14

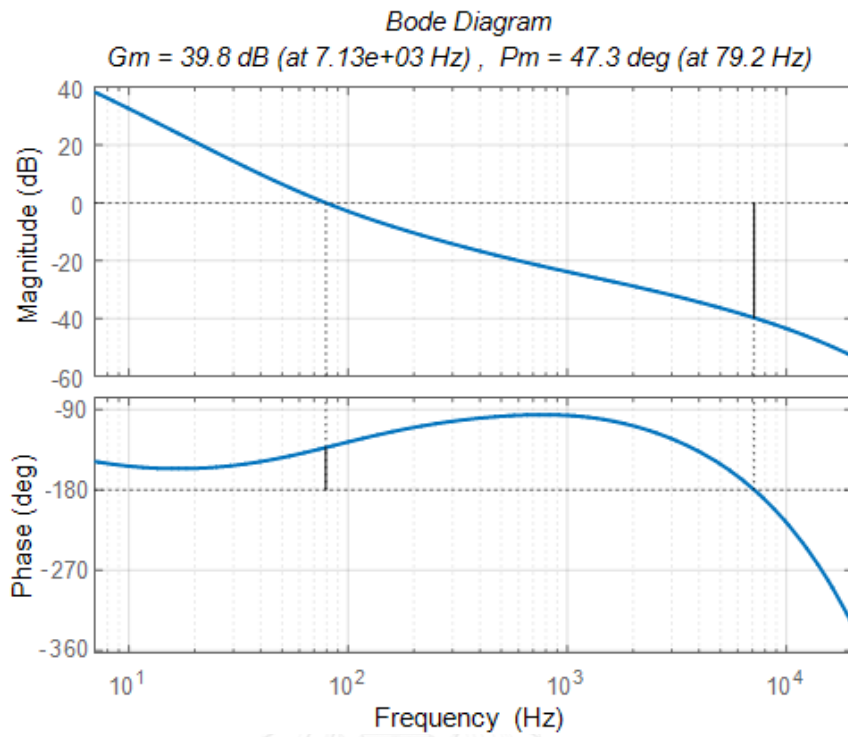


รูปที่ 4-14 แผนภาพบล็อกสัญญาณขนาดเล็กแห่งวงแรงดันที่พิจารณาเวลาหนึ่งวง

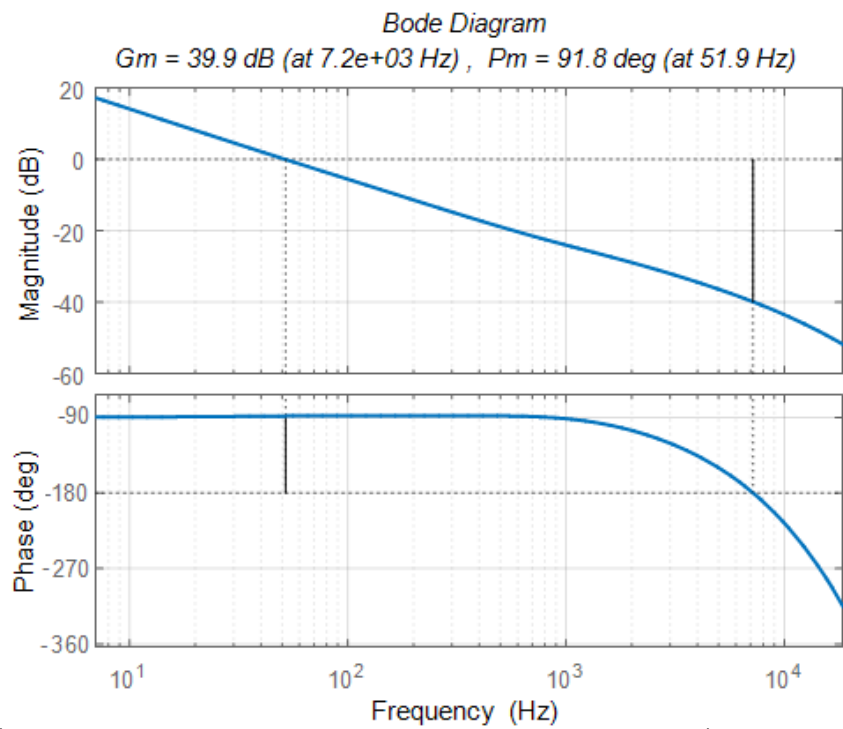
ฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดันที่มีฟังก์ชันถ่ายโอนเวลาหนึ่งวงการคำนวณ และฟังก์ชันถ่ายโอน ZOH จึงเท่ากับ

$$G_{olv}(s) = G_{zoh}(s)G_{com}(s)G_{vlp}(s)G_{vc}(s)\left(\frac{G_{cc}(s)}{1+G_{olc}(s)}\right)G_{vod}(s)H_v(s) \quad (4-23)$$

วาดแผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดันที่มีฟังก์ชันถ่ายโอนเวลาหนึ่งวงการคำนวณและฟังก์ชันถ่ายโอน ZOH ได้ดังรูปที่ 4-15 และ 4-16



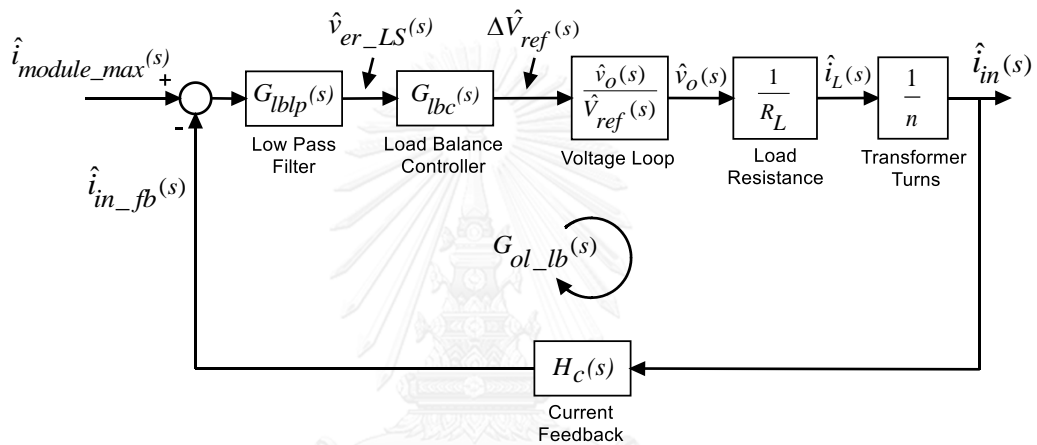
รูปที่ 4-15 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดันที่พิจารณาเวลาหน่วง
ในสถานะโหลดน้อยสุด



รูปที่ 4-16 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดันที่พิจารณาเวลาหน่วง
ในสถานะเต็มโหลด

ฟังก์ชันถ่ายโอนวงเปิดแห่งวงแรงดันที่มีฟังก์ชันถ่ายโอนเวลาหน่วงการคำนวณ และฟังก์ชันถ่ายโอน ZOH มีค่าเฟอิมมลดลงจาก $+47.9^\circ$ เหลือ $+47.3^\circ$ ค่าเฟอิตัรราชายลดลง จาก 51.4 dB เหลือ $+39.8$ dB สำหรับสภาวะโหลดน้อยสุด ส่วนสภาวะเต็มโหลด ค่าเฟอิมมลดลง จาก $+92.2^\circ$ เหลือ $+91.8^\circ$ ค่าเฟอิตัรราชายลดลงจาก 51.5 dB เหลือ $+39.9$ dB ส่วนค่าความถี่ข้ามเกินไม่เปลี่ยนแปลง

4.4 การออกแบบตัวควบคุมดลยภาพโหลด



รูปที่ 4-17 แผนภาพบล็อกสัญญาณขนาดเล็กแห่งวงดลยภาพโหลด

วงควบคุมดลยภาพโหลดมีสัญญาณบัสแบ่งโหลด ($i_{\text{module_max}}$) เป็นค่าอินพุต และมีกระแสด้านเข้าของมอดูลตนเองเป็นค่าเอาต์พุต ฟังก์ชันถ่ายโอนวงเปิดแห่งวงดลยภาพโหลดจึงเท่ากับอัตราส่วนของกระแสด้านเข้าของมอดูลตนเองต่อสัญญาณบัสแบ่งโหลด คำนวณได้ดังนี้

$$\frac{\hat{i}_{in}(s)}{\hat{i}_{\text{module_max}}(s)} = \frac{G_{lblp}(s)G_{lbc}(s)\left(\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)}\right)\left(\frac{1}{R_L}\right)\left(\frac{1}{n}\right)}{1 + G_{lblp}(s)G_{lbc}(s)\left(\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)}\right)\left(\frac{1}{R_L}\right)\left(\frac{1}{n}\right)H_c(s)} \quad (4-24)$$

สมการคุณลักษณะเท่ากับ

$$1 + G_{lbp}(s)G_{lbc}(s)\left(\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)}\right)\left(\frac{1}{R_L}\right)\left(\frac{1}{n}\right)H_C(s) = 0 \quad (4-25)$$

กำหนดให้ $G_{ol_lb}(s)$ เท่ากับฟังก์ชันถ่ายโอนวงเปิดแห่งวงดุลยภาพโหลด
(open loop gain of load balance loop)

$$G_{ol_lb}(s) = G_{lbp}(s)G_{lbc}(s)\left(\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)}\right)\left(\frac{1}{R_L}\right)\left(\frac{1}{n}\right)H_C(s) \quad (4-26)$$

โดยที่

$$\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)} = \frac{G_{vlp}(s)G_{vc}(s)\left(\frac{G_{cc}(s)}{1+G_{ol_c}(s)}\right)G_{vod}(s)}{1+G_{vlp}(s)G_{vc}(s)\left(\frac{G_{cc}(s)}{1+G_{ol_c}(s)}\right)G_{vod}(s)H_V(s)} \quad (4-27)$$

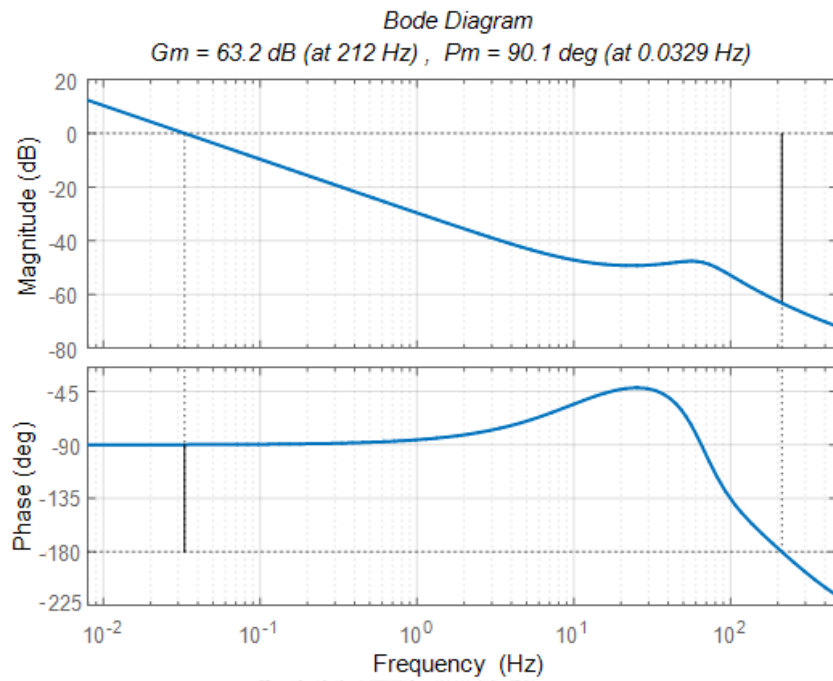
นำพจน์ $G_{lbp}(s)G_{lbc}(s)\left(\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)}\right)\left(\frac{1}{R_L}\right)\left(\frac{1}{n}\right)H_C(s)$ ในสมการคุณลักษณะ

(สมการที่ 4-25) ซึ่งเป็นฟังก์ชันถ่ายโอนวงเปิดแห่งวงดุลยภาพโหลด มาวาดแผนภาพโพลโดย
ออกแบบให้วงควบคุมดุลยภาพโหลดมีความเร็วผลตอบสนองต่ำกว่าวงควบคุมแรงดันแรงดัน

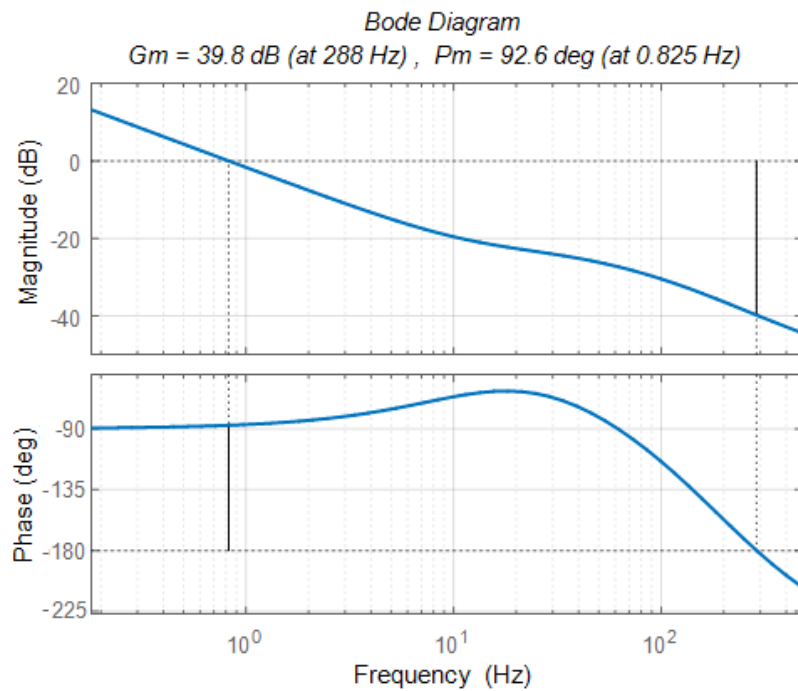
วาดแผนภาพโพลของฟังก์ชันถ่ายโอนวงเปิดแห่งวงดุลยภาพโหลด จากนั้นปรับ
เลือกอัตราขยายสัดส่วนและอินทิกรัล จนได้ค่าเฟื้อมูม ค่าเฟื้ออัตราขยาย และความถี่ข้ามแกนตาม
ข้อกำหนด มีรูปแผนภาพโพลดังรูปที่ 4-18 และ 4-19 ตัวควบคุมดุลยภาพโหลดเป็นดังสมการ 4-

26

$$G_{lbc}(s) = 0.073 + \frac{5.52}{s} \quad (4-28)$$



รูปที่ 4-18 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงดุลงภาพโหลดที่มีตัวควบคุม
 ในสภาวะโหลดน้อยสุด



รูปที่ 4-19 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงดุลงภาพโหลดที่มีตัวควบคุม
 ในสภาวะเต็มโหลด

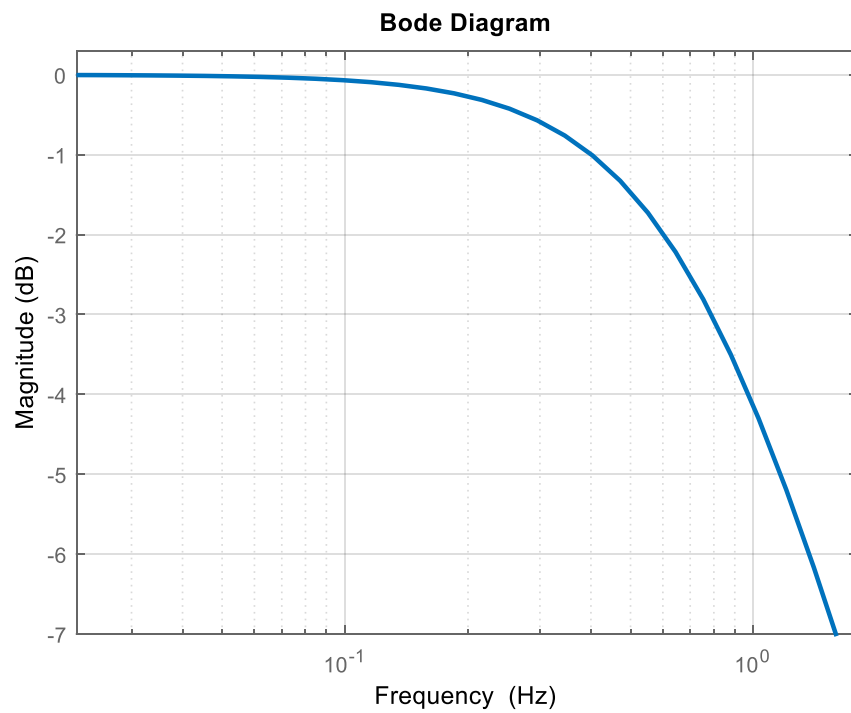
ตัวควบคุมคุณภาพโพลด์ในสมการที่ 4-26 มีค่าเฟื่อและความถี่ข้ามเกิน ดังนี้
 สำหรับสภาวะโพลด์น้อยสุด ค่าเฟื่อมุมเท่ากับ $+90.1^\circ$ และค่าเฟื่ออัตราขยายเท่ากับ $+63.2$ dB
 ส่วนสภาวะเต็มโพลด์ ค่าเฟื่อมุมเท่ากับ $+92.6^\circ$ และค่าเฟื่ออัตราขยายเท่ากับ $+39.8$ dB

4.4.1 ความเร็วผลตอบสนองของวงรอบ

ฟังก์ชันถ่ายโอนวงปิดสำหรับค่าอ้างอิงสู่ค่าป้อนกลับแห่งวงคุณภาพโพลด์
 เท่ากับ

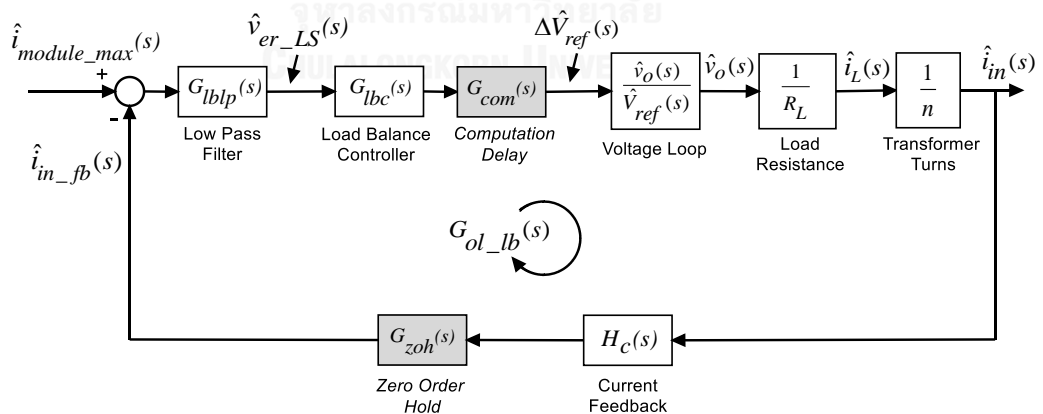
$$\frac{\hat{i}_{in_fb}(s)}{\hat{i}_{module_max}(s)} = \frac{G_{lbp}(s)G_{lbc}(s)\left(\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)}\right)\left(\frac{1}{R_L}\right)\left(\frac{1}{n}\right)H_C(s)}{1 + G_{lbp}(s)G_{lbc}(s)\left(\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)}\right)\left(\frac{1}{R_L}\right)\left(\frac{1}{n}\right)H_C(s)} \quad (4-29)$$

วาดแผนภาพโบเดของฟังก์ชันถ่ายโอนวงปิดสำหรับค่าอ้างอิงสู่ค่าป้อนกลับแห่ง
 วงคุณภาพโพลด์ได้ ดังรูปที่ 4-20 มีค่าแถบกว้างความถี่ เท่ากับ 0.8 Hz โดยประมาณ ซึ่งน้อยกว่า
 ค่าแถบกว้างความถี่ของวงแรงดันประมาณ 60 เท่า



รูปที่ 4-20 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงปิดแห่งวงดูดยภาพไหลด
ในสภาวะเต็มไหลด

4.4.2 พิจารณาเวลาหน่วง



รูปที่ 4-21 แผนภาพบล็อกสัญญาณขนาดเล็กแห่งวงดูดยภาพไหลดที่พิจารณาเวลาหน่วง

ความเร็วผลตอบของวงควบคุมดูดยภาพไหลดต้องมีความเร็วที่ช้ากว่าวงควบคุมแรงดันและกระแสค่อนข้างมาก เนื่องจากป้องกันไม่ไห้แรงดันด้านออกมีอาการแกว่งจากผลการ

ทำงานของวงควบคุมคุณภาพไหลด ความถี่การซึกตัวอย่างของตัวควบคุมคุณภาพไหลดจึงควรวีที่มีค่าต่ำด้วย

ในที่นี้ได้ออกแบบให้ความถี่การซึกตัวอย่างของตัวควบคุมคุณภาพไหลดมีค่าเท่ากับ 600 Hz

รูปที่ 4-21 เป็นแผนภาพบล็อกสัญญาณขนาดเล็กแห่งวงคุณภาพไหลดเมื่อพิจารณาเวลาหน่วงการคำนวณและ zero order hold ในวงควบคุม

ฟังก์ชันถ่ายโอน ZOH ของวงควบคุมคุณภาพไหลดจึงเท่ากับ

$$\begin{aligned}
 G_{zoh}(s) &\approx e^{-s\left(\frac{T_{sam}}{2}\right)} \\
 &\approx e^{-s\left(\frac{1/600\text{Hz}}{2}\right)} \\
 G_{zoh}(s) &\approx e^{-s(833.33\mu s)} \quad (4-30)
 \end{aligned}$$

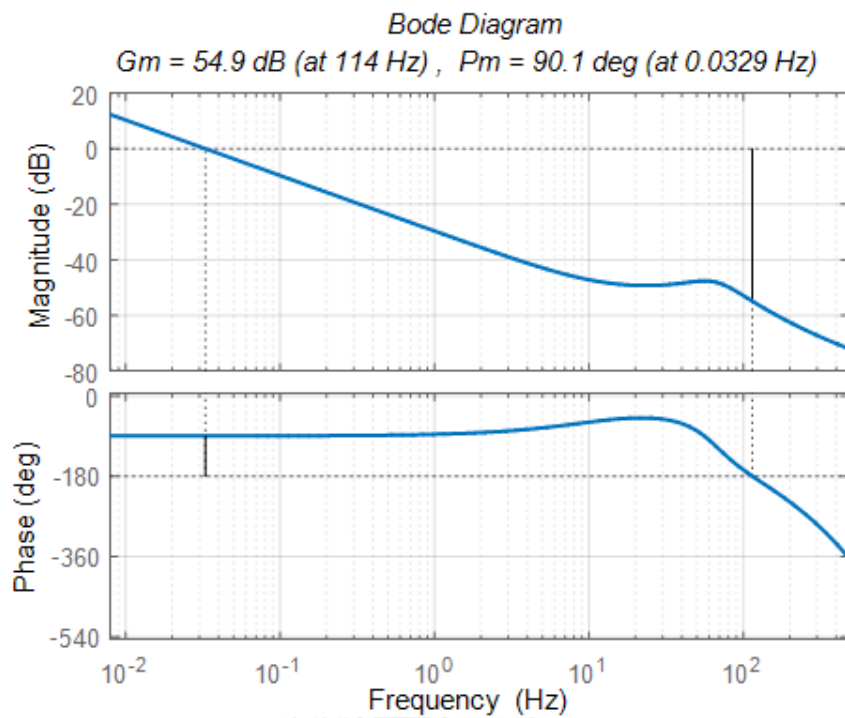
ฟังก์ชันถ่ายโอนวงเปิดแห่งวงคุณภาพไหลดที่มีฟังก์ชันถ่ายโอนเวลาหน่วงการคำนวณและฟังก์ชันถ่ายโอน ZOH จึงเท่ากับ

$$G_{ol_lb}(s) = G_{zoh}(s)G_{com}(s)G_{lblp}(s)G_{lbc}(s)\left(\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)}\right)\left(\frac{1}{R_L}\right)\left(\frac{1}{n}\right)H_c(s) \quad (4-31)$$

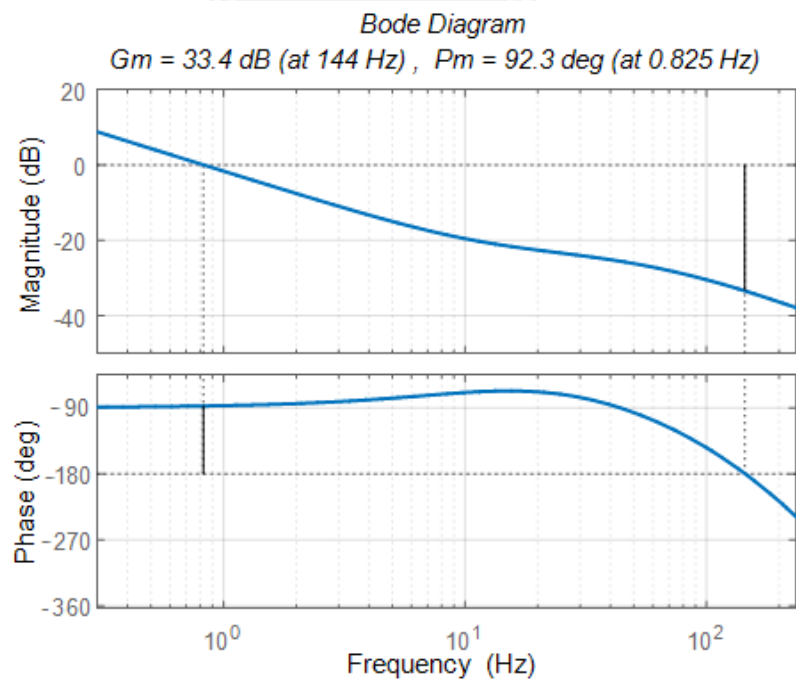
แทนค่า ฟังก์ชันถ่ายโอน ZOH

$$G_{ol_lb}(s) = e^{-s(833.33\mu s)}G_{com}(s)G_{lblp}(s)G_{lbc}(s)\left(\frac{\hat{v}_o(s)}{\hat{V}_{ref}(s)}\right)\left(\frac{1}{R_L}\right)\left(\frac{1}{n}\right)H_c(s) \quad (4-32)$$

วาดแผนภาพโเบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงคุณภาพไหลดที่มีฟังก์ชันถ่ายโอนเวลาหน่วงการคำนวณและฟังก์ชันถ่ายโอน ZOH ได้ดังรูปที่ 4-22 และ 4-23



รูปที่ 4-22 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงคุณสภาพไหลด
 ที่พิจารณาเวลาหน่วง ในสภาวะไหลดน้อยสุด



รูปที่ 4-23 แผนภาพโบเดของฟังก์ชันถ่ายโอนวงเปิดแห่งวงคุณสภาพไหลด
 ที่พิจารณาเวลาหน่วง ในสภาวะเต็มไหลด

ฟังก์ชันถ่ายโอนวงเปิดแห่งวงคูลยภาพไหลดที่มีฟังก์ชันถ่ายโอนเวลาหน่วงการคำนวณและฟังก์ชันถ่ายโอน ZOH มีค่าเพื่อ ดังนี้ สำหรับสภาวะไหลดน้อยสุด ค่าเพื่ออัตราขยายลดลงจาก +63.2 dB เหลือ +54.9 dB ค่าเพื่อมุมไม่มีการเปลี่ยนแปลง ส่วนสภาวะเต็มไหลด ค่าเพื่อมุมลดลงจาก +92.6° เหลือ +92.3° ค่าเพื่ออัตราขยายลดลงจาก +39.8 dB เหลือ +33.4 dB ส่วนค่าความถี่ข้ามเกินไม่เปลี่ยนแปลง

4.5 ประยุกต์ใช้ตัวควบคุมบนตัวประมวลผลสัญญาณดิจิทัล [22]

ตัวควบคุมที่ได้ออกแบบมาล้วนอยู่ในรูปแบบเวลาต่อเนื่อง ในหัวข้อนี้จึงกล่าวถึงความสัมพันธ์ระหว่างรูปแบบเวลาต่อเนื่องและเวลาไม่ต่อเนื่อง

ความสัมพันธ์ในรูปแบบเวลาต่อเนื่องระหว่างอินพุตและเอาต์พุตของตัวควบคุมเขียนได้ดังนี้

$$u(t) = K_p e(t) + K_i \int_0^t e(t) dt \quad (4-33)$$

โดย $u(t)$ เป็นเอาต์พุตของตัวควบคุม และ $e(t)$ เป็นอินพุตของตัวควบคุม แปลงลาปลาซจะได้

$$\frac{U(s)}{E(s)} = K_p + \frac{K_i}{s} \quad (4-34)$$

ถ้าประมาณพจน์อินทิกรัลด้วยวิธี backward rectangular จะได้

$$\int_0^t e(t) dt \approx \sum_{k=1}^n T_{sam} e(kT_{sam}) \quad (4-35)$$

โดย n หมายถึงจำนวนช่วงย่อยที่ถูกแบ่งโดยคาบเวลาการซิกตัวอย่างสัญญาณ (T_{sam}) และ k หมายถึงลำดับการซิกตัวอย่าง

สมการ (4-33) จึงเขียนใหม่ได้เป็น

$$u(kT_{sam}) = K_p e(kT_{sam}) + K_i T_{sam} \sum_{k=1}^n e(kT_{sam}) \quad (4-36)$$

รูปแบบในสมการ (4-36) มีชื่อว่า positional controller form ซึ่งเป็นรูปแบบสมการเชิงผลต่างและเป็นสมการในรูปแบบเวลาไม่ต่อเนื่อง รูปแบบสมการเชิงผลต่างจะถูกเขียนเป็นซอร์สโค้ดเพื่อทำงานบนตัวประมวลผลสัญญาณดิจิทัล เพื่อความสะดวกต่อการอ่านสามารถเขียนในรูปแบบตัวห้อยได้ ดังนี้

$$u_k = K_p e_k + K_i T_{sam} \sum_{k=1}^n e_k \quad (4-37)$$

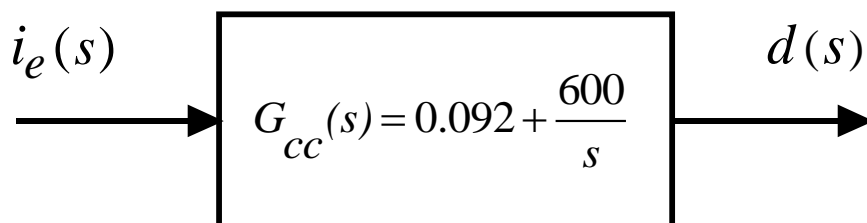
โดย k ยังคงหมายถึงลำดับการชักตัวอย่าง

เมื่อเราทราบความสัมพันธ์นี้แล้ว ก็สามารถแปลงตัวควบคุมในรูปแบบเวลาต่อเนื่องให้เป็นรูปแบบเวลาไม่ต่อเนื่องได้ดังต่อไปนี้

4.5.1 แปลงตัวควบคุมกระแส

ตัวควบคุมกระแสที่ได้จากการออกแบบ

$$G_{cc}(s) = 0.092 + \frac{600}{s} \quad (4-38)$$



รูปที่ 4-24 ตัวควบคุมกระแส

แปลงเป็นสมการเชิงผลต่างได้ ดังนี้

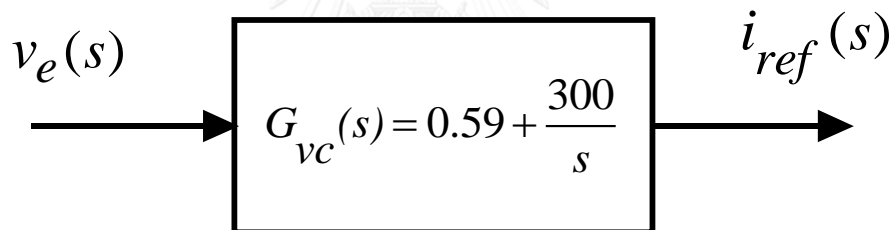
$$d_k = 0.092i_{e_k} + \left(\frac{600}{45\text{kHz}}\right) \sum_{k=1}^n i_{e_k}$$

$$d_k = 0.092i_{e_k} + (1.33 \times 10^{-2}) \sum_{k=1}^n i_{e_k} \quad (4-39)$$

4.5.2 แปลงตัวควบคุมแรงดัน

ตัวควบคุมแรงดันที่ได้จากการออกแบบ

$$G_{vc}(s) = 0.59 + \frac{300}{s} \quad (4-40)$$



รูปที่ 4-25 ตัวควบคุมแรงดัน

แปลงเป็นสมการเชิงผลต่างได้ ดังนี้

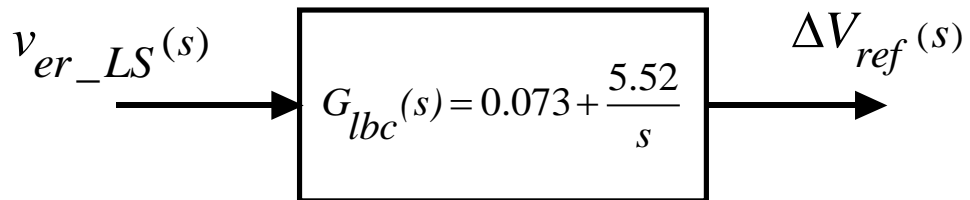
$$i_{ref_k} = 0.59v_{e_k} + \left(\frac{300}{45\text{kHz}}\right) \sum_{k=1}^n v_{e_k}$$

$$i_{ref_k} = 0.59v_{e_k} + (6.67 \times 10^{-3}) \sum_{k=1}^n v_{e_k} \quad (4-41)$$

4.5.3 แปลงตัวควบคุมคุณภาพโหลด

ตัวควบคุมคุณภาพโหลดที่ได้จากการออกแบบ

$$G_{lbc}(s) = 0.073 + \frac{5.52}{s} \quad (4-42)$$



รูปที่ 4-26 ตัวควบคุมคุณภาพโหลด

แปลงเป็นสมการเชิงผลต่างได้ ดังนี้

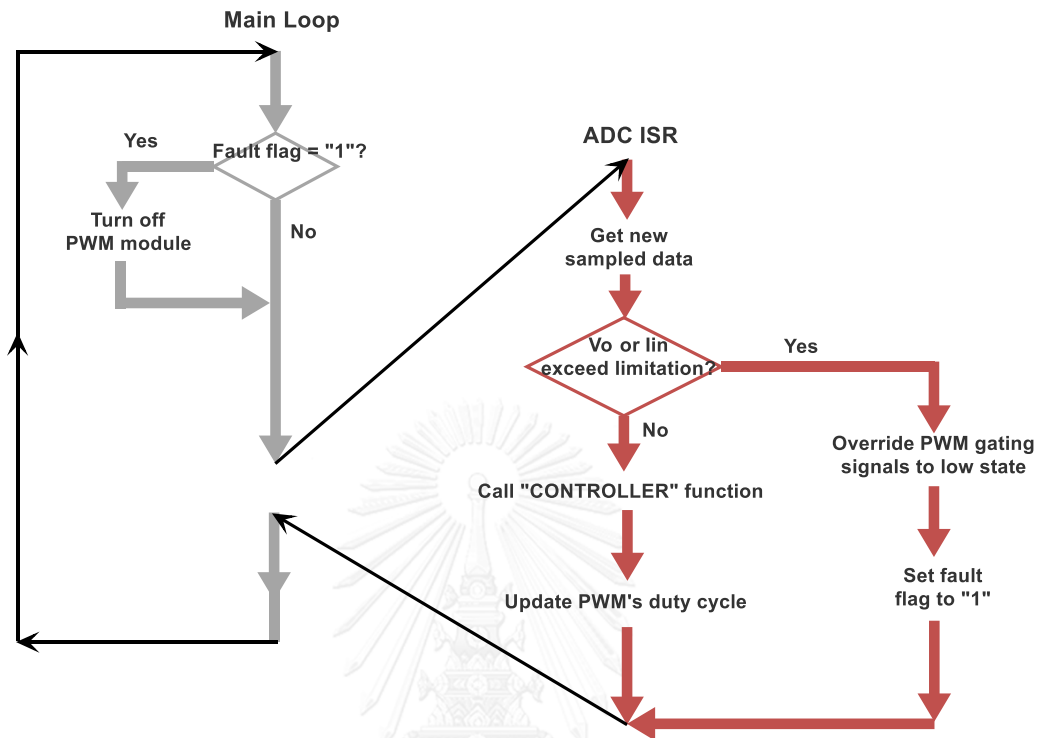
$$\Delta V_{ref_k} = 0.073v_{er_LS_k} + \left(\frac{5.52}{600\text{Hz}}\right) \sum_{k=1}^n v_{er_LS_k}$$

$$\Delta V_{ref_k} = 0.073v_{er_LS_k} + (9.2 \times 10^{-3}) \sum_{k=1}^n v_{er_LS_k} \quad (4-43)$$

นำสมการ (4-39) (4-41) และ (4-43) ไปโปรแกรมลงบนตัวประมวลผลสัญญาณ

ดิจิทัล

4.6 ลักษณะโครงสร้างเฟิร์มแวร์ [23]



รูปที่ 4-27 โครงสร้างเฟิร์มแวร์

รูปที่ 4-27 เป็นโครงสร้างของเฟิร์มแวร์ที่ทำงานแบบ วนรอบ (cyclic executive) และ interrupt driven โดย interrupt driven เป็นการร้องขอจากมอดูล ADC (ADC ISR) ที่ซึ่กตัวอย่างสัญญาณแรงดันด้านออก กระแสด้านเข้าและสัญญาณบัสแบ่งโหนด

เมนลูปจะทำงานวนลูปอยู่ตลอดเวลา จนเมื่อใดที่มอดูล ADC ร้องขออินเตอร์รัพท์ cpu จะมาทำงานโปรแกรมบริการอินเตอร์รัพท์ของมอดูล ADC ทันที

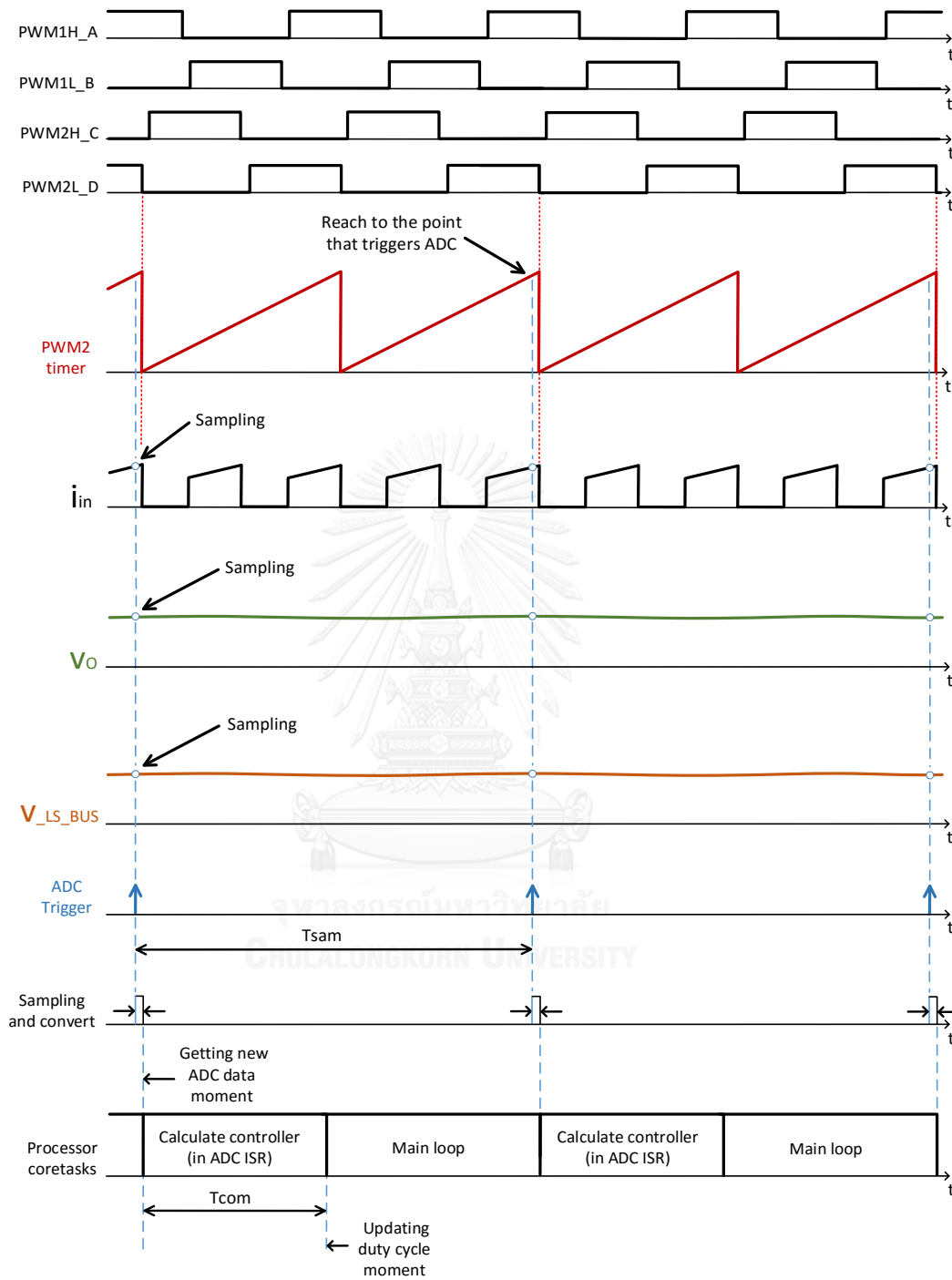
งานภายในโปรแกรมบริการอินเตอร์รัพท์ของมอดูล ADC คือการเรียกใช้ฟังก์ชันตัวควบคุม ตัวควบคุมจะถูกประมวลผลในเวลาสั้น พร้อมกับรับค่าดิจิตอลแรงดันด้านออก กระแสด้านเข้าและสัญญาณบัสแบ่งโหนดที่เป็นค่าใหม่ สำหรับเอาต์พุตของตัวควบคุมเป็นค่าวัฏจักรงานของสัญญาณขับเคลื่อนอุปกรณ์สวิตซ์กำลัง เมื่อตัวควบคุมเสร็จสิ้นการคำนวณ ค่าวัฏจักรงานของสัญญาณขับเคลื่อนอุปกรณ์สวิตซ์กำลังค่าใหม่ก็จะถูกปรับปรุงให้กับมอดูล pwm จากนั้น cpu จะกลับไปทำงานโปรแกรมของเมนลูป

ส่วนงานในโปรแกรมเมนลูปจะมีการตรวจสอบความผิดพลาดของวงจรรากกำลัง ซึ่งได้แก่ การที่ระดับแรงดันด้านออกและกระแสด้านเข้ามีค่ามากกว่าค่าจำกัด (limitation) โดยใน

โปรแกรมบริการอินเทอร์รัพท์ของมอดูล ADC จะตรวจสอบค่าแรงดันด้านออกและกระแสด้านเข้าที่เพิ่งรับเข้ามาใหม่ว่ามีระดับมากกว่าค่าจำกัดหรือไม่ ก่อนการเรียกใช้ฟังก์ชันตัวควบคุม, ถ้าระดับแรงดันด้านออกและกระแสด้านเข้ามีค่าไม่มากกว่าค่าจำกัด โปรแกรมก็จะเรียกใช้ฟังก์ชันตัวควบคุมตามปกติ

ส่วนในกรณีที่ระดับแรงดันด้านออกหรือกระแสด้านเข้ามีค่ามากกว่าค่าจำกัด โปรแกรมจะบังคับขาสัญญาณขั้วเกตอุปกรณ์สวิตช์กำลังให้มีสถานะเป็นศูนย์โวลต์โดยตรงซึ่งไม่ผ่านการควบคุมของมอดูล pwm จากนั้นก็จะส่งตัวแปร (fault flag) ที่สร้างขึ้นสำหรับการแจ้งเตือนสถานะความผิดปกติของวงจรรภาคกำลังให้มีสถานะเป็นหนึ่ง เมื่อถึงเมนลูปก็จะตรวจสอบเจอว่าตัวแปรแจ้งเตือนสถานะความผิดปกติของวงจรรภาคกำลังมีการแจ้งเตือนว่ามีความผิดปกติจากวงจรรภาคกำลังเกิดขึ้น จากนั้นจึงจะส่งปิดการใช้งานมอดูล pwm

เมื่อปิดการใช้งานมอดูล pwm จะทำให้ไทเมอร์ภายในมอดูล pwm หยุดการทำงานไปด้วย เป็นผลให้มอดูล ADC ไม่มีการซักรหัสอย่างสัญญาณแอนะล็อกและไม่มีการร้องขออินเทอร์รัพท์จากมอดูล ADC เนื่องจากมอดูล ADC อาศัยการกระตุ้นจากไทเมอร์ภายในมอดูล pwm, ซึ่งเป็นการระงับการทำงานของทั้งระบบอย่างสิ้นเชิง



รูปที่ 4-28 แผนภาพการทำงานทางเวลาของเฟิร์มแวร์

รูปที่ 4-28 เป็นแผนภาพการทำงานทางเวลาของเฟิร์มแวร์ สามารถอธิบายได้
 ดังนี้ สัญญาณขั้วเกิด PWM2H_C และ PWM2L_D ถูกสร้างจากค่าฐานเวลาของ timer ในตัว

สร้างสัญญาณ pwm ที่ 2 (PWM2 timer) การกระตุ้นมอดูล ADC ให้เริ่มการชั่งตัวอย่างสัญญาณแอนะล็อก จะใช้ค่าฐานเวลาของ timer ในตัวสร้างสัญญาณ pwm ที่ 2

เมื่อค่าฐานเวลาเพิ่มขึ้นถึงค่าที่ตั้งไว้สำหรับการกระตุ้นมอดูล ADC จะเกิดสัญญาณ trigger (ADC trigger) ส่งไปกระตุ้นมอดูล ADC, ค่าแรงดันด้านออก ค่ากระแสด้านเข้า และค่าแรงดันบัสแบ่งโหลดในขณะนั้น ก็จะถูกชั่งตัวอย่างสัญญาณเข้ามาในตัวประมวลผลสัญญาณดิจิทัล

เมื่อมอดูล ADC แปลงสัญญาณเป็นค่าดิจิทัลเสร็จเรียบร้อยแล้ว โปรแกรมก็จะเข้าสู่โปรแกรมบริการอินเตอร์รัพท์ของมอดูล ADC เพื่อคำนวณตัวควบคุมจนได้ค่าวัฏจักรงานของสัญญาณขับเคลื่อนอุปกรณ์สวิตช์ที่เป็นค่าใหม่ พร้อมกับอัปเดตค่าวัฏจักรงานใหม่นี้ให้แก่มอดูล pwm จากนั้น cpu จะออกจาก ADC ISR กลับเข้าสู่ main loop

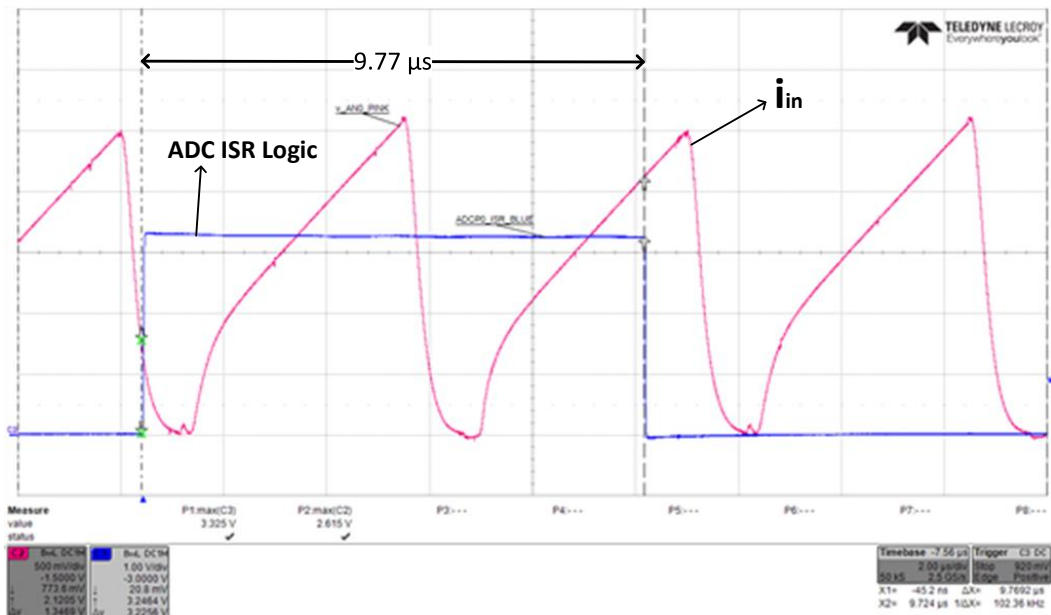
จนกระทั่งเวลาเดินมาถึงค่าฐานเวลาที่ตั้งไว้สำหรับการกระตุ้นมอดูล ADC มอดูล ADC จะชั่งตัวอย่างสัญญาณแอนะล็อกอีกครั้งและร้องขอการบริการอินเตอร์รัพท์

การทำงานจะวนรอบเช่นนี้เรื่อยไป

ฉะนั้นเราจึงสามารถตั้งค่าคาบเวลาการชั่งตัวอย่าง (Tsam) จาก ค่าฐานเวลาของ timer ในตัวสร้างสัญญาณ pwm ที่ 2 ที่ตั้งไว้สำหรับการกระตุ้นมอดูล ADC

4.7 ตรวจสอบค่าเฟือจากเวลาหน่วงการคำนวณจริง

การวัดเวลาหน่วงการคำนวณ ใช้วิธีการเขียนโปรแกรมสั่งขาอินพุต-เอาต์พุตทั่วไปให้เปลี่ยนลอจิกขณะเข้า-ออกฟังก์ชัน ADC ISR โดยขณะเข้าให้เปลี่ยนเป็นลอจิกหนึ่งและขณะออกให้เปลี่ยนเป็นลอจิกศูนย์ ในที่นี้ตั้งชื่อสัญญาณดังกล่าวว่า ADC ISR logic ดังแสดงในรูปที่ 4-29 วัดเวลาการคำนวณได้เท่ากับ 9.77 μ s



รูปที่ 4-29 การวัดเวลาหน่วงการคำนวณจริง

การตรวจสอบค่าเผื่อมีวิธีคำนวณแบบเดียวกันกับการออกแบบตัวควบคุม เพียงแต่ใช้ค่าเวลาการคำนวณจริงที่ได้จากการวัด สรุปผลค่าเผื่อเป็นตารางได้ ดังนี้

ตัวควบคุม	วงกระแส		วงแรงดัน		วงคุณภาพโหลด	
	GM.	PM.	GM.	PM.	GM.	PM.
G_{cc}	+7.16 dB	+51.3°	-	-	-	-
G_{vc}	-	-	+39.5 dB	+47.3°	-	-
G_{lbc}	-	-	-	-	+54.9 dB	+90.1°

ตารางที่ 4-1 ผลการตรวจสอบค่าเผื่อด้วยเวลาหน่วงการคำนวณจริง ในสภาวะโหลดน้อยสุด

ตัวควบคุม	วงกระแส		วงแรงดัน		วงคุณภาพโหลด	
	GM.	PM.	GM.	PM.	GM.	PM.
G_{cc}	+7.16 dB	+51.3°	-	-	-	-
G_{vc}	-	-	+39.6 dB	+73.1°	-	-
G_{lbc}	-	-	-	-	+36.7 dB	+91.4°

ตารางที่ 4-2 ผลการตรวจสอบค่าเฟื้อด้วยเวลาหน่วงการคำนวณจริง
ในสภาวะครึ่งโหลด ($i_o = 25 A$)

ตัวควบคุม	วงกระแส		วงแรงดัน		วงคุณภาพโหลด	
	GM.	PM.	GM.	PM.	GM.	PM.
G_{cc}	+7.16 dB	+51.4°	-	-	-	-
G_{vc}	-	-	+39.6 dB	+91.8°	-	-
G_{lbc}	-	-	-	-	+33.4 dB	+92.3°

ตารางที่ 4-3 ผลการตรวจสอบค่าเฟื้อด้วยเวลาหน่วงการคำนวณจริง ในสภาวะเต็มโหลด

พบว่าค่าเฟื้ออัตราขยายและค่าเฟื้อมุมลดลงเพียงเล็กน้อยและยังคงอยู่ในขอบเขตของข้อกำหนด

4.8 บทสรุป

การออกแบบตัวควบคุมใช้วิธีผลตอบสนองเชิงความถี่ด้วยแผนภาพโบเด มีข้อกำหนดในการออกแบบที่ค่าเฟื้ออัตราขยายไม่น้อยกว่า 6 dB และค่าเฟื้อมุมไม่น้อยกว่า 45° โดยออกแบบให้ความเร็วผลตอบสนองของวงควบคุมในมีความเร็วสูงที่สุด ตามด้วยวงควบคุมรอบนอก มีความเร็วผลตอบสนองลดหลั่นกันลงมา

การออกแบบตัวควบคุมยังกระทำโดยคำนึงถึงเวลาหน่วงที่มีในระบบควบคุมแบบดิจิทัล โดยคำนึงถึงการมีอยู่ของฟังก์ชันถ่ายโอน ZOH และฟังก์ชันถ่ายโอนเวลาหน่วงการในฟังก์ชันถ่ายโอนวงเปิด

ค่าเฟื้ออัตราขยายและค่าเฟื้อมุมในสภาวะโหลดน้อยสุด สภาวะโหลดครึ่งโหลด และสภาวะโหลดเต็มโหลด มีค่าไม่เกินข้อกำหนดในการออกแบบ

การแปลงตัวควบคุมให้เป็นตัวควบคุมดิจิทัลได้ใช้วิธี backward rectangular ส่วนโครงสร้างเฟิร์มแวร์ใช้วิธีการทำงานแบบวนรอบร่วมกับ interrupt driven การประมวลผลตัวควบคุมกระทำใน ฟังก์ชัน ADC ISR

ผลการตรวจสอบค่าเพื่อด้วยเวลาหน่วงการคำนวณจริงพบว่าค่าเพื่ออัตราขยาย และค่าเพื่อมุลดลงเพียงเล็กน้อยและยังคงอยู่ในขอบเขตของข้อกำหนด



บทที่ 5

ผลการทดสอบระบบควบคุม

บทนี้จะทดสอบผลการควบคุมคุณภาพโหลด แต่จะเริ่มด้วยการทดสอบผลตอบสนองแรงดันด้านออกสำหรับมอดูลเดียว เพื่อเป็นการยืนยันการออกแบบตัวควบคุมกระแสและแรงดันในแต่ละมอดูล จากนั้นจึงทดสอบผลการควบคุมคุณภาพโหลดโหลด

การทดสอบผลตอบสนองแรงดันด้านออกมอดูลเดียวจะแบ่งออกเป็นการทดสอบในสภาวะอยู่ตัวและชั่วขณะ

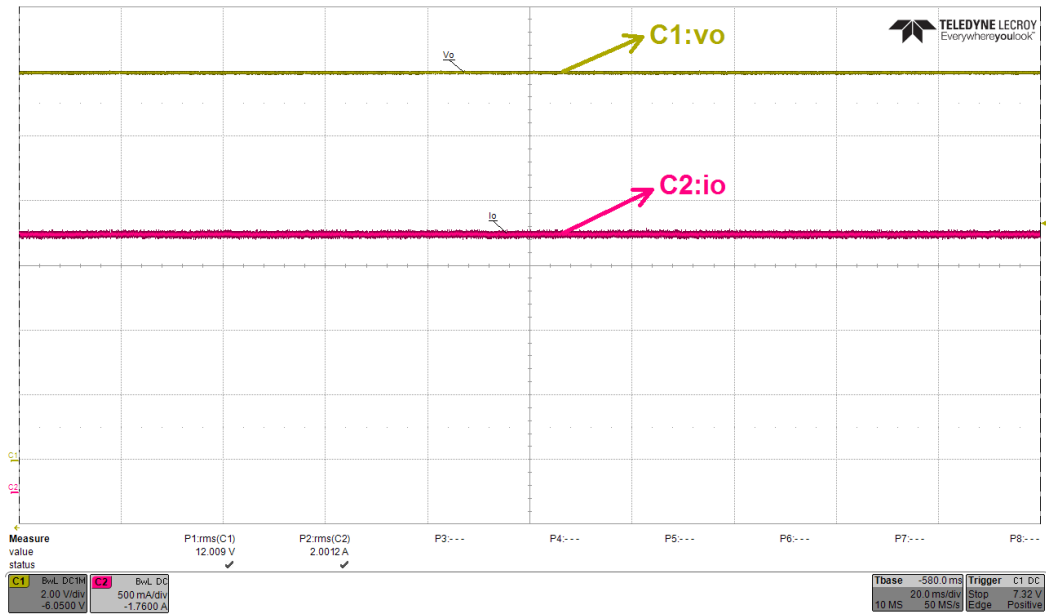
ส่วนการทดสอบการควบคุมคุณภาพโหลด จะเริ่มด้วยการทดสอบการตอบสนองของแรงดันด้านออกต่อสัญญาณบัสแบ่งโหลด ตามด้วยการทดสอบความเท่ากันของระดับสัญญาณบัสแบ่งโหลดของแต่ละมอดูล เป็นการตรวจสอบเบื้องต้นก่อนที่จะให้มอดูลทั้งสองทำงานขนานร่วมกัน

จากนั้นจึงทดสอบการควบคุมคุณภาพโหลด โดยทดสอบในสองสภาพ ได้แก่ ขณะต่อสัญญาณบัสแบ่งโหลดและขณะไม่ต่อสัญญาณบัสแบ่งโหลด

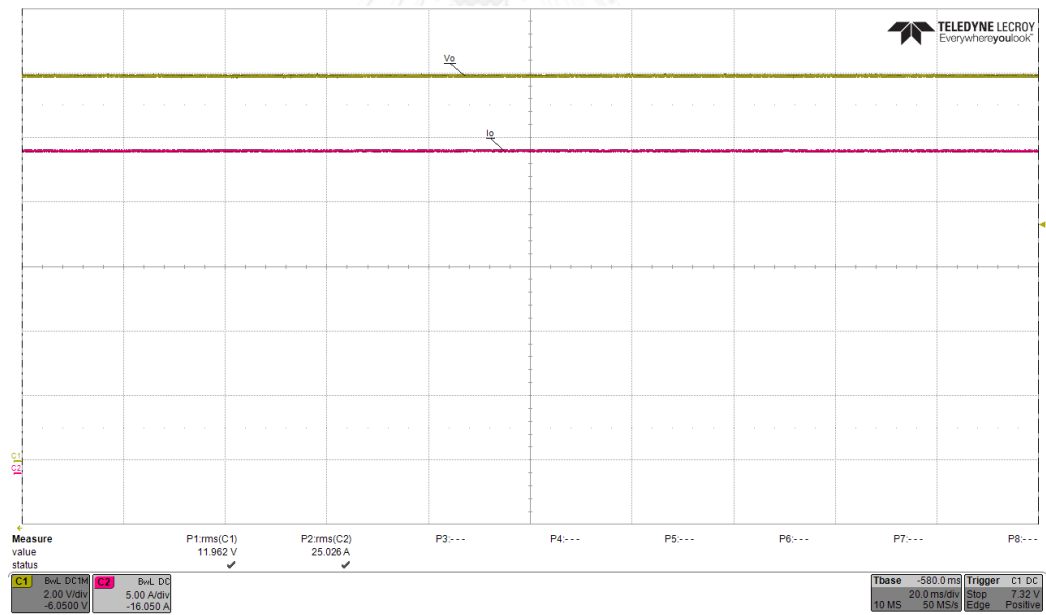
5.1 การทดสอบผลตอบสนองแรงดันด้านออกในสภาวะอยู่ตัว

การทดสอบผลตอบสนองแรงดันด้านออกในสภาวะอยู่ตัว (steady-state response) จะเริ่มทำการวัดแรงดันด้านออกเมื่อแรงดันด้านออกเริ่มคงที่ภายหลังจากใส่โหลด โดยทดสอบตลอดย่านโหลดใน 3 จุดการทำงาน ดังนี้ โหลดน้อยสุด ครึ่งโหลด และเต็มโหลด อันมีค่ากระแสโหลดเท่ากับ $i_o=2\text{ A}$, $i_o=25\text{ A}$ และ $i_o=50\text{ A}$ ตามลำดับ

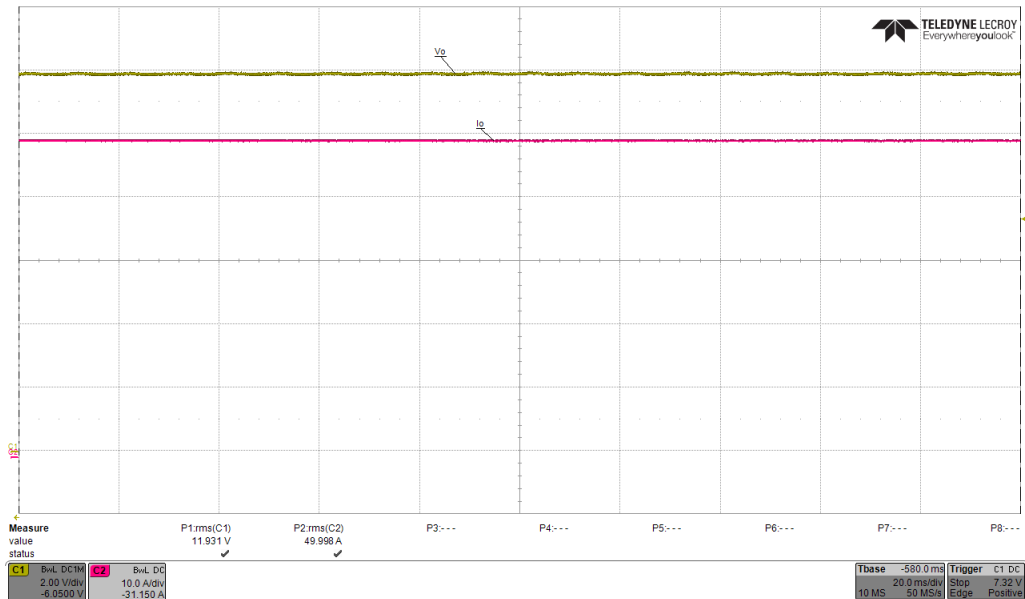
ผลการทดลองได้ดังรูปที่ 5-1 ถึง 5-3 แรงดันด้านออกถูกควบคุมอยู่ในระดับอ้างอิงเป็นอย่างดี ไม่มีอาการแกว่ง จะเห็นว่าระดับแรงดันในสภาวะโหลดมากมีค่าน้อยกว่าในสภาวะโหลดน้อยอยู่เล็กน้อย เป็นผลมาจาก แรงดันตกคร่อมตามเส้นทางเดินกระแสและค่าผิดพลาดสภาวะอยู่ตัว (steady-state error) อันเนื่องมาจากค่าอัตราขยายของเทอมอินทิกรัลของตัวควบคุมแรงดัน แต่ทั้งนี้ระดับแรงดันยังคงอยู่ในระดับที่ต้องการ



รูปที่ 5-1 การคุมระดับแรงดันด้านออก ในสภาวะโหลดน้อยสุด



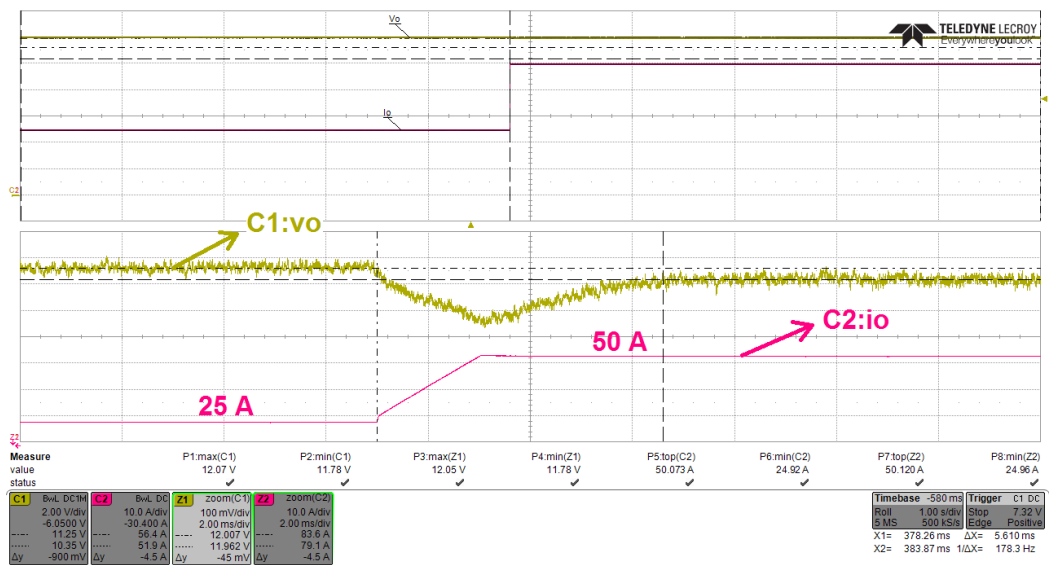
รูปที่ 5-2 การคุมระดับแรงดันด้านออก ในสภาวะครึ่งโหลด



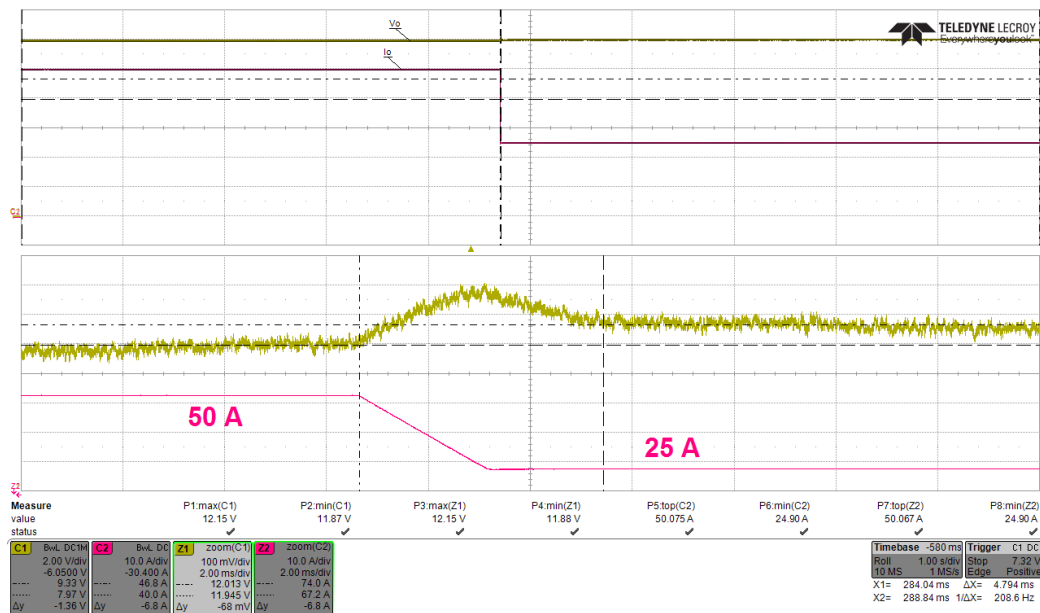
รูปที่ 5-3 การคุมระดับแรงดันด้านออก ในสภาวะเต็มโหลด

5.2 การทดสอบผลตอบสนองแรงดันด้านออกในสภาวะชั่วขณะ

การทดสอบผลตอบสนองแรงดันด้านออกในสภาวะชั่วขณะ (transient response) จะทำการวัดแรงดันด้านออกขณะโหลดเปลี่ยนแปลงอย่างฉับพลัน โดยทดสอบใน 2 ปริมาณโหลด ได้แก่ การเปลี่ยนจากครึ่งโหลดไปสู่เต็มโหลด และการเปลี่ยนจากเต็มโหลดกลับมาสู่ครึ่งโหลด



รูปที่ 5-4 การคุมระดับแรงดันด้านออกขณะเปลี่ยนโหลดจากครึ่งโหลดไปเป็นเต็มโหลด



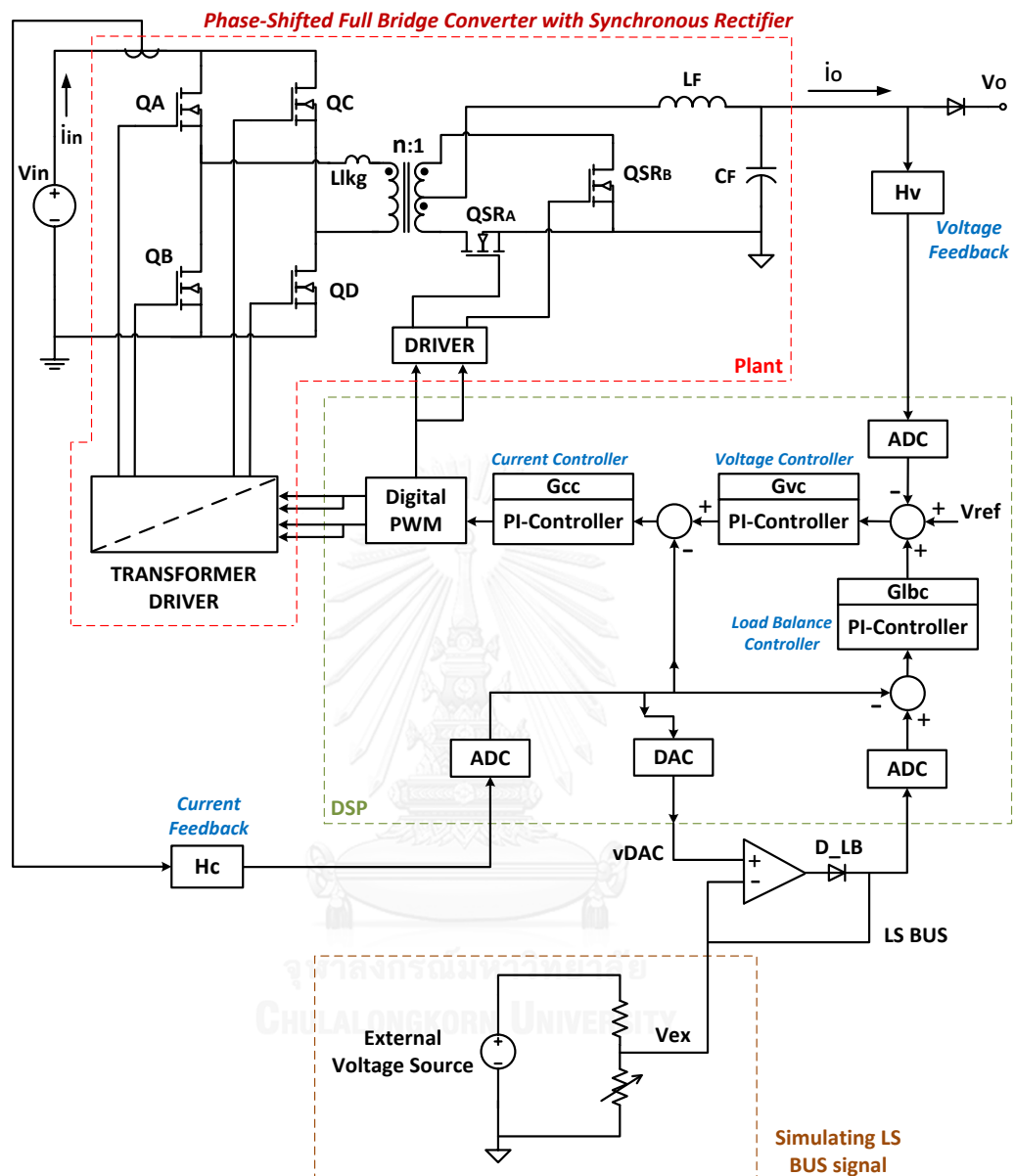
รูปที่ 5-5 การคุมระดับแรงดันด้านออกขณะเปลี่ยนโหลดจากเต็มโหลดไปเป็นครึ่งโหลด

ผลการทดลองได้ดังรูปที่ 5-4 และ 5-5 ระดับแรงดันถูกควบคุมได้อย่างดีและไม่มีอาการแกว่ง

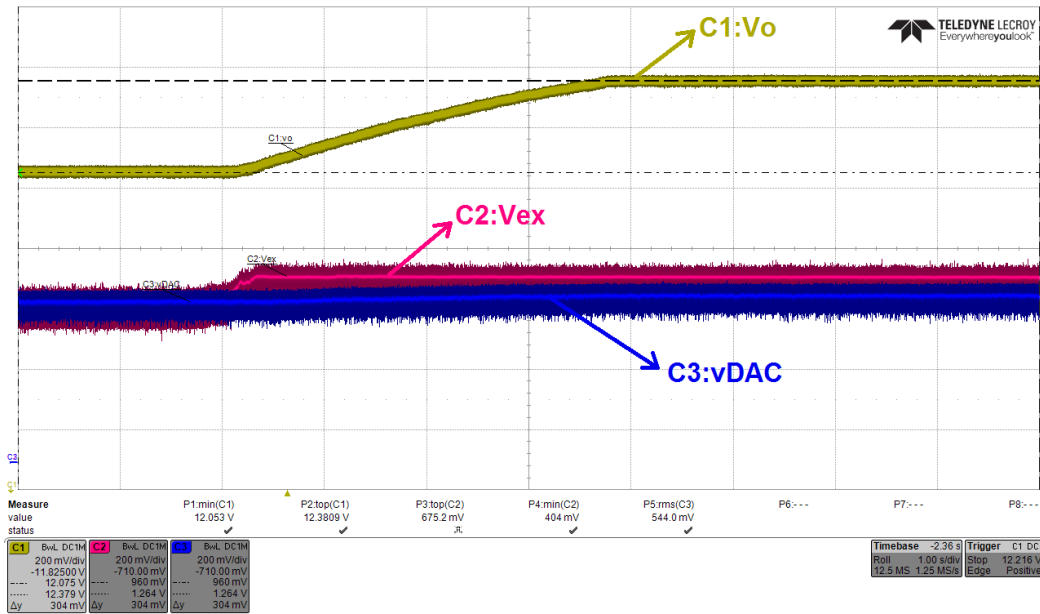
5.3 การทดสอบดูคุณภาพโหลด

5.3.1 การทดสอบการตอบสนองของแรงดันด้านออกต่อสัญญาณบัสแบ่งโหลด (V_{LS_BUS})

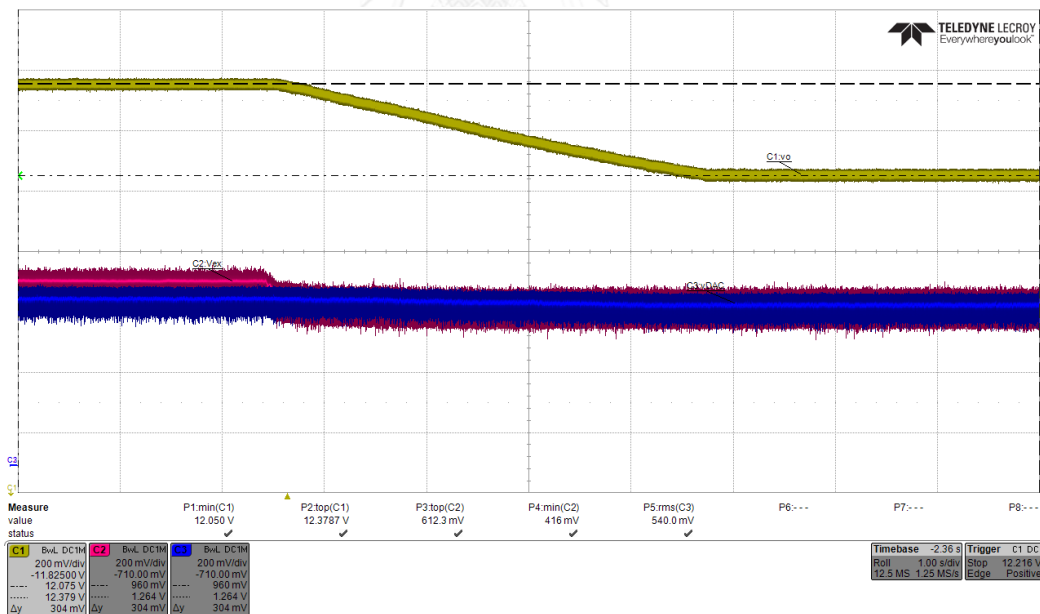
การทดสอบจะกระทำแบบมอดูลเดี่ยว โดยใช้แหล่งจ่ายแรงดันภายนอกจำลองเป็นสัญญาณบัสแบ่งโหลด แรงดันแหล่งจ่ายภายนอก (V_{ex}) จะถูกเปรียบเทียบกับสัญญาณ vDAC ดังในรูปที่ 5-6 โดยจำลองเหตุการณ์ใน 2 สภาวะ ได้แก่ สภาวะสัญญาณบัสแบ่งโหลดมากกว่าและน้อยกว่าสัญญาณจากดีทียูเอ



รูปที่ 5-6 การต่อวงจรสำหรับการทดสอบการตอบสนองของ
แรงดันด้านออกต่อสัญญาณบัสแบ่งโหลด



รูปที่ 5-7 การตอบสนองของแรงดันด้านออกสำหรับการจำลองสถานะ
สัญญาณบัสแบ่งโหลดมากกว่าแรงดันดีทิวเอ



รูปที่ 5-8 การตอบสนองของแรงดันด้านออกสำหรับการจำลองสถานะ
สัญญาณบัสแบ่งโหลดน้อยกว่าแรงดันดีทิวเอ

ผลการทดลองเป็นดังรูปที่ 5-7 และ 5-8 แรงดันด้านออกตอบสนองต่อสัญญาณ
บัสแบ่งโหลด โดยระดับแรงดันด้านออกปรับตัวเพิ่มขึ้นเมื่อแรงดันแหล่งจ่ายภายนอกมากกว่า

แรงดันของสัญญาณ vDAC และระดับแรงดันด้านออกปรับตัวลดลงเมื่อแรงดันแหล่งจ่ายภายนอกเริ่มลดระดับลงน้อยกว่าสัญญาณ vDAC ซึ่งเป็นผลการทำงานของตัวควบคุมคุณภาพโหลดและเป็นผลที่ถูกต้องตามหลักการทำงานของตัวควบคุมพีไอ ทำให้ทราบว่าตัวควบคุมคุณภาพโหลดที่ได้ออกแบบและสร้างขึ้นมีการทำงานที่ถูกต้อง

5.3.2 การทดสอบความเท่ากันของระดับสัญญาณบัสแบ่งโหลด

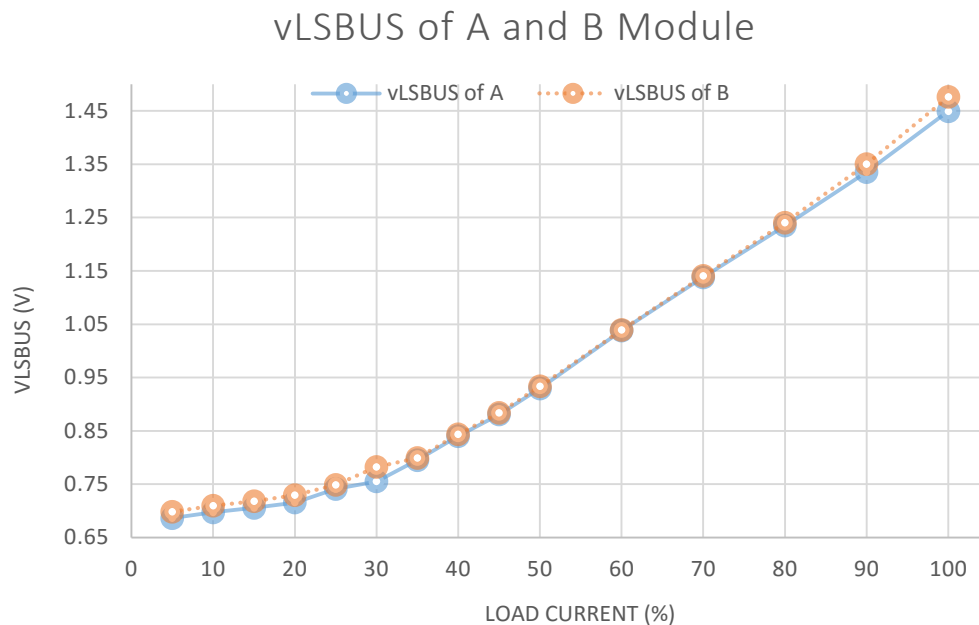
สัญญาณแบ่งโหลดเป็นช่องทางติดต่อเดี่ยวที่ส่งมอดูลติดต่อกัน ทั้งนี้เพื่อให้การติดต่อเป็นไปอย่างถูกต้องสมบูรณ์ และยังประโยชน์ให้การควบคุมสมดุลโหลดเป็นไปอย่างมีประสิทธิภาพ ระดับสัญญาณบัสแบ่งโหลดของสองมอดูลควรมีระดับเท่ากันตลอดย่านการทำงาน

การทดสอบจะวัดระดับสัญญาณบัสแบ่งโหลดภายใต้โหลดค่าต่าง ๆ ตลอดย่านการทำงาน ในการทำงานมอดูลเดี่ยว

กระแส โหลด (%)	ระดับแรงดันบัสแบ่งโหลด (V)	
	มอดูล เอ	มอดูล บี
5	0.6866	0.6981
10	0.6972	0.7095
15	0.7056	0.718
20	0.7156	0.7295
25	0.741	0.7488
30	0.7553	0.7826
35	0.7951	0.7993
40	0.8401	0.8436
45	0.8808	0.8839
50	0.9296	0.9334
60	1.038	1.0394
70	1.1378	1.1407
80	1.2349	1.2405
90	1.3353	1.3504
100	1.4493	1.4763

ตารางที่ 5-1 การทดสอบระดับของแรงดันสัญญาณบัสแบ่งโหลด

ผลการทดลองแสดงในตารางที่ 5-1 เพื่อการเห็นระดับความเท่ากันได้ชัดเจนมากขึ้น จึงนำค่าระดับแรงดันของทั้งสองมอดูลในตาราง มาพล็อตกราฟบนกราฟเดียวกัน ดังรูปที่ 5-9



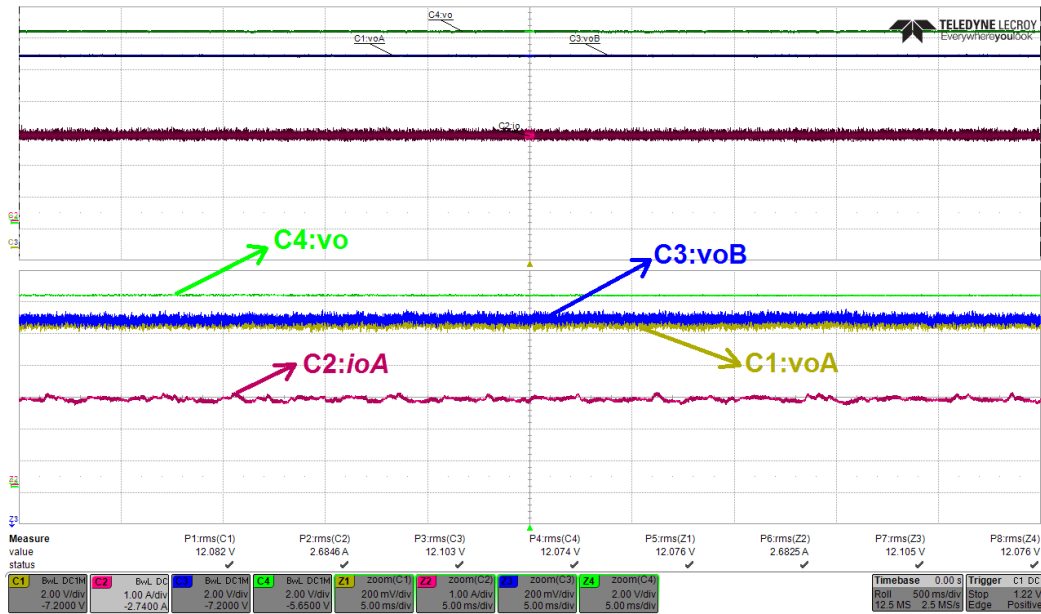
รูปที่ 5-9 กราฟเปรียบเทียบระดับแรงดันบัสแบ่งโหลดสองมอดูล

เส้นทึบเป็นแรงดันของมอดูลเอ เส้นประเป็นแรงดันของมอดูลบี จะเห็นว่าระดับแรงดันบัสแบ่งโหลดมีความเท่ากันค่อนข้างดีเกือบจะเป็นเส้นเดียวกัน ยกเว้นช่วงโหลดน้อย ระดับแรงดันจะมีความไม่เท่ากัน ความไม่เท่ากันนี้เกิดจากค่าคลาดเคลื่อนอุปกรณ์และจะส่งผลถึงคุณภาพการควบคุมคุณภาพโหลด

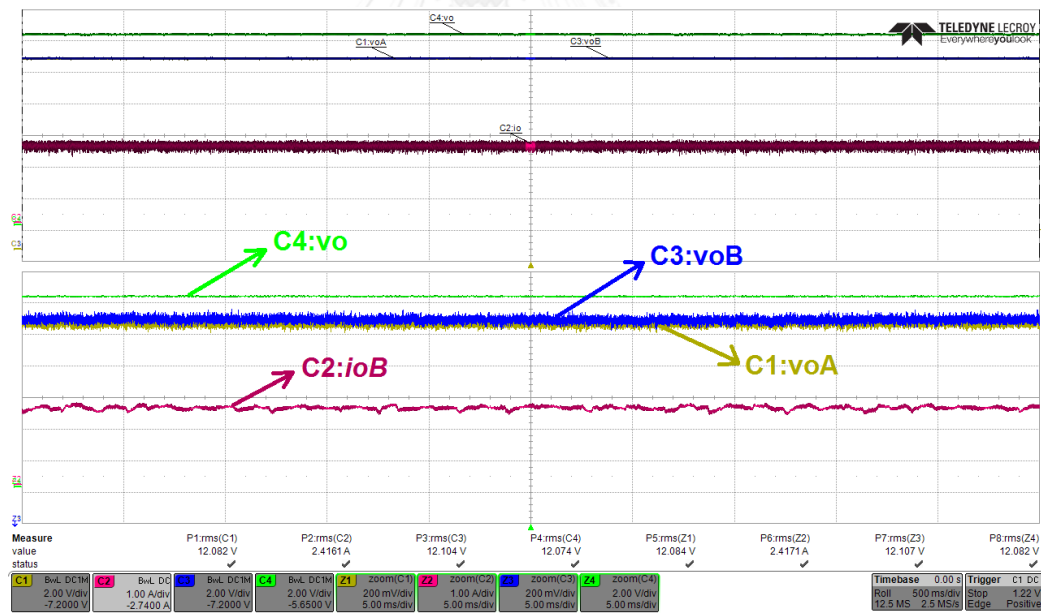
5.3.3 การทดสอบการควบคุมคุณภาพโหลด

การทดสอบจะวัดปริมาณกระแสด้านออกของแต่ละมอดูล การต่อวงจรเป็นดังรูป

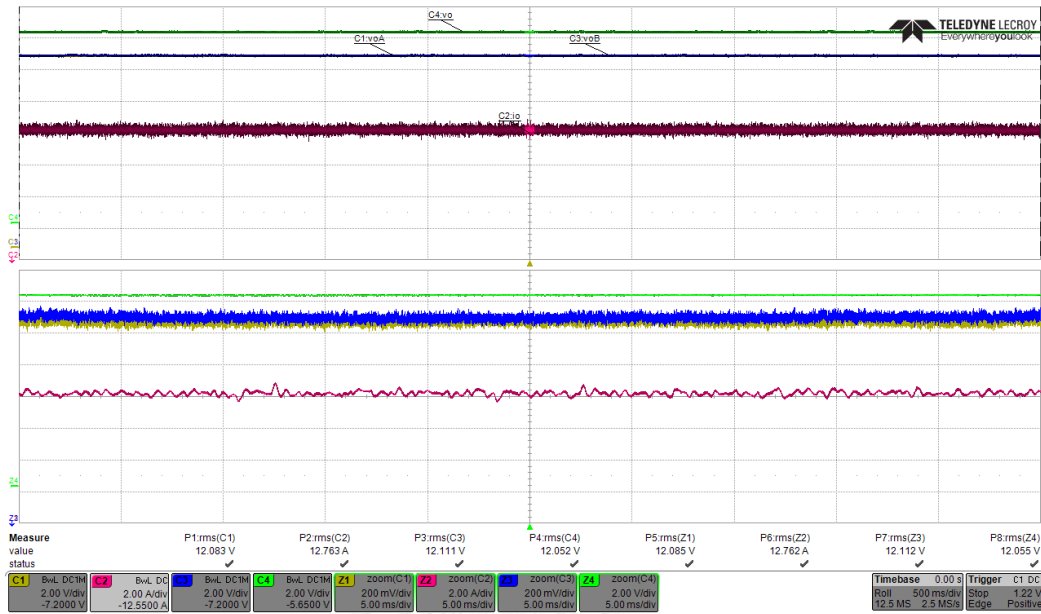
ที่ ค-1



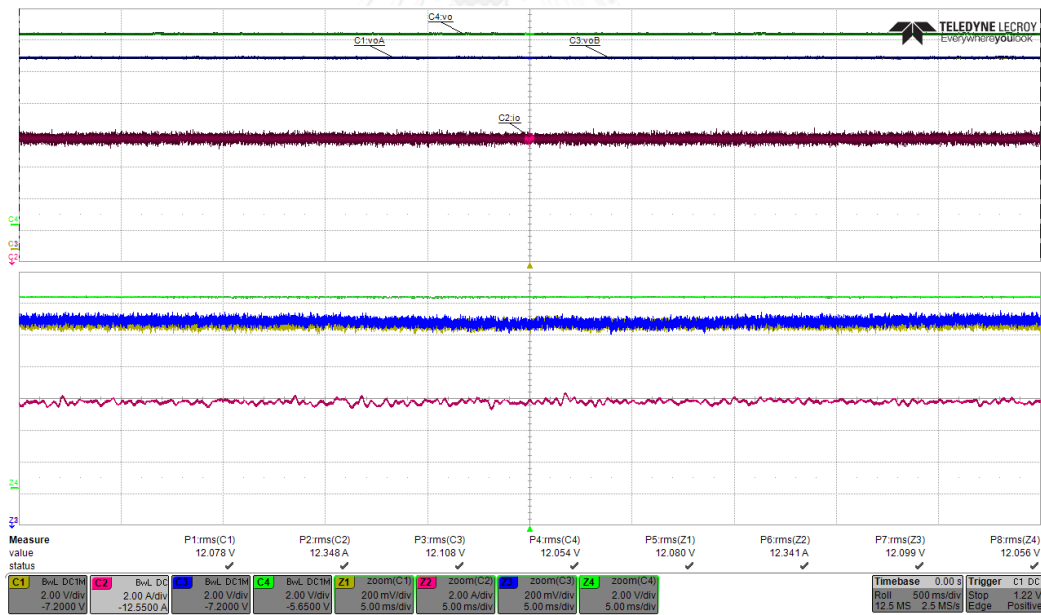
รูปที่ 5-10 กระแสต้านออกของมอดูลเอ (C2:ioA) ในสภาวะโหลด 10%



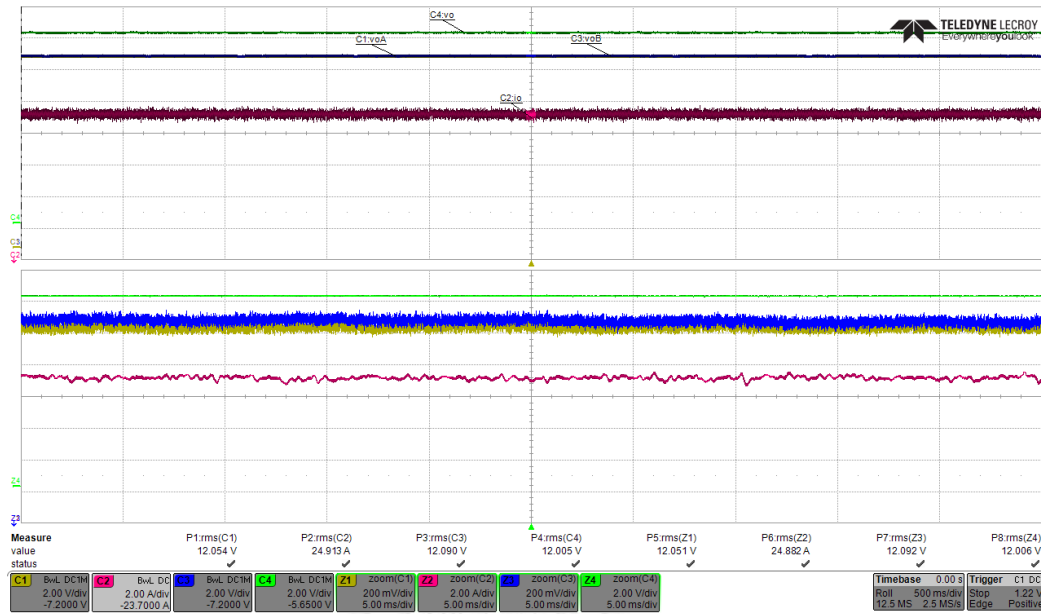
รูปที่ 5-11 กระแสต้านออกของมอดูลบี (C2:ioB) ในสภาวะโหลด 10%



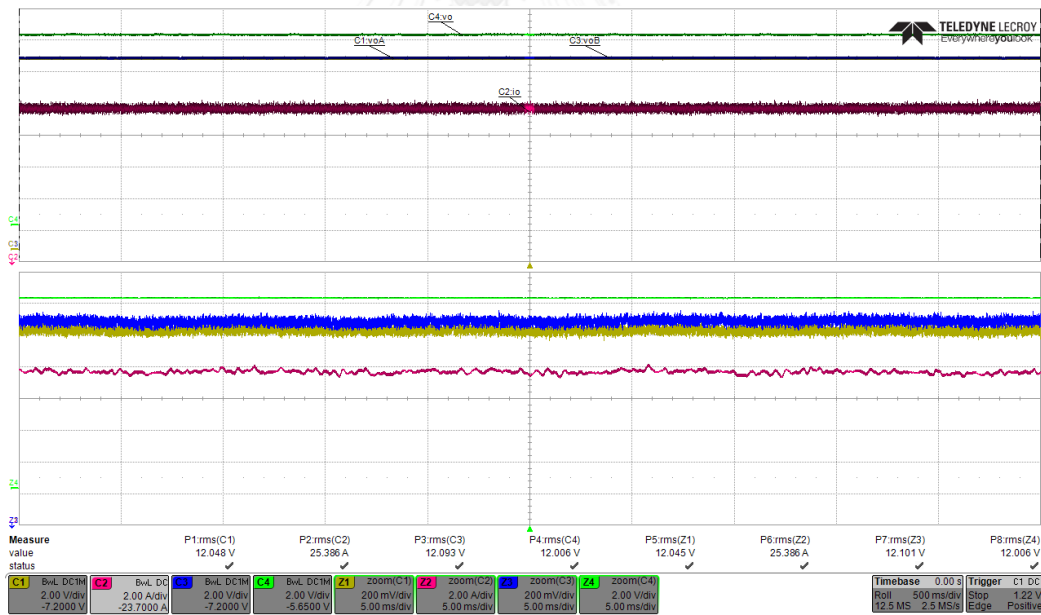
รูปที่ 5-12 กระแสด้านนอกของมอเตอร์เอ ในสภาวะครึ่งโหลด



รูปที่ 5-13 กระแสด้านนอกของมอเตอร์บี ในสภาวะครึ่งโหลด



รูปที่ 5-14 กระแสต้านออกของมอดูลเอ ในสภาวะเต็มโหลด



รูปที่ 5-15 กระแสต้านออกของมอดูลบี ในสภาวะเต็มโหลด

กระแสไหล		กระแสด้านนอกของมอดูล (A)		ผลลัพธ์การควบคุมสมดุไหล (A,%)	
(%)	(A)	มอดูล เอ, ioA	มอดูล บี, ioB	$ ioA - ioB $	$\Delta io = \frac{ ioA - ioB }{ioA + ioB} \cdot 100\%$
10	5	2.6846	2.4161	0.2685 A	5.26 %
20	10	5.4148	4.8048	0.61 A	5.97 %
30	15	7.4778	7.5043	0.0265 A	0.18 %
40	20	10.072	10.115	0.043 A	0.21 %
50	25	12.763	12.348	0.415 A	1.65 %
60	30	15.463	14.878	0.585 A	1.93 %
70	35	17.814	17.346	0.468 A	1.33 %
80	40	20.509	19.707	0.802 A	1.99 %
90	45	22.94	22.436	0.504 A	1.11 %
100	50	24.913	25.386	0.473 A	0.94 %

ตารางที่ 5-2 ผลการทดลองการควบคุมสมดุไหล

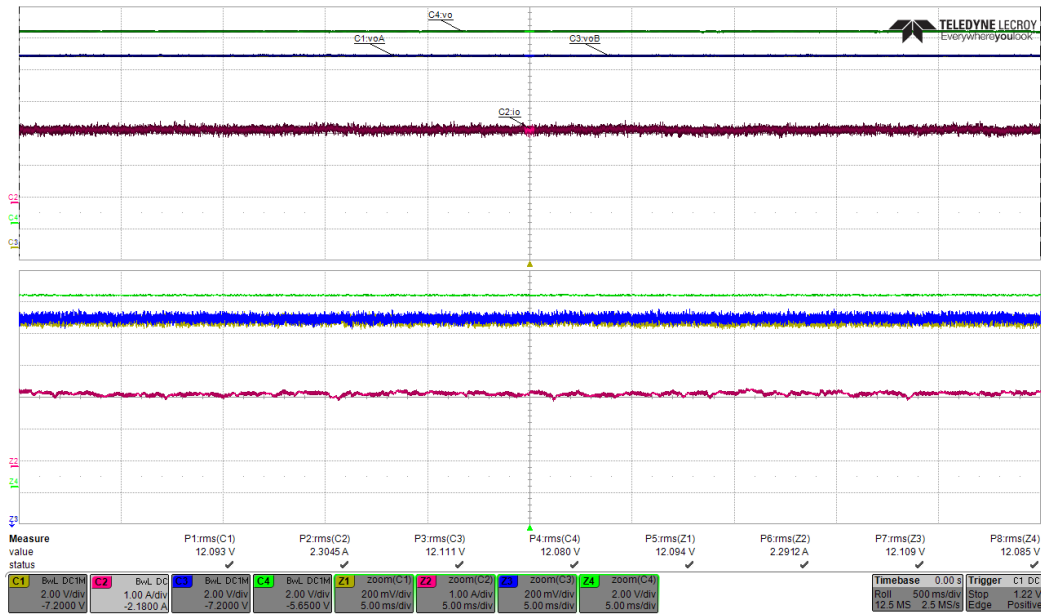
ผลการทดลองได้ดังรูปที่ 5-10 ถึง 5-15 และตารางที่ 5-2 ในส่วนรูปเป็นผลการทดลองในสภาวะไหล 10%, ครึ่งไหลและเต็มไหล ส่วนตารางเป็นผลการทดลองตลอดทั้งย่านไหล ผลการทดลองให้ผลการควบคุมสมดุไหลที่มีคุณภาพ มีความเที่ยงตรงในการแบ่งกระแสด้านนอกไม่เกิน 6% ของกระแสไหล

แรงดันด้านนอกของทั้งสองมอดูลมีความเสถียร ไม่เกิดการแกว่ง

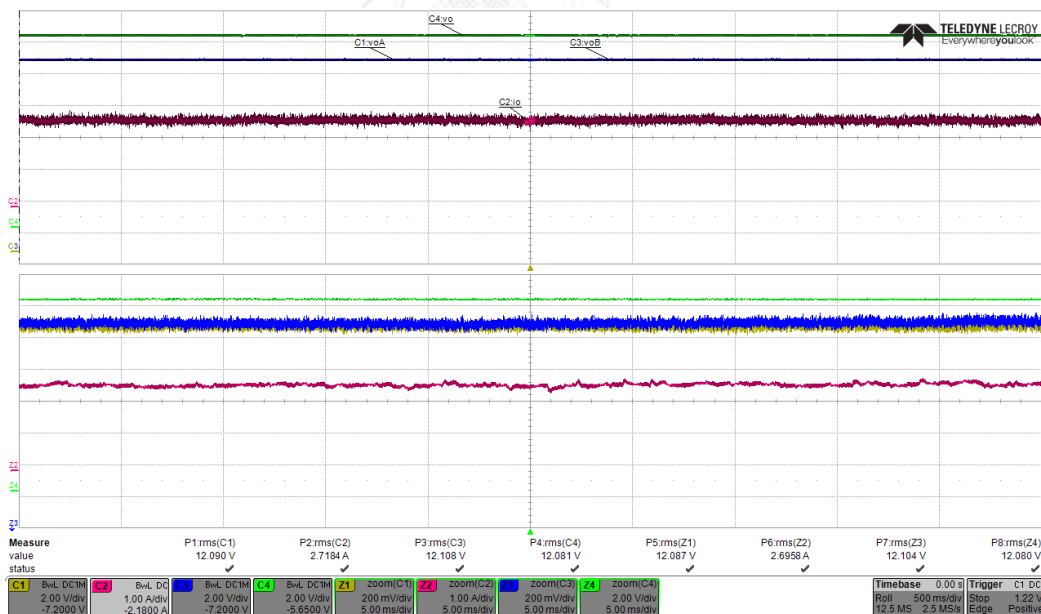
ทั้งนี้เพื่อพิสูจน์ว่าผลการทดลองที่เกิดขึ้นมีนัยสำคัญของตัวควบคุมคุณภาพไหล ต่อไปจึงเป็นการทดสอบโดยไม่นำเส้นสัญญาณบัสแบ่งไหลของแต่ละมอดูลมาเชื่อมต่อกัน

5.3.4 การทดสอบการควบคุมคุณภาพไหลขณะไม่มีการต่อสัญญาณบัสแบ่งไหล

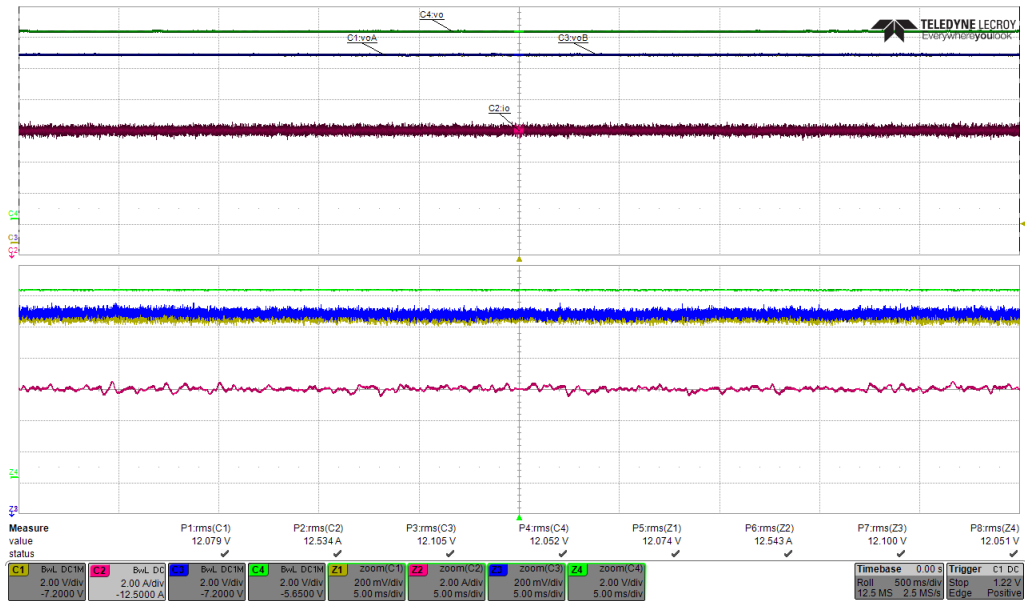
การทดสอบจะต่อวงจร ดังรูปที่ 5-1 แต่เส้นสัญญาณบัสของแต่ละมอดูลจะไม่ได้ถูกต่อเชื่อมกัน ทั้งสองมอดูลจะไม่มี การติดต่อในค่ายอดของกระแสด้านเข้า



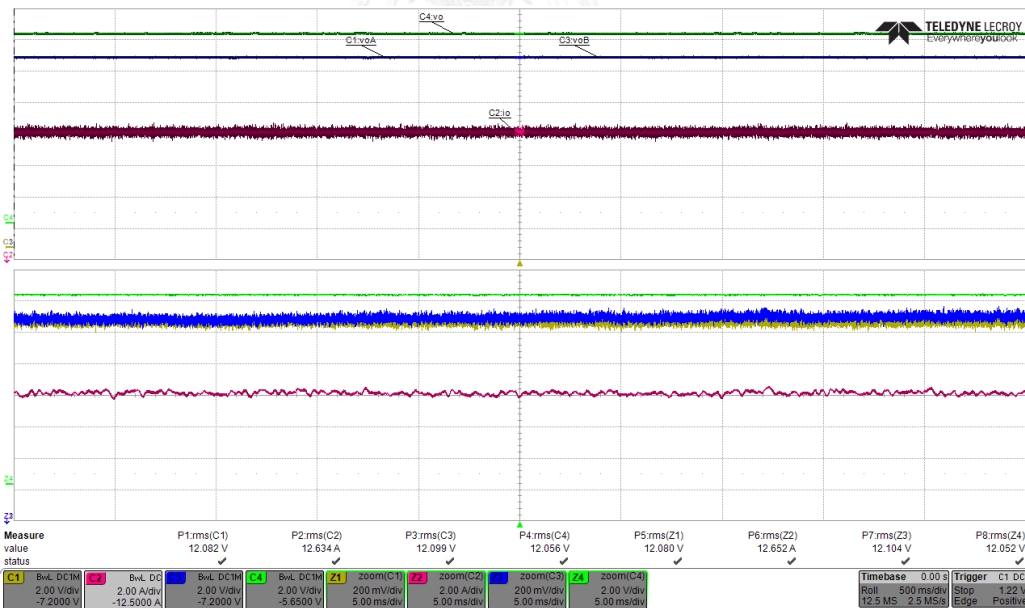
รูปที่ 5-16 กระแสด้านออกของมอดูลเอ ในสภาวะโหลด 10%
ที่ไม่เชื่อมต่อสัญญาณบัสแบ่งโหลด



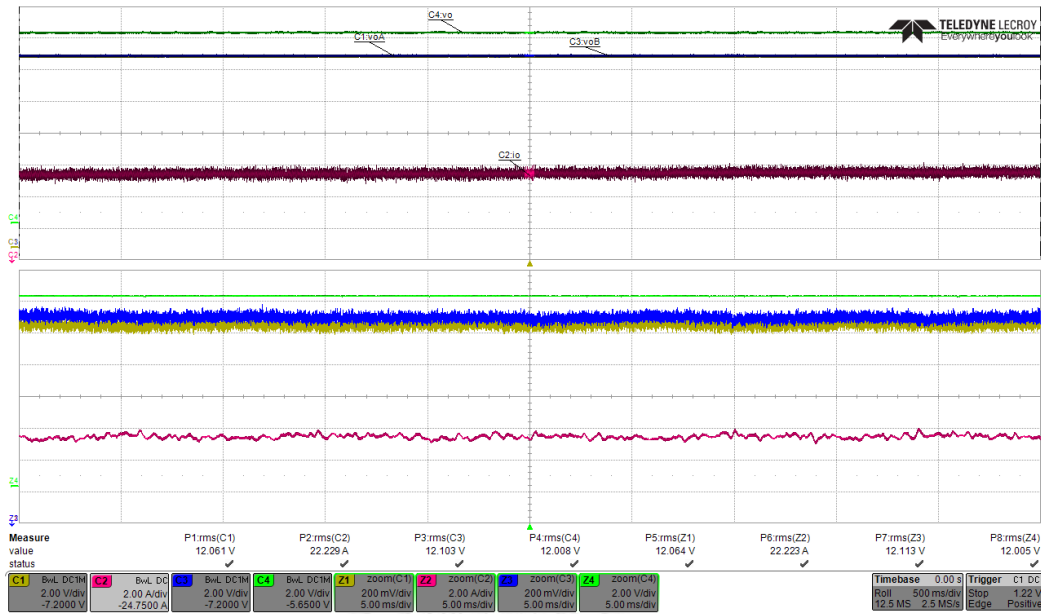
รูปที่ 5-17 กระแสด้านออกของมอดูลบี ในสภาวะโหลด 10%
ที่ไม่เชื่อมต่อสัญญาณบัสแบ่งโหลด



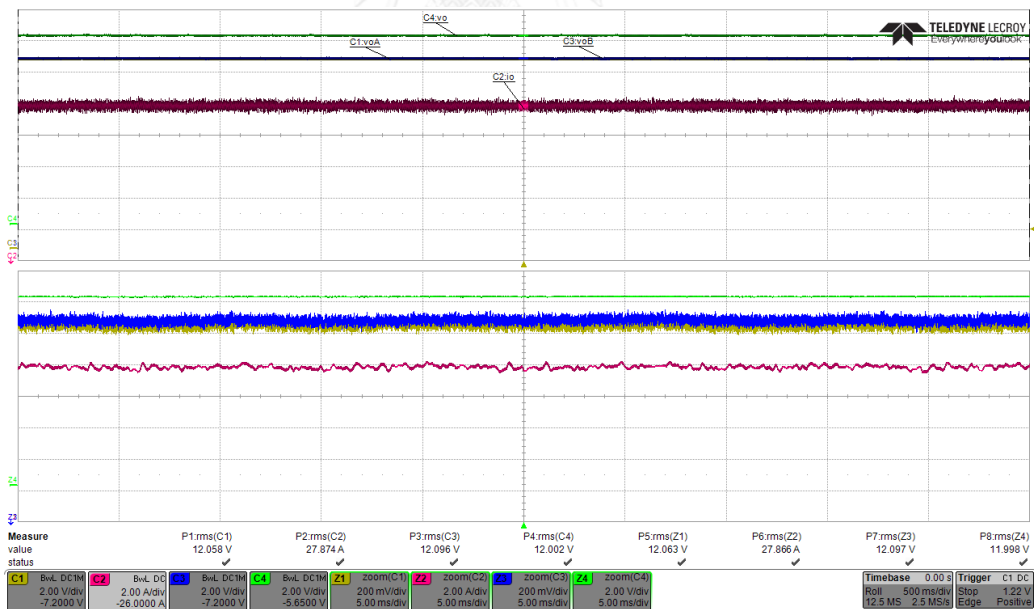
รูปที่ 5-18 กระแสด้านออกของมอเตอร์เอ ในสภาวะครึ่งโหลด
ที่ไม่เชื่อมต่อสัญญาณบัสแบ่งโหลด



รูปที่ 5-19 กระแสด้านออกของมอเตอร์บี ในสภาวะครึ่งโหลด
ที่ไม่เชื่อมต่อสัญญาณบัสแบ่งโหลด



รูปที่ 5-20 กระแสด้านออกของมอดูลเอ ในสภาวะเต็มโหลด
ที่ไม่เชื่อมต่อสัญญาณบัสแบ่งโหลด



รูปที่ 5-21 กระแสด้านออกของมอดูลบี ในสภาวะเต็มโหลด
ที่ไม่เชื่อมต่อสัญญาณบัสแบ่งโหลด

กระแสไหล		กระแสด้านออกของมอดูล (A)		ผลลัพธ์การควบคุมสมดุไหล (A,%)	
(%)	(A)	มอดูล เอ, ioA	มอดูล บี, ioB	$ ioA - ioB $	$\Delta io = \frac{ ioA - ioB }{ioA + ioB} \cdot 100\%$
10	5	2.3045	2.7184	0.4139 A	8.24 %
20	10	5.906	4.3162	1.5898 A	15.55 %
30	15	7.451	7.731	0.28 A	1.84 %
40	20	10.263	10.09	0.173 A	0.85 %
50	25	12.534	12.634	0.1 A	0.40 %
60	30	14.623	15.702	1.079 A	3.56 %
70	35	16.1	19.199	3.099 A	8.78 %
80	40	17.347	22.931	5.584 A	13.86 %
90	45	21.376	23.951	2.575 A	5.68 %
100	50	22.229	27.874	5.645 A	11.27 %

ตารางที่ 5-3 ผลการทดลองการควบคุมสมดุไหลที่ไม่เชื่อมต่อกับสัญญาณบัสแบ่งไหล

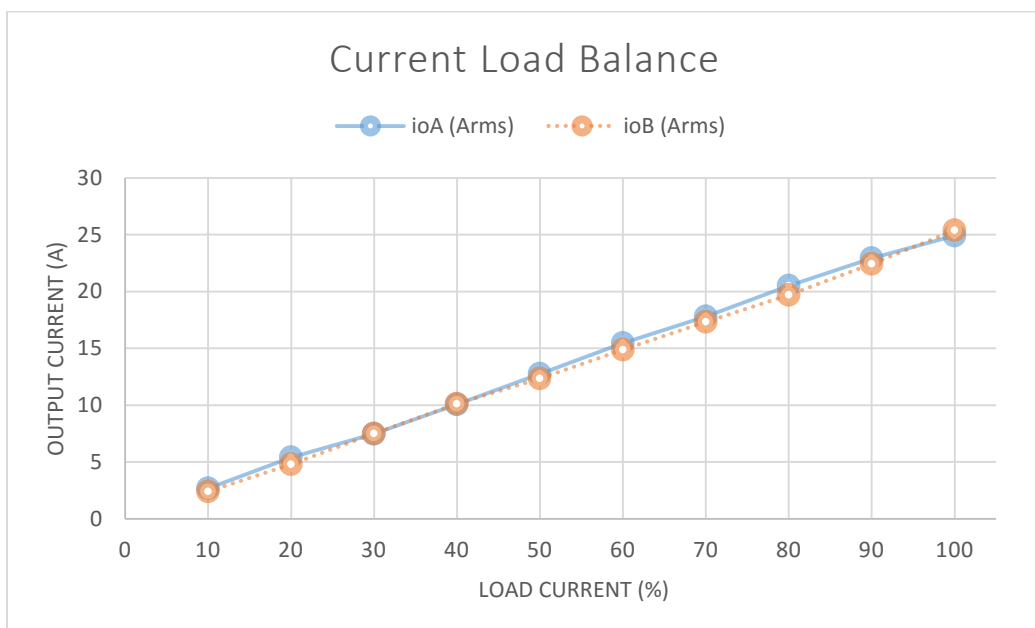
ผลการทดลองได้ดังรูปที่ 5-16 ถึง 5-21 และตารางที่ 5-3 ในส่วนรูปเป็นผลการทดลองในสภาวะไหล 10%, ครึ่งไหลและเต็มไหล ส่วนตารางเป็นผลการทดลองตลอดทั้งย่านไหล

ผลการทดลองได้การควบคุมคุณภาพไหลที่ดีลดลง

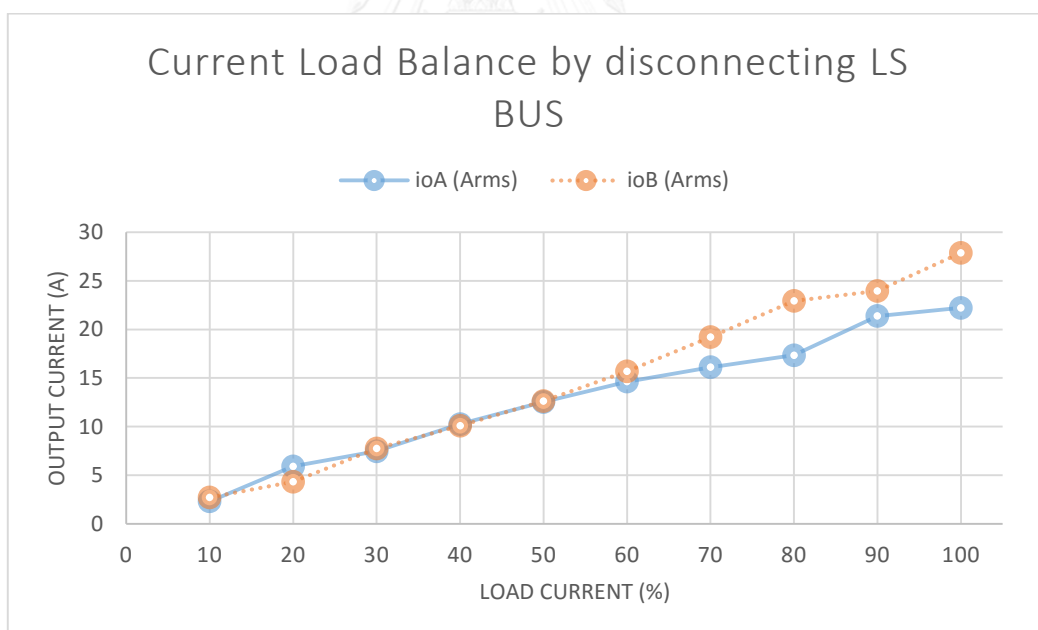
นำผลการทดลองไปเปรียบเทียบกับผลการทดลองแบบปกติที่สัญญาณบัสแบ่งไหลเชื่อมถึงกัน จึงทำให้ทราบว่าผลการควบคุมที่ดีในการต่อแบบปกติได้เกิดขึ้นอย่างมีนัยสำคัญต่อระบบการควบคุมคุณภาพไหลและตัวควบคุมคุณภาพไหลที่สร้างขึ้น

5.3.5 การเปรียบเทียบกระแสด้านออกของขณะต่อและไม่ต่อเส้นสัญญาณบัสแบ่งไหล

ผลการทดสอบคุณภาพไหลทั้งสองแบบ ได้แสดงเป็นเปอร์เซ็นต์ความแตกต่างระหว่างกระแสด้านออกของมอดูล ทั้งนี้ ได้นำค่าดิบกระแสด้านออกมาพล็อตบนกราฟเดียวกัน เพื่อการเปรียบเทียบคุณภาพการควบคุมคุณภาพไหลที่ชัดเจนมากยิ่งขึ้น ดังแสดงในรูปที่ 5-22 และ 5-23



รูปที่ 5-22 ผลการทดลองการควบคุมคุณภาพโหลดที่เชื่อมต่อสัญญาณบัลแบ่งโหลด



รูปที่ 5-23 ผลการทดลองการควบคุมคุณภาพโหลดที่ไม่เชื่อมต่อสัญญาณบัลแบ่งโหลด

รูปที่ 5-22 เป็นผลการควบคุมของการทำงานปกติที่ต่อเชื่อมเส้นสัญญาณบัลแบ่งโหลดถึงกัน ในกราฟได้วาดเส้นตรงต่อกันระหว่างจุดกระแส เส้นที่บเป็นกระแสของมอดูลเอ เส้นประเป็นกระแสของมอดูลบี จะเห็นได้ว่าเส้นกระแสของแต่ละมอดูลค่อนข้างทับกันพอดีตลอด

ทั้งเส้น ส่วนรูป 5-23 เป็นผลการควบคุมขณะไม่ต่อเชื่อมเส้นสัญญาณบัสแบ่งโหลดถึงกัน จะทับกันไม่พอดีตลอดทั้งเส้น

5.4 บทสรุป

ผลการทดสอบการคุมระดับแรงดันด้านออกในสภาวะอยู่ตัว แรงดันด้านออกถูกคุมให้อยู่ในค่าอ้างอิงเป็นอย่างดี ไม่มีอาการแกว่งของแรงดันด้านออกในทุกสภาวะโหลด ส่วนผลการทดสอบการคุมระดับแรงดันด้านออกในสภาวะชั่วคราว โดยทดสอบในการเปลี่ยนแปลงโหลดจากครึ่งโหลดไปสู่เต็มโหลดและจากเต็มโหลดมาสู่ครึ่งโหลด แรงดันด้านออกกลับสู่ค่าอ้างอิงได้อย่างรวดเร็ว ไม่มีอาการแกว่งของแรงดันด้านออก ทั้งนี้มีค่าผิดพลาดสภาวะอยู่ตัวเล็กน้อยแต่ก็ยังคงอยู่ในระดับที่ยังยอมรับได้

ผลการทดสอบการตอบสนองของแรงดันด้านออกต่อสัญญาณบัสแบ่งโหลด มีการตอบสนองเป็นไปตามหลักการทำงานของตัวควบคุมแบบพีไอ ผลการทดสอบความเท่ากันของระดับสัญญาณบัสแบ่งโหลด พบว่าระดับสัญญาณบัสแบ่งโหลดมีความต่างมากขึ้นเมื่อโหลดน้อยลง

สำหรับการทดสอบการควบคุมคุณภาพโหลด มีผลความเที่ยงตรงในการแบ่งกระแสด้านออกที่ดีอย่างมีนัยต่อระบบการควบคุมคุณภาพโหลดและตัวควบคุมคุณภาพโหลดที่สร้างขึ้น ให้ความเที่ยงตรงในการแบ่งกระแสด้านออกที่น้อยกว่า 6% ของกระแสโหลด

บทที่ 6

สรุปและข้อเสนอแนะ

6.1 สรุป

วิทยานิพนธ์ฉบับนี้ได้เสนอการควบคุมคุณภาพโหลดสำหรับวงจรแปลงผันคู่ขนานโดยอาศัยกระแสด้านเข้า ค่ายอดของกระแสด้านเข้าเป็นปริมาณที่ถูกนำมาใช้ในการควบคุมคุณภาพโหลด โดยทดลองกับวงจรแปลงผันเต็มบริดจ์แบบเลื่อนเฟส ที่มีขนาดกำลัง 600 W แรงดันด้านออกเท่ากับ 12 Vdc และแรงดันด้านเข้าเท่ากับ 400 Vdc และควบคุมการทำงานด้วยระบบควบคุมแบบดิจิทัล

ระบบดิจิทัลที่สร้างขึ้น ทำงานบนระบบจำนวนแบบตรึงจุด Q15.0 ใช้ตัวประมวลผลสัญญาณดิจิทัลเฉพาะงานด้านการควบคุมวงจรแปลงผันกำลัง การตรวจวัดปริมาณค่ายอดกระแสด้านเข้าใช้เทคนิคการกระตุ้น ADC ด้วยตัวนับขึ้นของไทเมอร์ในมอดูล pwm ที่ใช้สร้างสัญญาณ pwm

ส่วนรูปแบบการติดต่อระหว่างมอดูลเป็นรูปแบบการติดต่อแบบสัญญาณแอนะล็อก ติดต่อผ่านมอดูล ADC และ DAC ภายในตัวประมวลผลสัญญาณดิจิทัล โดยมีวงจร precision rectifier เป็นวงจรบัฟเฟอร์กันระหว่างมอดูล

การออกแบบตัวควบคุมใช้วิธีผลตอบสนองเชิงความถี่ด้วยแผนภาพโพลโดยได้พิจารณาฟังก์ชันถ่ายโอน ZOH และฟังก์ชันถ่ายโอนเวลาหน่วงการคำนวณร่วมด้วย ผลการออกแบบอยู่ภายใต้ข้อกำหนดค่าเผื่ออัตราขยายที่ไม่น้อยกว่า 6 dB และค่าเฟอุมที่ไม่น้อยกว่า 45° โครงสร้างเฟิร์มแวร์เป็น การทำงานแบบวนรอบร่วมกับ interrupt driven

การทดสอบการควบคุมคุณภาพโหลดให้ความเที่ยงตรงในการแบ่งกระแสด้านออกที่น่าพอใจ โดยมีค่าน้อยกว่า 6 % ของกระแสโหลด

จากผลการวิจัยในวิทยานิพนธ์ฉบับนี้ สรุปได้ว่ากระแสด้านเข้าในวงจรแปลงผันกำลังกระแสตรงเป็นกระแสตรงสามารถทำงานเพื่อการควบคุมคุณภาพโหลด ภายใต้เงื่อนไขในความเท่ากันของระดับแรงดันด้านเข้า ค่าประสิทธิภาพของวงจรแปลงผันกำลังกระแสตรงเป็นกระแสตรง และค่าตัวเหนี่ยวนำด้านออก เป็นต้น

6.2 ข้อเสนอแนะ

- ควรพัฒนาวิธีการติดต่อระหว่างมอดูลในรูปแบบใหม่หรือรูปแบบที่ไม่ต้องพึ่งพาออปแอมป์ เนื่องจากค่าแรงดันออฟเซตด้านออกของออปแอมป์ที่มาก สามารถทำให้การติดต่อระหว่างมอดูลคลาดเคลื่อนได้ โดยเฉพาะอย่างยิ่งในสภาวะกระแสไหลดมีค่าน้อย
- การออกแบบความเร็วผลตอบสนองของวงดุลงภาพไหลดควรออกแบบให้มีความเร็วที่ต่ำ เนื่องจากวงดุลงภาพไหลดจะส่งผลต่อการเปลี่ยนแปลงของแรงดันด้านออกโดยตรง
- เสนอแนะให้ ศึกษาวิจัย การแก้ปัญหา thermal drift ในระบบควบคุมแบบดิจิทัล (ปัญหา thermal drift คือการที่ระดับของแรงดันด้านออกเปลี่ยนแปลงไปในปริมาณเล็กน้อย เมื่อวงจรแปลงผันกำลังไฟฟ้ากระแสตรงเป็นกระแสตรงมีอายุการใช้งานที่ยาวนานขึ้น)
- ควรพัฒนาต่อยอดในวิธีการควบคุมดุลงภาพไหลดด้วยกระแสด้านเข้าให้สามารถทำงานร่วมกับวงจรแปลงผันฯ คู่ขนานที่ใช้วิธีการควบคุมดุลงภาพไหลดด้วยกระแสด้านออก

รายการอ้างอิง

1. *How Redundant Power Supplies Prevent System Downtime*. 2012. 4.
2. Panov, Y., J. Rajagopalan, and F.C.Y. Lee., *Analysis and design of N parallel DC-DC converters with master-slave current-sharing control*. Proceedings of IEEE APEC, 1997: p. 436-442.
3. Irving, B. and M. Jovanovic, *Analysis, design and performance evaluation of droop current-sharing method*. Proceedings of IEEE APEC, 2000: p. 235-241.
4. Luo., S., et al., *A classification and evaluation of paralleling methods for power supply modules*. Proceedings of IEEE PESC, 1999: p. 901-908.
5. Kim., T.-H., S.-J. Lee., and a.W. Choi., *Design and control of the phase shift full bridge converter for the on-board battery charger of the electric forklift*, in *8th International Conference on Power Electronics - ECCE Asia*. IEEE: Jeju. p. 2709 - 2716.
6. Rajagopalan, J., et al., *Modeling and dynamic analysis of parallel DC/DC converters with master-slave current sharing control*. Proceedings of IEEE APEC, 1996: p. 678-684.
7. Jordan, M., *UC3907 load share IC simplifies parallel power supply design*. Application Note U-129, Unitrode, 1993.
8. Sun, J., *Dynamic Performance Analyses of Current Sharing Control for DC/DC Converters*, in *Electrical Engineering*. 2007, the Virginia Polytechnic Institute and State University. p. 248.
9. Milan M. Jovanovic and Brian T. Irving, *Principles of Converter Control*. 2003, Internal Document, Delta Electronics.
10. Chung., S.-K., Y. Song., and J.-G. Lim., *FPGA-based digital current mode controller for phase-shifted full-bridge PWM converter*, in *2009 IEEE Energy Conversion Congress and Exposition*. 2009, IEEE: San Jose, CA. p. 2840 - 2846.
11. Jovanovic, M. and J. Yungtaek, *A New PWM ZVS Full-Bridge Converter*, in *Twenty-First Annual IEEE Applied Power Electronics Conference and Exposition, 2006. APEC '06*. 2006, IEEE: Dallas, TX. p. 331-337.

12. J.A. Sabate, V.V., Ray Ridley, F.C.Y. Lee and Bo Cho. *Design considerations for high-voltage high-power full-bridge zero-voltage-switched PWM converter*. in *APEC '90, Conference Proceedings 1990*. 1990. Los Angeles, CA, USA: IEEE.
13. Hamo, D.J. *A 50W, 500kHz, Full-Bridge, Phase-Shift, ZVS Isolated DC to DC Converter Using the HIP4081A*. 1995.
14. Robert W. Erickson and Grgan Maksimovic, *Fundamentals of Power Electronics*, ed. 2. 2001: Kluwer Academic.
15. Microchip Technology Inc. *dsPIC33FJ32GS406/606/608/610 (DS7000591F) Datasheet*. Available from:
<http://ww1.microchip.com/downloads/en/DeviceDoc/70000591f.pdf>.
16. *High-Speed PWM Section (dsPIC33F Family Reference Manual)*. 2009.
17. David, R., et al., *Analysis and design of a simple digital control algorithm for a phase-shift full-bridge DC-DC power converter*, in *Power Electronics Congress (CIEP), 2010 12th International*. IEEE: San Luis Potosi. p. 205 - 212.
18. Hyun-Wook Seong, et al., *Digital Load Share Controller Design of Paralleled Phase-Shifted Full-Bridge Converters Referencing the Highest Current*. IEEE Energy Conversion Congress and Exposition (ECCE), (Sept. 2010): p. 796-801.
19. Ltd, B.D.P., *Understanding Bode Plots and Stability of Power Supplies*. 2014.
20. Shirsavar, A. *Designing Stable Digital Power Supplies*. 2011. 50.
21. Buso, S. and P. Mattavelli, *Digital Control in Power Electronics*. Vol. 1. 2006, United States of America: Morgan & Claypool. 151.
22. Ibrahim, D., *Microcontroller Based Applied Digital Control*. Discrete Controller Design. 2006: John Wiley & Sons, Ltd. 311.
23. Figoli, D. *Software Design for Digital Power – Programming 101 for Analog Designers*. 6-3 - 6-4.
24. *APPENDIX D - CURRENT TRANSFORMER*, in *DELTA POWER ELECTRONICS R&D LABORATORY*. DELTA ELECTRONICS. p. A.18-A.21.

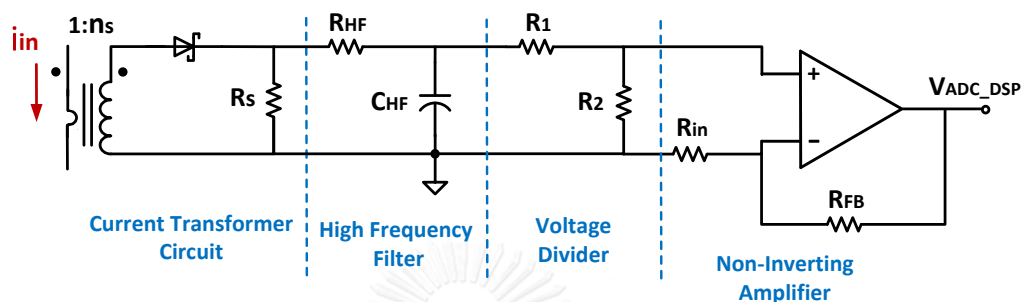


ภาคผนวก

จุฬาลงกรณ์มหาวิทยาลัย
CHULALONGKORN UNIVERSITY

ภาคผนวก ก
การออกแบบวงจรป้อนกลับกระแส

วงจรป้อนกลับกระแส



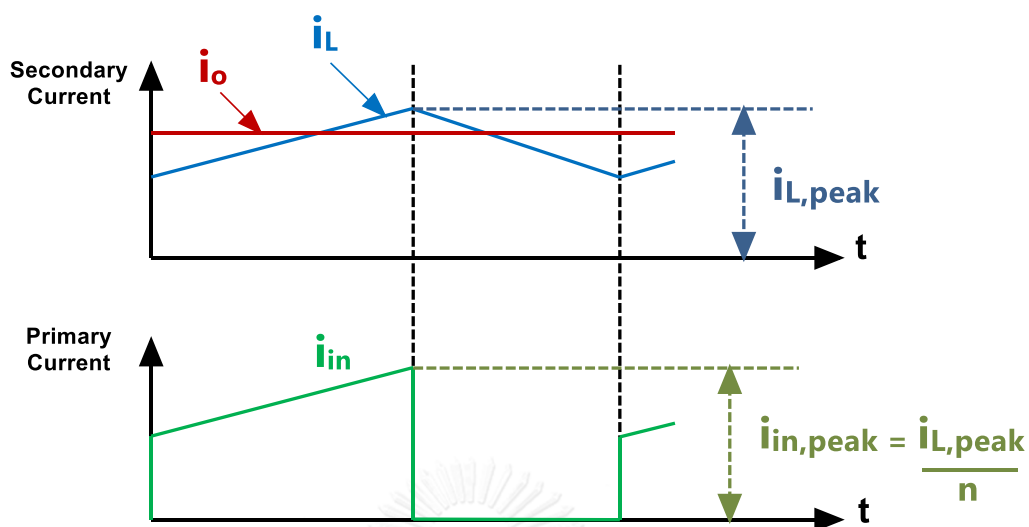
รูปที่ ก-1 วงจรป้อนกลับกระแส

การออกแบบอัตราขยายกระแสตรงของวงจรป้อนกลับกระแส

อัตราขยายกระแสตรงของวงจรป้อนกลับกระแสจะเป็นตัวกำหนดระดับแรงดันสูงสุดของสัญญาณกระแสต้านเข้าที่จะป้อนให้กับขา ADC ของตัวประมวลผลสัญญาณดิจิทัล เพื่อป้องกันไม่ให้ขา ADC ของตัวประมวลผลสัญญาณดิจิทัลพังเสียหายจากระดับแรงดันที่เกินพิกัด

ฉะนั้นเราจึงต้องหาอัตราขยายกระแสตรงของวงจรป้อนกลับกระแสเป็นอันดับแรก เพื่อเป็นการกำหนดค่าแรงดันสูงสุดของสัญญาณกระแสต้านเข้าที่จะป้อนให้ขา ADC ของตัวประมวลผลสัญญาณดิจิทัล

ค่าแรงดันสูงสุดของสัญญาณกระแสต้านเข้าที่จะป้อนให้ขา ADC ของตัวประมวลผลสัญญาณดิจิทัลคำนวณได้จากสมการที่วงจรแปลงผันกำลังจ่ายกระแสต้านออก 50 ADC ซึ่งเป็นสภาวะเต็มโหลด



รูปที่ 3-2 ความสัมพันธ์กระแสด้านออก (i_o) กระแสตัวเหนี่ยวนำด้านออก (i_L) และกระแสด้านเข้า

ค่ายอดกระแสด้านเข้าหาได้จาก ความสัมพันธ์ระหว่างกระแสด้านออกและ กระแสตัวเหนี่ยวนำด้านออก ดังแสดงในรูปที่ 3-2 เราจะทราบค่ากระแสตัวเหนี่ยวนำด้านออกจาก กระแสด้านออก จากนั้นคำนวณกระแสด้านเข้าจากกระแสตัวเหนี่ยวนำด้านออก ด้วยอัตรารอบ ของหม้อแปลง

สมการ (3-1) คือสมการค่ายอดกระแสตัวเหนี่ยวนำด้านออก ($i_{L,peak}$) ที่อยู่ใน ฟังก์ชันของกระแสด้านออก จะใช้สมการนี้ในการคำนวณค่ายอดของกระแสตัวเหนี่ยวนำด้านออก จากค่ากระแสด้านออก

$$i_{L,peak} = V_o \cdot \left[\frac{1}{V_o/i_o} + \frac{1 - V_o \cdot \left(\frac{n}{V_{in}}\right)}{2L_F \cdot (2f_{sw})} \right] \quad (3-1)$$

ค่ายอดกระแสด้านเข้าสูงสุด เกิดที่สภาวะเต็มโหลด ($i_o=50A$)

แทนค่าพารามิเตอร์ต่าง ๆ และกระแสด้านออกเท่ากับ 50 แอมแปร์ คำนวณค่า ยอดกระแสตัวเหนี่ยวนำด้านออกสูงสุดได้เท่ากับ

$$i_{L,peak,max} = (12V) \cdot \left[\frac{1}{12V/50A} + \frac{1 - (12V) \cdot (\frac{24}{400V})}{2 \cdot (2.2\mu H) \cdot (2) \cdot (90kHz)} \right]$$

$$= 54.24A \quad (ก-2)$$

จากนั้นคำนวณหา ค่ากระแสด้านเข้าจากค่ากระแสตัวเหนี่ยวนำด้านออก ด้วย อัตรารอบของหม้อแปลง

$$i_{in,peak} = \frac{i_{L,peak}}{n} \quad (ก-3)$$

แทนค่ายอดกระแสตัวเหนี่ยวนำด้านออกสูงสุด ได้ค่ายอดกระแสด้านเข้าสูงสุด เท่ากับ สมการ (ก-4)

$$i_{in,peak,max} = \frac{i_{L,peak,max}}{n}$$

$$= \frac{54.24A}{24}$$

$$i_{in,peak,max} = 2.26A \quad (ก-4)$$

จากนั้น คำนวณหาอัตราขยายกระแสตรงของวงจรมอนิเตอร์กระแส ดังนี้

$$H_C(0) = \frac{V_{ADC_DSP}}{i_{in,peak}} \quad (ก-5)$$

สมการ (ก-5) เป็นสมการอัตราขยายกระแสตรงของวงจรมอนิเตอร์กระแส ซึ่ง เท่ากับอัตราส่วนแรงดันของสัญญาณกระแสด้านเข้าที่จะป้อนให้ขา ADC ของตัวประมวลผล สัญญาณดิจิทัลต่อค่ายอดของกระแสด้านเข้า

โดยออกแบบให้ย่านใช้งานของแรงดันขา ADC ของตัวประมวลผลสัญญาณดิจิทัลไม่เกิน 75% ของแรงดันอ้างอิง ADC ทั้งนี้ ตัวประมวลผลสัญญาณดิจิทัลมีค่าแรงดันอ้างอิง ADC เท่ากับ 3.3 V

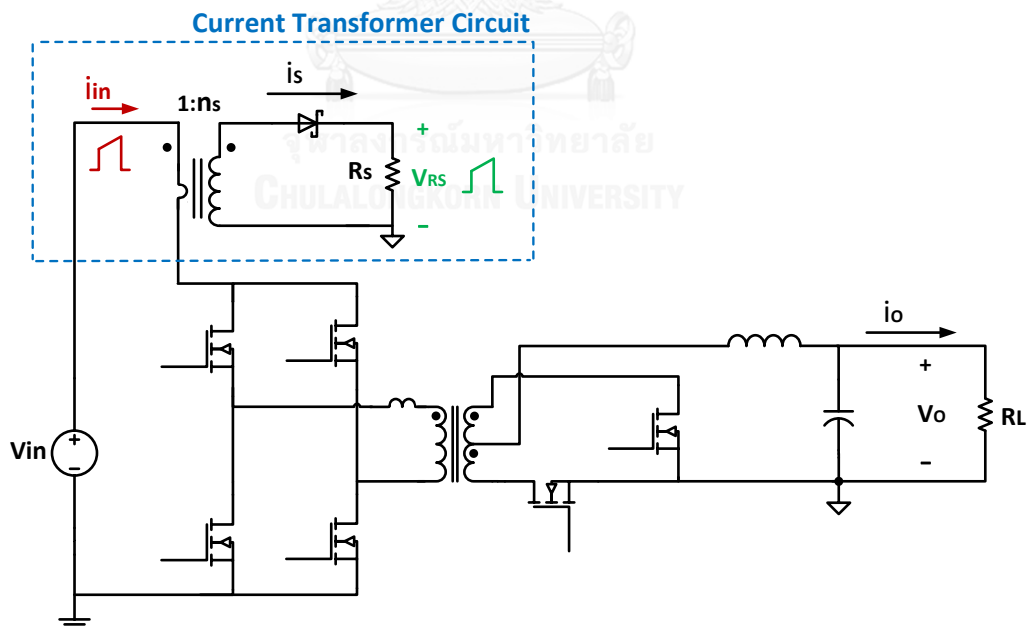
แทนค่ายอดกระแสด้านเข้าสูงสุดและแรงดันสูงสุดของย่านใช้งานของแรงดันขา ADC ของตัวประมวลผลสัญญาณดิจิทัล

$$H_c(0) = \frac{\left(\frac{75\%}{100\%}\right) \cdot (3.3V)}{2.26A}$$

$$= 1.10 \quad \text{V/A} \quad (\text{ก-6})$$

อัตรากระแสตรงของวงจรป้อนกลับกระแส เท่ากับ 1.10 V/A

การคำนวณอัตราขยายหม้อแปลงกระแส (Current Transformer Gain, G_{CT}) [24]



รูปที่ ก-3 วงจรหม้อแปลงกระแส (ภายในกรอบเส้นประ)

รูปที่ ก-3 เป็นวงจรหม้อแปลงกระแส วงจรหม้อแปลงกระแสจะวัดกระแสด้านเข้า แล้วแสดงเป็นแรงดันที่ตกคร่อม R_s

$$V_{RS} = \frac{i_{in}}{n_s} \cdot R_s \quad (ก-7)$$

สมการ (ก-7) เป็นสมการความสัมพันธ์ระหว่างกระแสด้านเข้าซึ่งเป็นกระแสที่ถูกตรวจวัด (i_{in}) และแรงดันที่ตกคร่อม R_s (V_{RS})

$$G_{CT} = \frac{V_{RS}}{i_{in}} \quad V/A \quad (ก-8)$$

สมการ (ก-8) เป็นฟังก์ชันถ่ายโอนของวงจรหม้อแปลงกระแส ซึ่งเท่ากับ อัตราส่วนเอาต์พุตต่ออินพุตของวงจรหม้อแปลงกระแสซึ่งเท่ากับแรงดันที่ตกคร่อม R_s ต่อกระแสด้านเข้า

นำสมการ (ก-7) แทนในสมการ (ก-8) จะได้ฟังก์ชันถ่ายโอนของวงจรหม้อแปลงกระแสเท่ากับ

$$G_{CT} = \frac{R_s}{n_s} \quad V/A \quad (ก-9)$$

จากที่ผู้วิจัยได้นำวงจรภาคกำลังที่ได้ถูกออกแบบแล้วมาใช้ในการวิจัย วงจรภาคกำลังดังกล่าวได้มีหม้อแปลงกระแสที่มี อัตรารอบ (n_s) เท่ากับ 1:50 รอบ และตัวต้านทานขนาน (R_s) เท่ากับ 22.67Ω

ดังนั้นอัตราขยายหม้อแปลงกระแสได้เท่ากับ สมการ (ก-10)

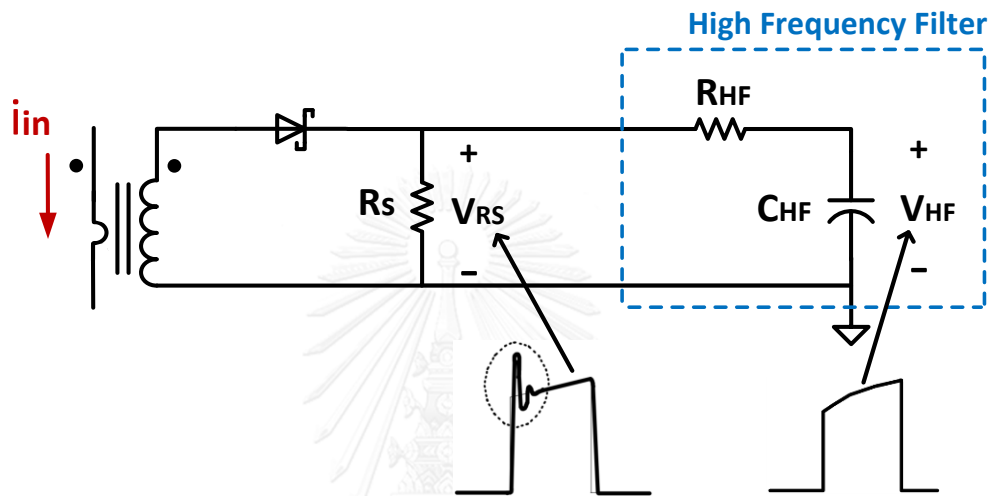
ด้วยการแทนค่าอัตรารอบของหม้อแปลงกระแสและตัวต้านทานขนาน ดังนี้

$$G_{CT} = \frac{22.67\Omega}{50}$$

$$= 0.45 \quad \text{V/A} \quad (\text{ก-10})$$

อัตราขยายหม้อแปลงกระแสมีค่าเท่ากับ 0.45 V/A

การออกแบบวงจรลดทอนสัญญาณรบกวนความถี่สูง (high frequency noise filter, $G_{HF}(s)$) [24]



รูปที่ ก-4 วงจรลดทอนความถี่สูง (ภายในกรอบเส้นประ)

จากการทำงานของวงจรภาคกำลังที่สามารถเกิดกระแสชากความถี่สูง (spike) ที่ขอบขาขึ้นของกระแสด้านเข้า ดังรูปที่ ก-4 จึงส่งผลให้แรงดันที่ตกคร่อม R_s ในวงจรหม้อแปลงกระแสมีสัญญาณความถี่สูงนี้ด้วย ด้วยเหตุนี้จึงต้องมีวงจรลดทอนสัญญาณรบกวนความถี่สูง โดยใช้วงจรกรองความถี่ต่ำผ่านในการทำหน้าที่นี้

โดยทั่วไปกระแสชากความถี่สูงมีความถี่อยู่ในระดับเมกะเฮิรตซ์

$$f_{cut-off} = \frac{1}{2\pi \cdot R_{HF} \cdot C_{HF}} \quad (\text{ก-11})$$

สมการ (ก-11) เป็นสมการความถี่คัตออฟของวงจรกรองความถี่ต่ำผ่าน

$$G_{HF}(s) = \frac{v_{HF}}{v_{RS}} = \frac{1}{1 + R_{HF} \cdot C_{HF} \cdot s} \quad \text{V/V} \quad (\text{ก-12})$$

สมการ (ก-12) เป็นฟังก์ชันถ่ายโอนวงจรรองสัญญาณรบกวนความถี่สูง

ออกแบบให้วงจรรองมีความถี่คัตออฟ 700 kHz โดยประมาณ โดยตัวต้านทาน R_{HF} มีค่าเท่ากับ $1\text{ k}\Omega$ และตัวเก็บประจุ C_{HF} มีค่าเท่ากับ 220 pF

คำนวณความถี่คัตออฟ ได้ดังนี้

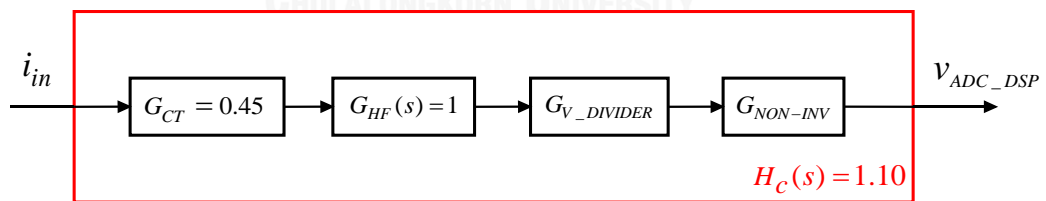
$$f_{cut-off} = \frac{1}{(2\pi)(1\text{ k}\Omega)(220\text{ pF})}$$

$$= 723.43\text{ kHz} \quad (\text{ก-13})$$

ดังนั้นฟังก์ชันถ่ายโอนวงจรรองสัญญาณรบกวนความถี่สูงจึงเท่ากับ

$$G_{HF}(s) = \frac{1}{1 + (2.2 \times 10^{-7})s} \quad \text{V/V} \quad (\text{ก-14})$$

การออกแบบวงจรขยายไม่กลับเฟส (non-inverting amplifier) และวงจรลดระดับแรงดัน ($G_{V_DIVIDER}$)



รูปที่ ก-5 แผนภาพบล็อกการทำงาน พร้อมค่าอัตราขยายกระแสตรง
ของวงจรป้อนกลับกระแส (H_c) ของวงจรหม้อแปลงกระแสและของวงจรรองความถี่สูง

ถึงตรงนี้เราเหลือ อัตราขยายของวงจรขยายไม่กลับเฟสและวงจรลดระดับแรงดันที่ยังไม่ทราบค่า ส่วนที่ทราบค่าแล้วได้แก่ อัตราขยายหม้อแปลงกระแส อัตราขยายกระแสตรงของวงจรรองสัญญาณรบกวนความถี่สูงและอัตราขยายกระแสตรงของวงจรป้อนกลับกระแส ดังแสดงในรูปที่ ก-5

ส่วนที่ยังไม่ทราบค่าหาได้จากสมการ (ก-15)

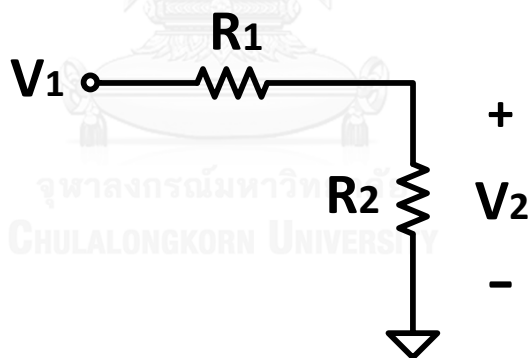
$$G_{V_DIVIDER} G_{NON-INV} = \frac{H_C(0)}{G_{CT} G_{HF}(0)} \quad (\text{ก-15})$$

แทนค่าส่วนที่ทราบค่าแล้ว

$$G_{V_DIVIDER} G_{NON-INV} = \frac{1.10}{(0.45)(1)} = 2.44 \quad (\text{ก-16})$$

ส่วนที่ยังไม่ทราบค่ามีค่าเท่ากับ 2.44

ออกแบบวงจรลดระดับแรงดัน



รูปที่ ก-6 วงจรลดระดับแรงดัน

รูปที่ ก-6 เป็นวงจรลดระดับแรงดันซึ่งเป็นวงจรแบ่งแรงดัน วงจรลดระดับแรงดันทำหน้าที่ลดระดับแรงดันที่ป้อนให้วงจรขยายไม่กลับเฟส

สมการ (ก-17) เป็นฟังก์ชันถ่ายโอนวงจรลดระดับแรงดัน ซึ่งมีรากฐานมาจากสมการการแบ่งแรงดัน

$$G_{V_DIVIDER} = \frac{R_2}{R_1 + R_2} \quad (\text{ก-17})$$

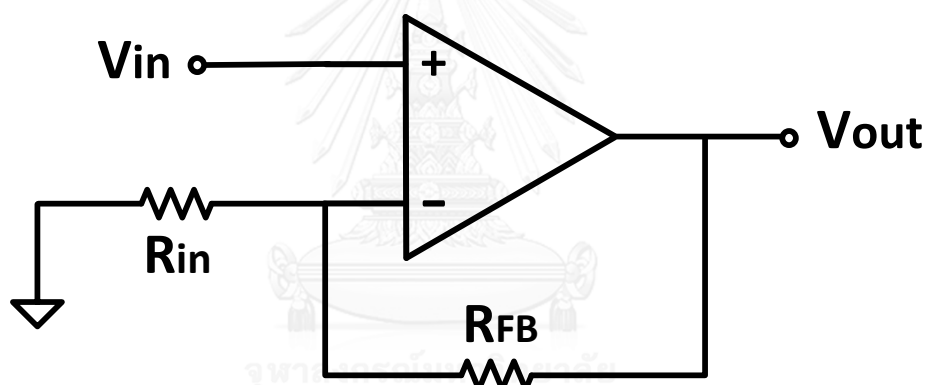
ออกแบบให้ลดทอนระดับแรงดันที่จะป้อนให้วงจรมายไม่กลับเฟส ลงเหลือ 80% ออกแบบตัวต้านทาน R1 ให้เท่ากับ 10 k Ω และตัวต้านทาน R2 เท่ากับ 2.49 k Ω ได้ฟังก์ชันถ่ายโอนวงจรถะดับแรงดัน ดังนี้

$$G_{V_DIVIDER} = \frac{10k\Omega}{(10 + 2.49)k\Omega}$$

$$= 0.80$$

(ก-18)

ออกแบบวงจรมายไม่กลับเฟส



รูปที่ ก-7 วงจรออปแอมป์ขยายไม่กลับเฟส

ค่าอัตราขยายของวงจรมายไม่กลับเฟสเป็นค่าทำสุดที่ยังไม่ทราบค่า ฉะนั้นจึงหาค่าอัตราขยายของวงจรมายไม่กลับเฟสได้จากค่าอัตราขยายกระแสตรงของวงจรมายกลับกระแส และค่าอัตราขยายกระแสตรงของวงจรที่ประกอบขึ้นเป็นวงจรมายกลับกระแสที่ทราบค่าแล้ว ซึ่งทั้งนี้เราสามารถใช้ สมการ (ก-16) หาค่าอัตราขยายของวงจรมายไม่กลับเฟส ดังนี้

$$G_{NON-INV} = \frac{2.44}{G_{V_DIVIDER}}$$

$$= \frac{2.44}{0.80}$$

$$G_{NON-INV} = 3.05 \quad (\text{ก-19})$$

ออกแบบค่า R_{FB} และ R_{in} ดังนี้

สมการ (ก-20) เป็นฟังก์ชันถ่ายโอนของวงจรรขยายไม่กลับเฟส

$$G_{NON-INV} = \frac{v_{out}}{v_{in}} = 1 + \frac{R_{FB}}{R_{in}} \quad (\text{ก-20})$$

ออกแบบให้ ตัวต้านทาน R_{FB} เท่ากับ $2 \text{ k}\Omega$ และ R_{in} เท่ากับ 953Ω

$$\begin{aligned} G_{NON-INV} &= 1 + \frac{2 \text{ k}\Omega}{953 \Omega} \\ &= 3.10 \end{aligned} \quad (\text{ก-21})$$

สุดท้าย ค่าอัตราขยายของวงจรรขยายไม่กลับเฟสเท่ากับ 3.10 ซึ่งมากกว่า 3.05

อยู่เล็กน้อย

ฟังก์ชันถ่ายโอนของวงจรป้อนกลับกระแส

ฟังก์ชันถ่ายโอนของแต่ละวงจรที่ได้ออกแบบจะถูกคำนวณเพื่อหาฟังก์ชันถ่ายโอนของวงจรป้อนกลับกระแส

$$H_c(s) = G_{CT} G_{HF}(s) G_{V_DIVIDER} G_{NON-INV} \quad (ก-22)$$

สมการ (ก-22) เป็นสมการฟังก์ชันถ่ายโอนของวงจรป้อนกลับกระแส แทนฟังก์ชันถ่ายโอนของวงจรภายในวงจรป้อนกลับกระแส ได้ฟังก์ชันถ่ายโอนของวงจรป้อนกลับกระแสเท่ากับ ดังนี้

$$H_c(s) = \left(\frac{R_s}{n_s} \right) \cdot \left(\frac{1}{1 + R_{HF} \cdot C_{HF} \cdot s} \right) \cdot \left(\frac{R_2}{R_1 + R_2} \right) \cdot \left(1 + \frac{R_{FB}}{R_{in}} \right) \quad (ก-23)$$

แทนค่าอุปกรณ์ของฟังก์ชันถ่ายโอนของวงจรภายในวงจรป้อนกลับกระแส

$$\begin{aligned} H_c(s) &= \left(\frac{22.67\Omega}{50} \right) \cdot \left(\frac{1}{1 + (2.2 \times 10^{-7})s} \right) \cdot \left(\frac{10k\Omega}{(10 + 2.49)k\Omega} \right) \cdot \left(1 + \frac{2k\Omega}{953\Omega} \right) \\ &= \frac{1.12}{1 + (2.2 \times 10^{-7})s} \quad \text{V/A} \end{aligned} \quad (ก-24)$$

อัตราขยายกระแสตรงของวงจรป้อนกลับกระแสเท่ากับ

$$H_c(0) = 1.12 \quad \text{V/A} \quad (ก-25)$$

อัตราขยายกระแสตรงของวงจรป้อนกลับกระแสมีค่าเท่ากับ 1.12 ซึ่งมากกว่าค่าที่ตั้งไว้เล็กน้อย ฉะนั้นเราควรตรวจสอบค่าแรงดันสูงสุดของสัญญาณกระแสด้านเข้าที่จะป้อนให้ขา ADC ของตัวประมวลผลสัญญาณดิจิทัล (V_{ADC_DSP}) ตามขั้นตอนดังนี้

$$V_{ADC_DSP} = H_c(0) \left(\frac{i_{L,peak,max}}{n} \right)$$

$$= 1.12 \left(\frac{54.24}{24} \right)$$

$$V_{ADC_DSP} = 2.53 \quad V \quad (ก-26)$$

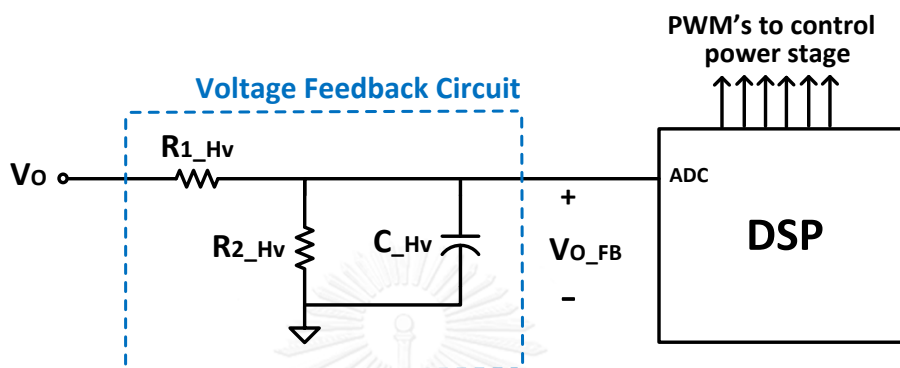
ค่าแรงดันสูงสุดของสัญญาณกระแสต้านเข้าที่จะป้อนให้ขา ADC ของตัวประมวลผลสัญญาณดิจิทัลมีค่าเท่ากับ 2.53 V ซึ่งเท่ากับ 76.67% ของแรงดันอ้างอิง ADC มากกว่า 75% อยู่เล็กน้อย

ในที่สุดฟังก์ชันถ่ายโอนของวงจรมอนิเตอร์กระแสจึงเท่ากับ

$$H_c(s) = \frac{1.12}{(2.2 \times 10^{-7})s + 1} \quad V/A \quad (ก-27)$$

ภาคผนวก ข
การออกแบบวงจรป้อนกลับแรงดัน

วงจรป้อนกลับแรงดัน



รูปที่ ข-1 วงจรป้อนกลับแรงดัน

วงจรป้อนกลับแรงดันเป็นวงจรแบ่งแรงดัน ทำหน้าที่ตรวจวัดแรงดันด้านออก โดยลดทอนระดับแรงดันด้านออกให้ลงมาในระดับที่น้อยกว่าแรงดันพิกัดของขา ADC ของตัวประมวลผลสัญญาณดิจิทัล

โดยออกแบบให้ย่านใช้งานของแรงดันขา ADC ของตัวประมวลผลสัญญาณดิจิทัลไม่เกิน 75% ของแรงดันอ้างอิง ADC เช่นเดียวกับวงจรป้อนกลับกระแส

นอกจากนี้วงจรป้อนกลับแรงดันยังมีตัวเก็บประจุที่ต่อขนานที่เอาต์พุตของวงจร (C_{Hv}) ดังรูปที่ ข-1 ตัวเก็บประจุ C_{Hv} ทำหน้าที่ในการลดทอนสัญญาณรบกวนความถี่สูง วงจรป้อนกลับแรงดันจึงมีคุณสมบัติการกรองความถี่ต่ำผ่านด้วย

สมการ (ข-1) เป็นฟังก์ชันถ่ายโอนของวงจรป้อนกลับแรงดัน

$$H_V(s) = \frac{R2_Hv}{(R1_Hv) \cdot (R2_Hv) \cdot (C_{Hv}) \cdot s + R1_Hv + R2_Hv} \quad (\text{ข-1})$$

เราจะต้องหาอัตราขยายกระแสตรงของวงจรป้อนกลับแรงดันเป็นอันดับแรก เพื่อการกำหนดค่าแรงดันสูงสุดของสัญญาณกระแสต้านเข้าที่จะป้อนให้ขา ADC ของตัวประมวลผลสัญญาณดิจิทัล

สมการ (ข-2) เป็นสมการอัตราขยายกระแสตรงของวงจรป้อนกลับแรงดัน

$$H_v(0) = \frac{V_{O_FB}}{V_O} = \frac{R_{2_Hv}}{R_{1_Hv} + R_{2_Hv}} \quad (\text{ข-2})$$

แทนค่า V_{O_FB} และ V_O

$$\begin{aligned} H_v(0) &= \frac{V_{O_FB}}{V_O} \\ &= \frac{\left(\frac{75\%}{100\%}\right) \cdot 3.3V}{12V} \\ &= \frac{2.475V}{12V} \end{aligned}$$

$$H_v(0) = 0.206 \quad (\text{ข-3})$$

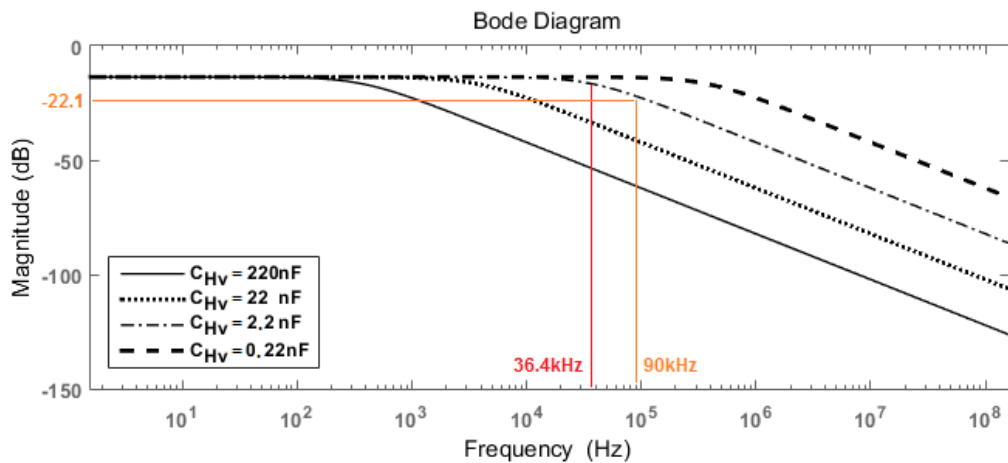
ออกแบบให้ R_{1_Hv} มีค่าเท่ากับ $9.355 \text{ k}\Omega$ และ R_{2_Hv} มีค่าเท่ากับ $2.46 \text{ k}\Omega$

$$\begin{aligned} H_v(0) &= \frac{R_{2_Hv}}{R_{1_Hv} + R_{2_Hv}} \\ &= \frac{2.46 \text{ k}\Omega}{9.355 \text{ k}\Omega + 2.46 \text{ k}\Omega} \end{aligned}$$

$$H_v(0) = 0.208 \quad (\text{ข-4})$$

อัตราขยายกระแสตรงของวงจรป้อนกลับแรงดันมีค่าเท่ากับ 0.208 ซึ่งมากกว่า 0.206 เล็กน้อย

การออกแบบค่าตัวเก็บประจุ C_{Hv} ได้ใช้วิธีวาดเส้นผลตอบสนองเชิงความถี่ของฟังก์ชันถ่ายโอนของวงจรป้อนกลับแรงดัน (สมการ ข-1) โดยมีค่าตัวเก็บประจุ C_{Hv} หลากหลายค่า จากนั้นเลือกค่าตัวเก็บประจุที่ให้ความถี่คัตออฟที่ต้องการ



รูปที่ ข-2 ผลตอบสนองเชิงความถี่โดยการเปรียบเทียบค่าตัวเก็บประจุ C_{Hv} ที่ต่างกัน

รูปที่ ข-2 เป็นผลตอบสนองเชิงความถี่ของวงจรป้อนกลับแรงดันที่เพิ่มค่าตัวเก็บประจุ C_{Hv} ครั้งละ 10 เท่า ตั้งแต่ 0.22 nF ถึง 220 nF

ออกแบบค่าความถี่คัตออฟของวงจรป้อนกลับแรงดันให้มีค่าเท่ากับ 40 kHz โดยประมาณ ทั้งนี้ความถี่สัญญาณขับเคลื่อนอุปกรณ์สวิตซ์กำลังที่สามารถเป็นสัญญาณรบกวน มีค่าเท่ากับ 90 kHz

จากรูปผลตอบสนองเชิงความถี่ของวงจรป้อนกลับแรงดัน ความจุ 2.2 nF ให้ความถี่คัตออฟ 36.4 kHz และลดทอนความถี่สัญญาณขับเคลื่อนอุปกรณ์สวิตซ์กำลังด้วยอัตราขยาย -22.1 dB ขนาดสัญญาณรบกวนขับเคลื่อนจะลดเหลือ 7.85%

ฟังก์ชันถ่ายโอนของวงจรป้อนกลับแรงดัน จึงเท่ากับ

$$H_V(s) = \frac{R_{2_Hv}}{(R_{1_Hv}) \cdot (R_{2_Hv}) \cdot (C_{Hv}) \cdot s + R_{1_Hv} + R_{2_Hv}}$$

$$= \frac{2.46\text{k}\Omega}{(9.355\text{k}\Omega) \cdot (2.46\text{k}\Omega) \cdot (2.2\text{nF})s + 9.355\text{k}\Omega + 2.46\text{k}\Omega}$$

$$H_v(s) = \frac{2.46 \times 10^3}{(5.06 \times 10^{-2})s + (1.18 \times 10^4)} \quad (1-5)$$



ภาคผนวก ค

การคำนวณค่าความละเอียดในระบบควบคุมดิจิทัล

ความละเอียดในการปรับระดับของแรงดันด้านออก

ความละเอียดในการปรับแรงดันด้านออกสามารถคำนวณได้จากความละเอียดในการปรับความกว้างสัญญาณ pwm ของตัวประมวลผลสัญญาณดิจิทัลและอัตราขยายแรงดันของวงจรแปลงผันเต็มบริดจ์แบบเลือนเฟส ดังสมการ (ค-1)

$$\Delta V_{O_DPWM} = \frac{t_{on_minimum}}{\left(\frac{T_{sw}}{2}\right)} \cdot \frac{V_{in}}{n} \quad (ค-1)$$

โดยที่

ΔV_{O_DPWM} = ค่าแรงดันด้านออกน้อยที่สุดที่ DPWM ปรับได้

$t_{on_minimum}$ = ค่าเวลาน้อยที่สุดของวัฏจักรงานด้านทุติยภูมิ (V_{s1}) ที่ DPWM ปรับได้

T_{sw} = คาบเวลาสัญญาณชับเกตอุปกรณ์สวิตซ์กำลังด้านปฐมภูมิ

ค่าแรงดันด้านออกน้อยที่สุดที่ DPWM ปรับได้ มีค่าเท่ากับ

$$\Delta V_{O_DPWM} = \frac{1.04ns}{\left(\frac{(1/90kHz)}{2}\right)} \cdot \frac{400V}{24}$$

$$\Delta V_{O_DPWM} = 3.12 \text{ mV} \quad (ค-2)$$

ความละเอียดในการตรวจวัดระดับของแรงดันด้านออก

ค่าความละเอียดในการตรวจวัดระดับของแรงดันด้านออก สามารถคำนวณได้จากค่าความละเอียดของ ADC และอัตราขยายของวงจรถวนกลับแรงดันด้านออก ดังสมการ (ค-3)

$$\Delta V_{O_ADC} = \frac{\left(\frac{V_{ref}}{2^{n_ADC}} \right)}{H_V(s)} \quad (\text{ค-3})$$

โดยที่

ΔV_{O_ADC} = ค่าแรงดันด้านออกที่น้อยที่สุดที่ ADC ตรวจวัดได้ มีหน่วยเป็น โวลต์

V_{ref} = ค่าแรงดันอ้างอิงของ ADC

n_ADC = จำนวนบิตของ ADC

ค่าแรงดันด้านออกที่น้อยที่สุดที่ ADC ตรวจวัดได้มีค่าเท่ากับ

$$\Delta V_{O_ADC} = \frac{\left(\frac{V_{ref}}{2^{n_ADC}} \right)}{H_V(s)}$$

$$= \frac{\left(\frac{3.3V}{2^{10}} \right)}{H_V(0)}$$

$$= \frac{3.22mV}{(2.46 \times 10^3 / 1.18 \times 10^4)}$$

$$\Delta V_{O_ADC} = 15.46 \text{ mV} \quad (\text{ค-4})$$

ความละเอียดในการตรวจวัดระดับของกระแสตัวเหนี่ยวนำด้านออก

ค่าความละเอียดในการตรวจวัดระดับของกระแสตัวเหนี่ยวนำด้านออก สามารถคำนวณได้จากค่าความละเอียดของ ADC, อัตรารอบของหม้อแปลง และอัตราขยายของวงจรป้อนกลับกระแส ดังนี้

$$\Delta i_L = \frac{n \cdot \left(\frac{V_{ref}}{2^{n-ADC}} \right)}{H_c(s)} \quad (\text{ค-5})$$

โดยที่

Δi_L = ค่ากระแสตัวเหนี่ยวนำด้านออกที่น้อยที่สุดที่ ADC ตรวจวัดได้ มีหน่วยเป็น แอมแปร์

ค่ากระแสตัวเหนี่ยวนำด้านออกที่น้อยที่สุดที่ ADC ตรวจวัดได้มีค่าเท่ากับ

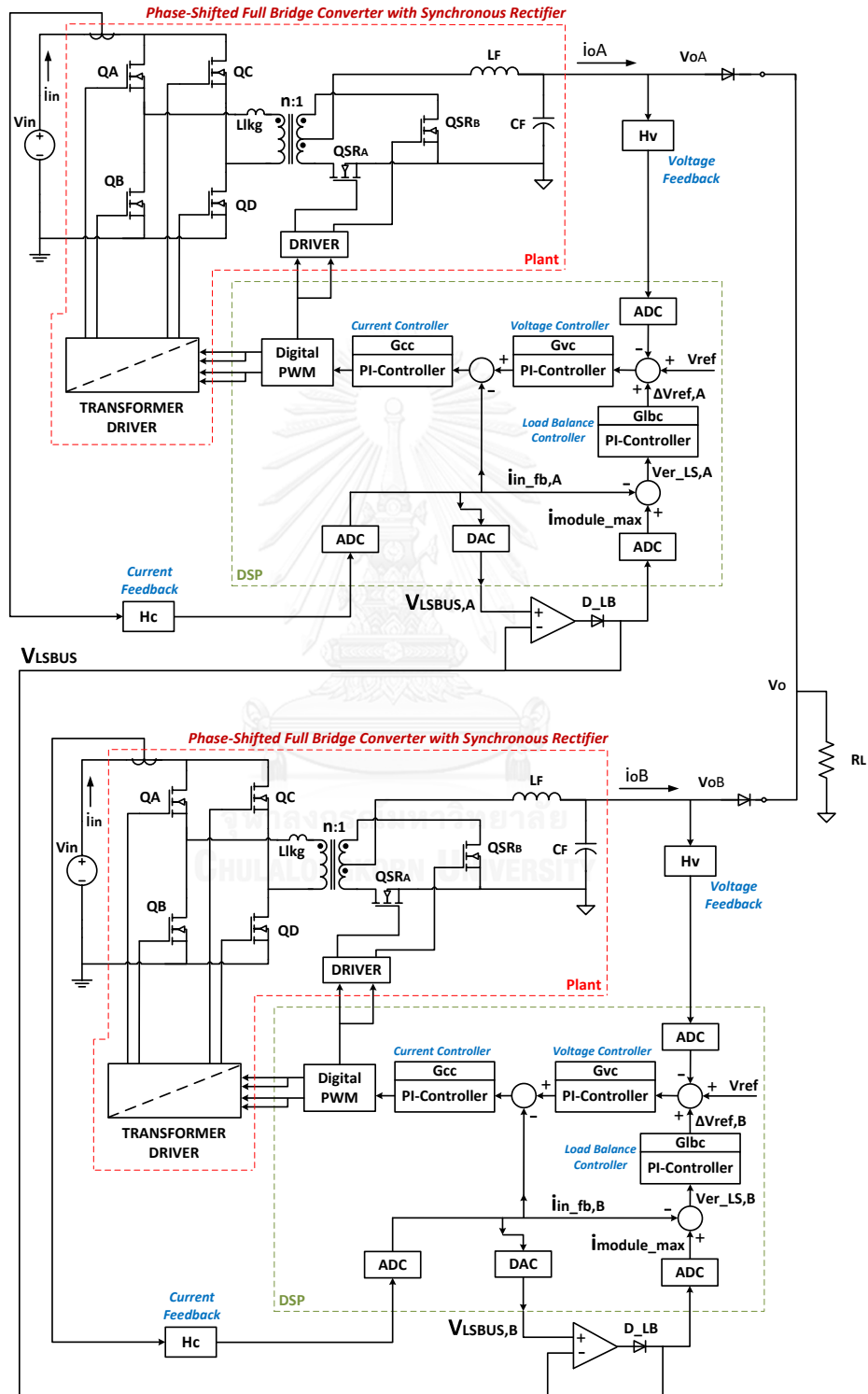
$$\Delta i_L = \frac{n \cdot \left(\frac{V_{ref}}{2^{n-ADC}} \right)}{H_c(s)}$$

$$= \frac{(24) \cdot \left(\frac{3.3V}{2^{10}} \right)}{H_c(0)}$$

$$= \frac{(24) \cdot 3.22mV}{1.12}$$

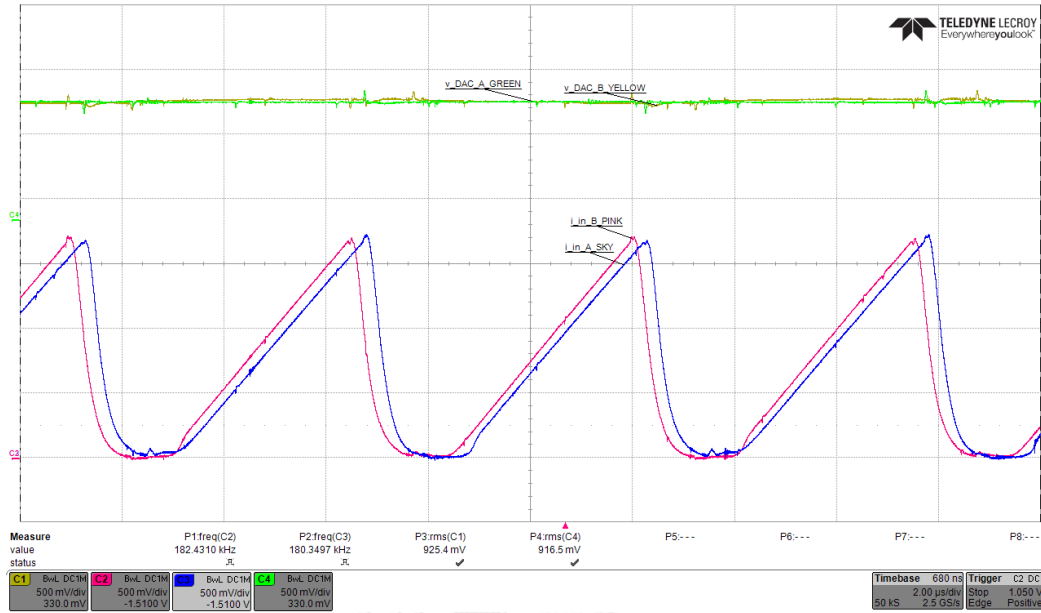
$$\Delta i_L = 69 \text{ mA} \quad (\text{ค-6})$$

ภาคผนวก ง
การต่อวงจรระหว่างมอดูล



รูปที่ ง-1 การต่อวงจรระหว่างมอดูล

ภาคผนวก จ
รูปสัญญาณกระแสต้านเข้าและสัญญาณบัสแบ่งโหลด



รูปที่ จ-1 รูปสัญญาณกระแสต้านเข้าและสัญญาณบัสแบ่งโหลด

ภาคผนวก จ
ตารางสรุปค่าพารามิเตอร์ต่าง ๆ ในการออกแบบ

ชื่อพารามิเตอร์	สัญลักษณ์	ค่าพารามิเตอร์	หน่วย
แรงดันด้านเข้า	V_{in}	400	Vdc
แรงดันด้านออก	V_o	12	Vdc
กำลังสูงสุดของแต่ละโมดูล	-	600	W
ความถี่สวิตซิ่ง	f_{sw}	90	kHz
อัตราส่วนขดลวดของหม้อแปลง	$n : 1$	24 : 1	turns
ความเหนี่ยวนำรั่วไหลของหม้อแปลง	L_{lk}	18	μ H
ตัวเหนี่ยวนำด้านออก	L_F	2.2	μ H
ตัวเก็บประจุด้านออก	C_F	5,400	μ F
ความถี่การซิกตัวอย่าง	f_{sam}	45	kHz
คาบเวลาการซิกตัวอย่าง	T_{sam}	22.22	μ s
เวลาหน่วงการคำนวณ	T_{com}	9.77	μ s
ความละเอียด PWM	-	16	bit
ความละเอียด ADC	-	10	bit
ความละเอียด DAC	-	10	bit
ความละเอียดการตรวจวัดแรงดัน V_o	ΔV_{O_ADC}	15.46	mV
ความละเอียดการตรวจวัดกระแส i_L	Δi_L	69	mA
ความละเอียดการปรับระดับแรงดัน V_o	ΔV_{O_DPWM}	3.12	mV

ตารางที่ จ-1 ตารางสรุปค่าพารามิเตอร์ต่าง ๆ ในการออกแบบ

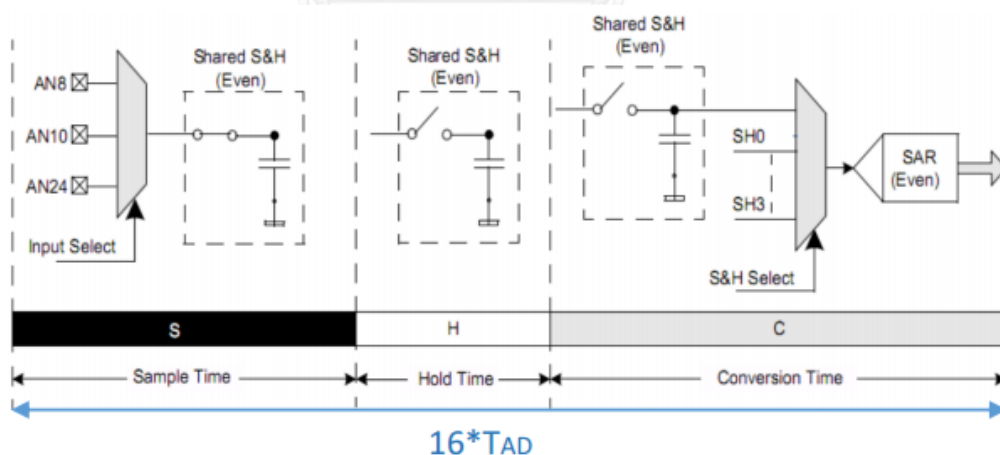
ภาคผนวก ข

การตรวจสอบการซักรหัสตัวอย่างสัญญาณค่ายอดของกระแสด้านเข้า

การตรวจสอบการซักรหัสตัวอย่างสัญญาณค่ายอดของกระแสด้านเข้ากระทำเพื่อตรวจสอบว่าตัวประมวลผลสัญญาณดิจิทัลได้เก็บค่ายอดของสัญญาณกระแสด้านเข้าตามที่ได้อุปกรณ์สั่งงานไปจริงหรือไม่

กระทำโดยการเขียนสิ่งขาอินพุต-เอาต์พุตทั่วไป ให้เปลี่ยนลอจิกขณะเข้า-ออกฟังก์ชัน ADC ISR โดย ขณะเข้าเปลี่ยนเป็นลอจิกหนึ่งและขณะออกเปลี่ยนเป็นลอจิกศูนย์ (สัญญาณมีชื่อว่า ADC ISR logic, สัญญาณเดียวกันกับที่ใช้ในการตรวจสอบค่าเผื่อจากเวลาหน่วงการคำนวณจริง) แล้วตรวจสอบว่าตัวประมวลผลสัญญาณดิจิทัลใช้เวลาตั้งแต่ซักรหัสตัวอย่างสัญญาณแอนะล็อกจนถึงเวลาที่เสร็จสิ้นกระบวนการแปลงสัญญาณแอนะล็อก

จากการตรวจสอบในคู่มือการใช้งานของตัวประมวลผลสัญญาณดิจิทัลพบว่า เวลาตั้งแต่ซักรหัสตัวอย่างสัญญาณแอนะล็อกจนถึงเวลาที่เสร็จสิ้นการแปลงสัญญาณแอนะล็อก ตัวประมวลผลสัญญาณดิจิทัลใช้จำนวนสัญญาณนาฬิกาของตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลทั้งสิ้น 16 cycles ดังแสดงในรูปที่ ข-1



รูปที่ ข-1 เวลาในกระบวนการแปลงสัญญาณแอนะล็อก [15]

สามารถคำนวณเวลาใน 16 cycles ได้ดังนี้

$$T_{AD} = \frac{1}{f_{AD}} \quad (\text{ช-1})$$

โดยที่

f_{AD} คือ ความถี่สัญญาณนาฬิกาของตัวแปลงสัญญาณแอนะล็อก เป็นดิจิทัล มีหน่วยเป็น เฮิรตซ์ (Hz)

T_{AD} คือ คาบเวลาของสัญญาณนาฬิกาของตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัล มีหน่วยเป็น วินาที

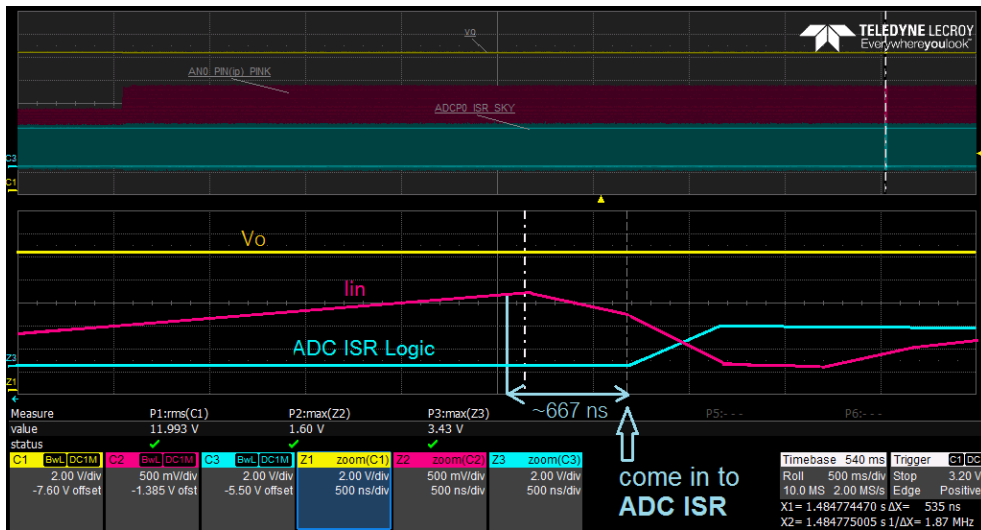
การออกแบบความถี่สัญญาณนาฬิกาสำหรับการทำงานของตัวประมวลผลสัญญาณดิจิทัลได้ใช้ความถี่สัญญาณนาฬิกาของตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลเท่ากับ 23.97 MHz

ดังนั้นเวลาตั้งแต่ซีกตัวอย่างสัญญาณแอนะล็อกจนถึงเวลาที่เสร็จสิ้นการแปลงสัญญาณแอนะล็อกมีค่าเท่ากับ

$$16T_{AD} = \frac{16}{23.97\text{MHz}}$$

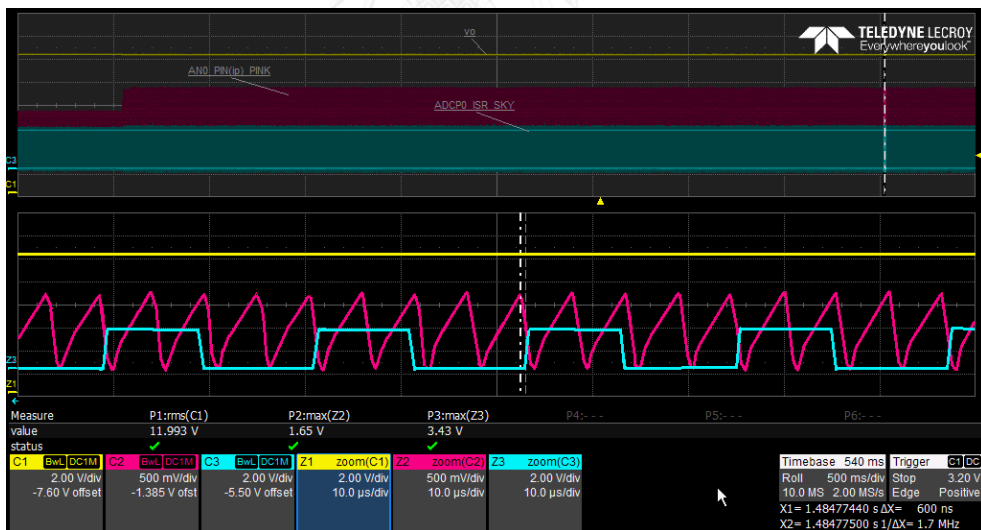
$$16T_{AD} = 667.5 \text{ ns} \quad (\text{ช-2})$$

เมื่อมองย้อนจากจุดเวลา ณ. ขณะที่ตัวประมวลผลเริ่มเข้าสู่ฟังก์ชัน ADC ISR กลับไป นาน $16T_{AD}$ ก็พบว่าขณะนั้นกระแสด้านเข้าเริ่มเข้าสู่ค่ายอด ดังแสดงในรูปที่ ช-2



รูปที่ ข-2 การตรวจสอบการซั้กตัวอย่างสัญญาณค่ายอดของกระแสด้านเข้า

อีกทั้งเมื่อปรับมุมมองสัญญาณให้กว้างขึ้นก็พบว่า สัญญาณ ADC ISR logic เกิดขึ้นอย่างประสาน (synchronization) กับกระแสด้านเข้าในทุก ๆ คาบเวลา ดังรูปที่ ข-3 และ ข-4



รูปที่ ข-3 การตรวจสอบการซั้กตัวอย่างสัญญาณค่ายอดของกระแสด้านเข้า (10 μ s/div)

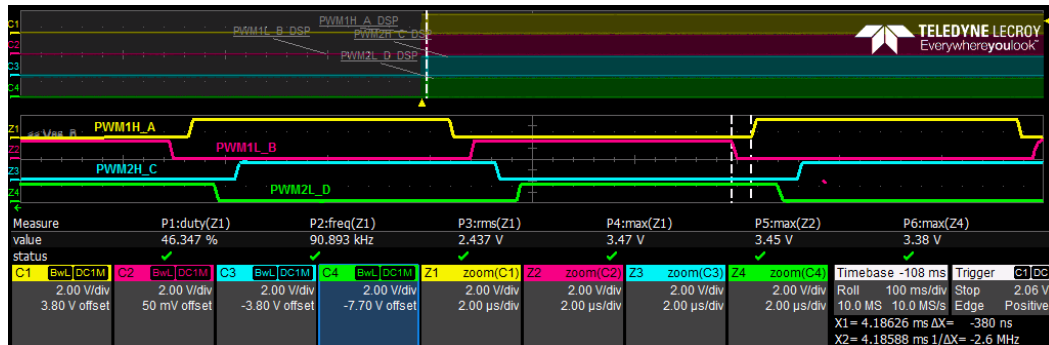


รูปที่ ๓-4 การตรวจสอบการซีกตัวอย่างสัญญาณค่ายอดของกระแสด้านเข้า (20 μ s/div)



ภาคผนวก ซ

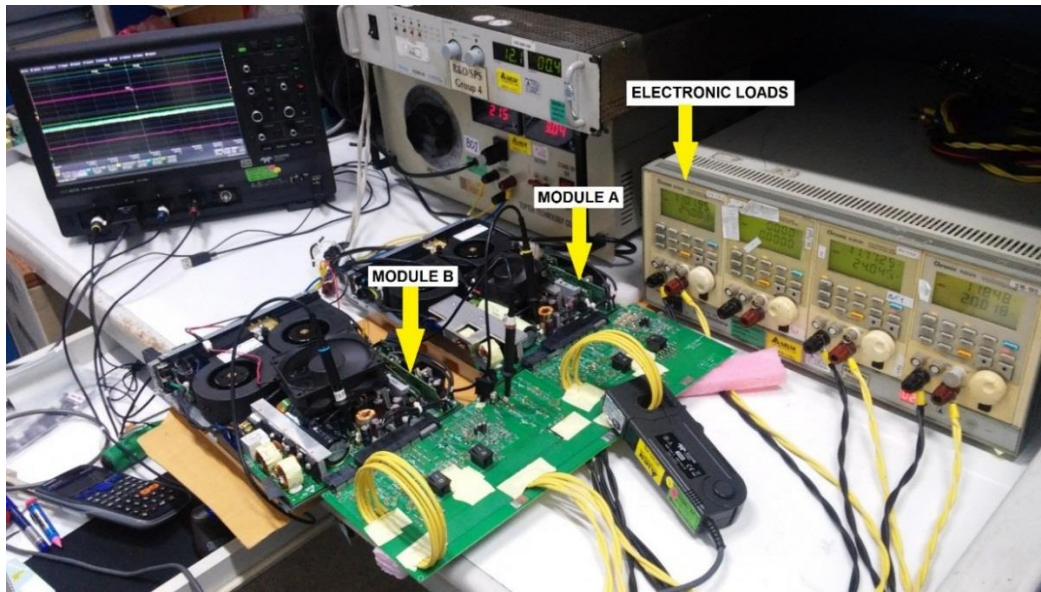
รูปสัญญาณขับเคลื่อนของวงจรแปลงผันเต็มบริดจ์แบบเลือนเฟส



รูปที่ ซ-1 รูปสัญญาณขับเคลื่อนของวงจรแปลงผันเต็มบริดจ์แบบเลือนเฟส



ภาคผนวก ฅ
รูปการทดสอบการควบคุมคุณภาพโหลด



รูปที่ ฅ-1 รูปการทดสอบการควบคุมคุณภาพโหลด

ประวัติผู้เขียนวิทยานิพนธ์

นายกฤติพันธุ์ พรปิยศิริ เกิดเมื่อวันที่ 1 เมษายน พ.ศ. 2526 ที่จังหวัดนนทบุรี สำเร็จ การศึกษาระดับปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมไฟฟ้า แขนงไฟฟ้ากำลัง จาก สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ ในปีการศึกษา 2547 ต่อจากนั้นได้เข้าทำงานที่ บริษัทเดลต้า ฯ ในตำแหน่งวิศวกรออกแบบวงจรไฟฟ้า จนปี พ.ศ. 2555 ได้เข้าศึกษาต่อใน ระดับปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า กลุ่มวิจัยระบบฝังตัวและ วงจรรวม คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

