

การทดสอบข้อผิดพลาดของความหวังสำหรับวงจรเชิงผสมแบบอสมการที่ไม่ไวต่อความหวังชนิดปรับ  
มาตราส่วนได้โดยแผนภาพตัดสินใจแบบทวิภาค



นายคณัย สุขจินดาเสถียร

สถาบันวิทยบริการ

จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมคอมพิวเตอร์ ภาควิชาวิศวกรรมคอมพิวเตอร์

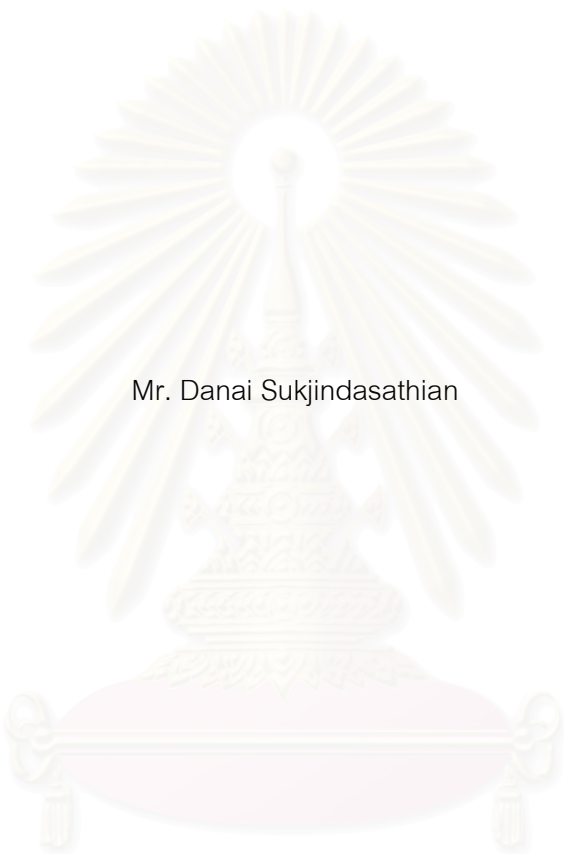
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย

ปีการศึกษา 2546

ISBN 974-17-4753-5

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

DELAY FAULT TESTING FOR SCALABLE-DELAY-INSENSITIVE ASYNCHRONOUS COMBINATIONAL  
CIRCUITS BY BINARY DECISION DIAGRAM



Mr. Danai Sukjindasathian

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements  
for the Degree of Master of Engineering in Computer Engineering

Department of Computer Engineering

Faculty of Engineering

Chulalongkorn University

Academic Year 2003

ISBN 974-17-4753-5

หัวข้อวิทยานิพนธ์	การทดสอบข้อผิดพลาดของความหวังสำหรับวงจรเชิงผสมแบบ อสมการที่ไม่ไวต่อความหวังชนิดปรับมาตราส่วนได้โดยแผนภาพ ตัดสิ้นใจแบบทวิภาค
โดย	นายदनัย สุขจินดาเสถียร
สาขาวิชา	วิศวกรรมคอมพิวเตอร์
อาจารย์ที่ปรึกษา	อาจารย์ ดร.อาทิตย์ ทองทักษ์

---

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้วิทยานิพนธ์ฉบับนี้เป็นส่วน  
หนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์  
(ศาสตราจารย์ ดร.ดิเรก ลาวัณย์ศิริ)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ  
(รองศาสตราจารย์ ดร. สาทิต วงศ์ประทีป)

..... อาจารย์ที่ปรึกษา  
(อาจารย์ ดร. อาทิตย์ ทองทักษ์)

..... กรรมการ  
(รองศาสตราจารย์ ดร. ประภาส จงสถิตย์วัฒนา)

..... กรรมการ  
(นายชำนาญ ปัญญาใส)



# # 4470307721 : MAJOR COMPUTER ENGINEERING

KEY WORD: BINARY DECISION DIAGRAM / DELAY FAULT TESTING /

ASYNCHRONOUS CIRCUIT / SCALABLE-DELAY-INSENSITIVE MODEL / PATH DELAY  
FAULT TESTING

DANAI SUKJINDASATHIAN : DELAY FAULT TESTING FOR SCALABLE-DELAY-  
INSENSITIVE ASYNCHRONOUS COMBINATIONAL CIRCUITS BY BINARY  
DECISION DIAGRAM. THESIS ADVISOR: ARTHIT THONGTAK, D.Eng., 96 pp.  
ISBN 974-17-4753-5.

Since asynchronous circuits do not use global clock which differ from synchronous ones, so the circuits may not operate correctly without timing assumption. Hence, delay testing in asynchronous circuits is necessary. In this thesis, two approaches for delay testing of Scalable-Delay-Insensitive asynchronous combinational circuits, using Reduced-Ordered-Binary Decision Diagram (ROBDD) by the vector pair are proposed. One is a functional delay testing whose tested circuits based on timing assumption of asynchronous combinational circuits. Another one is a path delay testing based on circuit structure. The test generation for path delay testing generated can be divided into two parts according to the type of the circuits -- Dual-rail circuits and acknowledgement circuits. This thesis shows that the circuits implemented using ROBDD; the test can be directly generated from ROBDD. Thus, circuit design and test generation can be done simultaneously. Moreover, the thesis also proposes that the results of path delay test can be used to reduce the selected wires for constructing acknowledgement circuits.

Department...Computer Engineering... Student's signature.....

Field of study...Computer Engineering... Advisor's signature.....

Academic year .....2003..... Co-advisor's signature.....-

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี จากความกรุณาอย่างยิ่งของอาจารย์ ดร. อาทิตย์ ทองทักษ์ อาจารย์ที่ปรึกษาวิทยานิพนธ์ ซึ่งได้สละเวลาให้แนวคิด และคำแนะนำ ต่างๆที่เป็นประโยชน์ต่อการทำวิทยานิพนธ์อย่างต่อเนื่อง รวมทั้ง รองศาสตราจารย์ ดร. สาทิต วงศ์ ประทีป และรองศาสตราจารย์ ดร. ประภาส จงสฤษดิ์วัฒน์ ที่กรุณาช่วยตรวจสอบวิทยานิพนธ์ให้ มีความถูกต้อง

ขอขอบคุณ นางสาวปัญจมา เรืองสินทรัพย์ นายชินนทร์ มหารักษ์ นายตะวัน ภู รัตน์ และ นางสาว เบญจวรรณ ตระบันพุกษ์ ที่ให้คำแนะนำเกี่ยวกับทฤษฎีเบื้องต้นต่างๆ

ขอขอบคุณ นายชำนาญ ปัญญาใส ที่ให้คำแนะนำในการใช้โปรแกรม

ขอขอบคุณ เพื่อนนิสิตปริญญาโททุกคน ที่ได้คอยช่วยเหลือการทำวิจัยแก่ผู้วิจัย มาโดยตลอด

สุดท้ายนี้ ผู้วิจัยขอกราบขอบพระคุณทุกคนในครอบครัว ที่สนับสนุน ห่วงใย และ ให้กำลังใจเสมอมา

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย .....	ง
บทคัดย่อภาษาอังกฤษ.....	จ
กิตติกรรมประกาศ.....	ฉ
สารบัญ .....	ช
สารบัญภาพ.....	ญ
สารบัญตาราง.....	ฎ
บทที่	
1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา .....	1
1.2 วัตถุประสงค์ของวิทยานิพนธ์.....	3
1.3 ขอบเขตวิทยานิพนธ์ .....	3
1.4 ประโยชน์ที่ได้รับ.....	3
1.5 ขั้นตอนดำเนินวิทยานิพนธ์ .....	3
1.6 ลำดับขั้นตอนในการเสนอผลวิทยานิพนธ์.....	4
1.7 ผลงานที่ตีพิมพ์จากวิทยานิพนธ์.....	4
2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง .....	5
2.1 วงจรเชิงผสมแบบอสมวาร.....	5
2.2 แบบจำลองความหวัง .....	7
2.2.1 แบบจำลองความหวังแบบไม่ไวต่อความหวัง .....	8
2.2.2 แบบจำลองความหวังที่ไม่ไวต่อความหวังชนิดเสริม.....	8
2.2.3 แบบจำลองความหวังที่ไม่ไวต่อความหวังชนิดปรับมาตราส่วนได้.....	9
2.3 แผนภาพตัดสินใจแบบทวิภาค .....	10
2.4 การออกแบบวงจรรางคู่โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอน อันดับ .....	14
2.5 การออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไว ต่อความหวังชนิดปรับมาตราส่วนได้ .....	15
2.6 การสร้างและออกแบบวงจรอสมวารโดยใช้เอฟพีจีเอ.....	16

บทที่	หน้า
2.7 การทดสอบข้อผิดพลาดความหน่วงเส้นทาง .....	17
2.8 งานวิจัยที่เกี่ยวข้อง .....	18
3 การทดสอบข้อผิดพลาดของความหน่วงสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อ ความหน่วงชนิดปรับมาตราส่วนได้ .....	21
3.1 การทดสอบข้อผิดพลาดความหน่วงในการทำงานสำหรับวงจรเชิงผสมแบบอสมวาร ..	21
3.1.1 ลักษณะการทำงานของวงจรเชิงผสมแบบอสมวารที่สร้างจากแผนภาพตัดสินใจ แบบทวิภาคชนิดมีการลดทอนอันดับ .....	22
3.1.2 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงานสำหรับวงจรเชิง ผสมแบบอสมวารโดยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ ..	26
3.2 การทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรเชิงผสมแบบอสมวารที่ ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ .....	29
3.2.1 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางโดยแผนภาพตัดสินใจ แบบทวิภาคชนิดมีการลดทอนอันดับสำหรับวงจรวงคู่ .....	29
3.2.1.1 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางทั้งหมด ของวงจรวงคู่ .....	30
3.2.1.2 การลดคู่ปริมาณเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทาง สำหรับวงจรวงคู่ .....	33
3.2.1.2.1 การรวมการทดสอบระหว่างแผนภาพตัดสินใจแบบทวิภาค ชนิดมีการลดทอนอันดับ .....	33
3.2.1.2.2 การรวมการทดสอบภายในแผนภาพตัดสินใจแบบทวิภาค ชนิดมีการลดทอนอันดับเดียวกัน .....	35
3.2.2 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางโดยแผนภาพตัดสินใจ แบบทวิภาคสำหรับวงจรตอบรับ .....	40
3.3 การสร้างเวกเตอร์ทดสอบสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วง ชนิดเสมือน .....	48
3.4 การประเมินการทดสอบ .....	56



บทที่	หน้า
4 การปรับปรุงวงจรตอบรับ.....	59
4.1 ลักษณะการทำงานของวงจรตอบรับ.....	59
4.2 การปรับปรุงวงจรตอบรับเพื่อลดปริมาณสายสัญญาณ.....	62
4.3 การปรับปรุงวงจรตอบรับในกรณีที่เกิดข้อผิดพลาดความหน่วง.....	63
5 การทดลอง .....	65
5.1 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงานสำหรับวงจรเชิงผสม แบบอสมวาร .....	65
5.2 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทาง .....	67
5.2.1 ส่วนวงจรรางคู่.....	67
5.2.2 ส่วนวงจรตอบรับ .....	68
5.3 การเปรียบเทียบผลของวงจรหลังการปรับปรุง.....	69
6 สรุปผลและข้อเสนอแนะ.....	74
6.1 สรุปผล .....	74
6.2 ข้อเสนอแนะ.....	75
รายการอ้างอิง.....	77
ภาคผนวก.....	80
ก. รูปแบบแฟ้มข้อมูลนำเข้าของวงจรเปรียบเทียบสมรรถนะ .....	81
ข. การสร้างแผนภาพตัดสินใจแบบทวิภาคโดยเทคนิคการเรียนรู้ต้นไม้ตัดสินใจ .....	83
ค. ศัพท์เทคนิคที่ใช้ในวิทยานิพนธ์.....	85
ง. ผลงานที่ตีพิมพ์จากวิทยานิพนธ์ .....	89
ประวัติผู้เขียนวิทยานิพนธ์ .....	96

## สารบัญญภาพ

ภาพประกอบ	หน้า
2.1 โครงสร้างวงจรแบบอสมวาร .....	6
2.2 ลักษณะการเปลี่ยนระดับสัญญาณของวงจรวงคู่แบบอสมวารในการทำงาน แบบสองขั้วกลับสู่ศูนย์ .....	6
2.3 การออกแบบวงจรตามแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วง เมื่อกำหนดให้การเปลี่ยนแปลงระดับสัญญาณ t1 เกิดก่อน t2 .....	8
2.4 การออกแบบวงจรตามแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดเสมียน เมื่อกำหนดให้การเปลี่ยนแปลงระดับสัญญาณ t1 เกิดก่อน t2 .....	8
2.5 แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ เมื่อกำหนดให้การเปลี่ยนแปลงระดับสัญญาณ t1 เกิดก่อน t2 .....	9
2.6 แผนภาพตัดสินใจแบบทวิภาค .....	11
2.7 ตัวอย่างการสร้างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับของฟังก์ชัน $F = AB + AB'C + A'BC$ .....	12
2.8 แผนภาพตัดสินใจแบบทวิภาค ฟังก์ชัน $F = X_1Y_1 + X_2Y_2 + X_3Y_3$ .....	13
2.9 การออกแบบวงจรวงคู่โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอน อันดับ .....	14
2.10 วงจรวงคู่ของฟังก์ชัน $F = AB + AB'C + A'BC$ และการจำลองการทำงาน .....	14
2.11 การจัดเรียงเกตออร์ในวงจรตอบรับ .....	16
2.12 ขั้นตอนการออกแบบเฟฟฟี่เอสำหรับวงจรเชิงผสมแบบอสมวาร .....	17
2.13 การทดสอบข้อผิดพลาดความหน่วงเส้นทางแบบโรบัสของเกตแอนด์ สำหรับการเปลี่ยนแปลงระดับสัญญาณขาขึ้น .....	17
3.1 แผนผังของการทดสอบ .....	21
3.2 วงจรวงคู่ของฟังก์ชัน $F = AB + AB'C + A'BC$ เมื่อกำหนดอินพุตเป็น ABC เป็น 000 .....	23
3.3 การเปลี่ยนแปลงระดับสัญญาณของอินพุต ABC: 000 สำหรับวงจรเชิงผสมแบบ อสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ของฟังก์ชัน $AB+AB'C+A'BC$ ...	25
3.4 ค่าความหน่วงประมาณสัมพัทธ์ของตัวอย่างเส้นทางต่อเชื่อมเกตแอนด์ในวงจรวงคู่ ..	26
3.5 เส้นทางด้านบนสำหรับบัพ C ของวงจรวงคู่ของฟังก์ชัน $F = AB + AB'C + A'BC$ .....	32

ภาพประกอบ	หน้า
3.6 แผนภาพตัดสัจใจแบบทวิภาคของฟังก์ชัน $F = AC' + A'B + A'BC$ และ $F = AB + AB'C + A'BC$ .....	34
3.7 แผนภาพตัดสัจใจแบบทวิภาคชนิดมีการลดทอนอันดับ และวงจรรางคู่ของ $xor5 (F = A \oplus B \oplus C \oplus D \oplus E)$ .....	38
3.8 วงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ของ ฟังก์ชัน $F = AB + AB'C + A'BC$ .....	47
3.9 วงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดเสมือนของฟังก์ชัน $F = AB + AB'C + A'BC$ .....	56
3.10 การเปรียบเทียบค่าความหน่วงระหว่างเส้นทาง .....	58
4.1 การเลือกตั้งสองสายสัญญาณในเส้นทางการเปลี่ยนแปลงระดับสัญญาณของ เส้นทางต่อเชื่อมเกตแอนด์เดียวกันในแผนภาพตัดสัจใจแบบทวิภาค .....	59
4.2 ขั้นตอนการปรับปรุงวงจรตอบรับ .....	63

## สารบัญตาราง

ตาราง	หน้า
2.1	ค่ารหัสวางคู่ในสาย (X,X') ที่ใช้แทนค่าตรรกะในบิต X.....5
2.2	ตารางความจริงของฟังก์ชัน $F = AB + AB'C + A'BC$ ..... 12
2.3	เงื่อนไขของการทดสอบแบบโรบัสต์ ..... 18
5.1	ปริมาณเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงาน ..... 66
5.2	ปริมาณเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรวางคู่..... 67
5.3	ปริมาณเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรตอบรับ..... 69
5.4	ผลการเปรียบเทียบวงจรตอบรับที่ได้รับการปรับปรุง ..... 71



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

การออกแบบวงจรสมวาร (Synchronous Circuits) เป็นแนวทางที่นิยมกันมาตั้งแต่อดีตจนถึงปัจจุบัน แต่ก่อให้เกิดปัญหาต่าง ๆ [1] เช่น ปัญหาการแกว่งของสัญญาณนาฬิกา (Clock Skew) คือ ความแตกต่างของสัญญาณนาฬิกาในแต่ละส่วนของระบบ เนื่องจากความหน่วงในเกตและสายสัญญาณภายในวงจร ทำให้สัญญาณนาฬิกาในแต่ละจุดของระบบไม่เท่ากัน, ปัญหาการทำงานที่ช้าที่สุด (Worst-Case Delay Operation) เนื่องจากวงจรสมวารต้องรอทุกการคำนวณที่เป็นไปได้, ปัญหาของการออกแบบมอดูลาร์ (Modular Design) เนื่องจากการออกแบบวงจรสมวารนั้นสัมพันธ์กับความถี่ของสัญญาณนาฬิกาและปัญหาการสิ้นเปลืองพลังงาน (Power Dissipation) เนื่องจากการใช้พลังงานของวงจรสมวารเป็นส่วนสำคัญโดยตรงกับความถี่สัญญาณนาฬิกา

ปัญหาดังกล่าวทำให้เกิดแนวคิดในการออกแบบวงจรอสมวาร (Asynchronous Circuits) ขึ้น เนื่องจากวงจรอสมวารไม่ใช้สัญญาณนาฬิกาในการควบคุมการทำงาน ดังนั้นวงจรอสมวารจึงไม่เกิดปัญหาการแกว่งของสัญญาณนาฬิกา เวลาในการทำงานเป็นเวลาเฉลี่ย นอกจากนี้วงจรมีความยืดหยุ่นในการออกแบบทนทานต่อสภาพแวดล้อมและประหยัดพลังงาน

ปัญหาในการออกแบบวงจรอสมวารคือ ออกแบบได้ยากและมีความซับซ้อนสูง เนื่องจากไม่ใช้สัญญาณนาฬิกาในการควบคุมการทำงานจึงจำเป็นต้องมีวงจรเพิ่มเติมเพื่อตรวจสอบความถูกต้องของสัญญาณในทุกขณะการทำงาน โดยต้องใช้แบบจำลองสิ่งแวดล้อม (Environment Operation Model) และแบบจำลองความหน่วง (Delay Model) ที่เหมาะสมเพื่อให้วงจรอสมวารที่ได้จากการสังเคราะห์ (Synthesis) สามารถทำงานได้อย่างถูกต้อง ค่าความหน่วงภายในวงจรต้องสอดคล้องกับข้อกำหนดความหน่วงที่ได้กำหนดไว้จึงมีความจำเป็นต้องทำการทดสอบค่าความหน่วงของวงจร การทดสอบโดยวิธีการจำลองการทำงานเป็นการทดสอบโดยสร้างเวกเตอร์ทดสอบ (Test Vector) ซึ่งได้มาจากการพิจารณาคุณลักษณะของวงจร และนำเวกเตอร์ทดสอบนี้ไปเป็นอินพุต (Input) เพื่อจำลองพฤติกรรมของวงจร และตรวจสอบความถูกต้องของเอาต์พุต (Output) ในการทดสอบวงจรมันนั้นต้องสามารถตรวจสอบความผิดพลาดทั้งหมดทุกกรณีที่เป็นไปได้ แต่ในความเป็นจริงแล้วการทดสอบเพื่อให้หาความผิดพลาดได้ครอบคลุมทุกกรณีนั้นเป็นไปได้ยาก เพราะวงจรอสมวารไม่มีสัญญาณนาฬิกาและมักมีขนาด

ใหญ่ทำให้ความสามารถในการควบคุมและการสังเกตได้ (Controllability and Observability) ของวงจรลดลง

การทดสอบวงจรผสมรวมทำได้ยุ่งยาก เนื่องจากการตรวจสอบข้อผิดพลาด ความหน่วงนั้นเป็นการตรวจสอบความสอดคล้องของค่าความหน่วงของวงจรกับข้อกำหนด ความหน่วงที่ได้กำหนดไว้ วงจรผสมรวมมีข้อผิดพลาดความหน่วงก็ต่อเมื่อความหน่วงของวงจรไม่ ตรงตามข้อกำหนดความหน่วงที่ได้ประมาณไว้ โดยวิทยานิพนธ์เลือกทดสอบวงจรเชิงผสมแบบ อสมวาร (Asynchronous Combinational Circuits) ที่ส่วนวงจรตอบรับออกแบบตามแบบจำลอง ความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ (Scalable-Delay-Insensitive Model: SDI Model) [2] [3] โดยวงจรรางคู่ (Dual-Rail Circuits) ที่มีการสร้างด้วยแผนภาพตัดสินใจแบบ ทวิภาคชนิดมีการลดทอนอันดับ (Reduced-Ordered-Binary Decision Diagram :ROBDD) [4] และออกแบบวงจรตอบรับ โดยวิธีการออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสม แบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ [5] และพัฒนาเพื่อให้ออกแบบสร้าง วงจรเชิงผสมแบบอสมวารบนเอฟพีจีเอ (FPGA) [6] เป็นแนวทางในการออกแบบวงจรอสมวาร เพื่อทำการทดสอบ เนื่องจากวงจรตอบรับออกแบบโดยใช้แบบจำลองความหน่วงที่ไม่ไวต่อ ความหน่วงชนิดปรับมาตราส่วนได้ เป็นแบบจำลองที่ได้มีการพัฒนาขึ้นโดยการประมาณ ความหน่วงทำให้สามารถออกแบบวงจรส่วนตอบรับให้มีขนาดเล็กและมีประสิทธิภาพมากขึ้น การออกแบบวงจรเชิงผสมแบบอสมวารโดยใช้แผนภาพตัดสินใจแบบทวิภาคนั้นการออกแบบวงจร ส่วนตอบรับ (Acknowledgement Circuits) ทำได้ง่าย ทั้งยังสามารถสร้างเวกเตอร์ทดสอบ ข้อผิดพลาดความหน่วงได้จากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่ใช้ในการ ออกแบบได้โดยตรง จึงสามารถสร้างเวกเตอร์ทดสอบพร้อม ๆ กับการออกแบบได้ ดังนั้น วิทยานิพนธ์นี้มุ่งทดสอบวงจรอสมวารที่สร้างโดยวิธีดังกล่าว

การทดสอบข้อผิดพลาดความหน่วงของวงจรสามารถทดสอบจากการทดสอบ ข้อผิดพลาดความหน่วงในการทำงานและทดสอบข้อผิดพลาดความหน่วงเส้นทาง (Path Delay Fault: PDF) จากผลการทดสอบ พบว่าการเลือกดึงสายสัญญาณบางเส้นไม่มีผลต่อการ เปลี่ยนแปลงในการทำงาน จึงนำผลจากการทดสอบนั้นสามารถนำมาปรับปรุงการสร้างวงจรตอบ รับให้มีประสิทธิภาพมากขึ้น วิทยานิพนธ์นี้เสนอวิธีการตรวจสอบข้อผิดพลาดความหน่วงเส้นทาง เพื่อตรวจสอบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับค่าได้ที่มีการสร้างโดยใช้ แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ และนำผลการทดสอบนำมาปรับปรุงวงจร ส่วนตอบรับให้มีประสิทธิภาพมากขึ้น

## 1.2 วัตถุประสงค์ของวิทยานิพนธ์

1. เพื่อพัฒนาขั้นตอนวิธีการทดสอบข้อผิดพลาดของความหน่วงสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้
2. เพื่อพัฒนาปรับปรุงลดขนาดวงจรส่วนต่อรับ

## 1.3 ขอบเขตวิทยานิพนธ์

1. พัฒนาโปรแกรมเพื่อทำการทดสอบวงจรเชิงผสมแบบอสมวารที่มีการสร้างโดยใช้แผนภาพตัดสลับแบบทวิภาคชนิดมีการลดทอนอันดับเท่านั้น
2. ในการทดสอบข้อผิดพลาดของความหน่วงนั้น ทดสอบโดยการจำลองการทำงานจากวงจรระดับสังเคราะห์บนเอพพีจีเอ
3. ใช้วงจรเปรียบเทียบสมรรถนะ(Benchmark Circuits) ของ MCNC [7] เป็นกรณีศึกษา

## 1.4 ประโยชน์ที่ได้รับ

1. เป็นแนวทางในการทดสอบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้
2. เป็นแนวทางช่วยเหลือในการออกแบบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้
3. เป็นแนวทางในการปรับปรุงวงจรถูกส่วนต่อรับของวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้

## 1.5 ขั้นตอนดำเนินวิทยานิพนธ์

1. ศึกษาการสร้างวงจรถูกสมวารจากแผนภาพตัดสลับแบบทวิภาค
2. ศึกษาแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้
3. ศึกษาขั้นตอนวิธีการทดสอบหาข้อผิดพลาดของความหน่วงเส้นทาง
4. ออกแบบวิธีการทดสอบหาข้อผิดพลาดความหน่วงสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ และสร้างจากแผนภาพตัดสลับแบบทวิภาคชนิดมีการลดทอนอันดับ
5. ออกแบบวิธีการปรับปรุงวงจรถูกส่วนต่อรับ
6. จำลองและทดสอบการทำงาน
7. จัดทำวิทยานิพนธ์

## 1.6 ลำดับขั้นตอนในการเสนอผลวิทยานิพนธ์

วิทยานิพนธ์นี้แบ่งเนื้อหาออกเป็น 6 บท คือ บทที่ 1 เป็นบทนำซึ่งกล่าวถึงความ เป็นมาและความสำคัญของปัญหา ตลอดจนวัตถุประสงค์ของวิทยานิพนธ์ บทที่ 2 เป็นการสรุป แนวคิดและเนื้อหาที่เกี่ยวข้องกับวิทยานิพนธ์ บทที่ 3 นำเสนอการทดสอบข้อผิดพลาดของ ความห่วงสำหรับวงจรเชิงผสมแบบบอสมวารที่ไม่ไวต่อความห่วงชนิดปรับมาตราส่วนได้ บทที่ 4 เสนอแนวทางการปรับปรุงวงจรตอบรับ บทที่ 5 นำเสนอผลการทดลองของการสร้างเวกเตอร์ ทดสอบและผลการเปรียบเทียบระหว่างวงจรตอบรับที่ได้รับการปรับปรุงกับวงจรตอบรับเดิม และ บทที่ 6 เป็นการสรุปผลการวิจัยและข้อเสนอแนะ

## 1.7 ผลงานที่ตีพิมพ์จากวิทยานิพนธ์

ส่วนหนึ่งของงานวิทยานิพนธ์นี้ได้ตีพิมพ์เป็นบทความทางวิชาการ ในหัวข้อ “Delay Test Generation for Asynchronous Combinational Circuits by Binary Decision Diagram” โดย ดนัย สุขจินดาเสถียร และ อาทิตย์ ทองทักษ์ ในงานประชุมวิชาการ “The 4th Information and Computer Engineering Postgraduate Workshop 2004 (ICEP 2004)” ซึ่งจัด โดย ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์ ณ มหาวิทยาลัยสงขลานครินทร์ วิทยาเขตภูเก็ต ในวันที่ 22-23 มกราคม 2547

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย



## บทที่ 2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

ในบทนี้กล่าวถึงทฤษฎีต่าง ๆ ที่เกี่ยวข้องกับวิทยานิพนธ์ ได้แก่ วงจรเชิงผสมแบบอสมวาร, แบบจำลองความหน่วง, แผนภาพตัดสินใจแบบทวิภาค (Binary Decision Diagram: BDD), การออกแบบวงจรรางคู่โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ, การออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้, การออกแบบวงจรอสมวารโดยใช้เอฟพีจีเอ, การทดสอบข้อผิดพลาดความหน่วงเส้นทาง และงานวิจัยที่เกี่ยวข้อง

### 2.1 วงจรเชิงผสมแบบอสมวาร

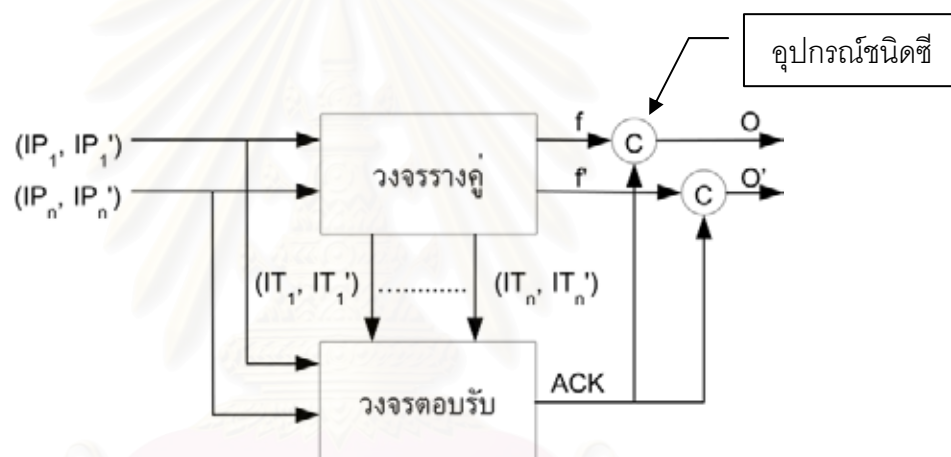
การออกแบบวงจรเชิงผสมแบบอสมวารนิยมใช้รหัสรางคู่ (Dual-Rail Codeword / 2-Rail Codeword) [4] เพราะสามารถใช้ส่งค่าระดับสัญญาณเพื่อแบ่งรอบการทำงานได้ ให้สัญญาณใดๆ ในวงจรสมวารแทนด้วย X เมื่อออกแบบเป็นวงจรรางคู่ โดยทั่วไปแล้วต้องเพิ่มค่าตรงข้ามหรือค่าส่วนเติมเต็ม (Complement) ของ X ด้วย คือ X' เรียกว่ารหัสรางคู่ เขียนแทนด้วย (X, X') โดยรหัสรางคู่แทนค่าตรรกะดังตารางที่ 2.1

ตารางที่ 2.1 ค่ารหัสรางคู่ในสาย (X,X') ที่ใช้แทนค่าตรรกะในบิต X

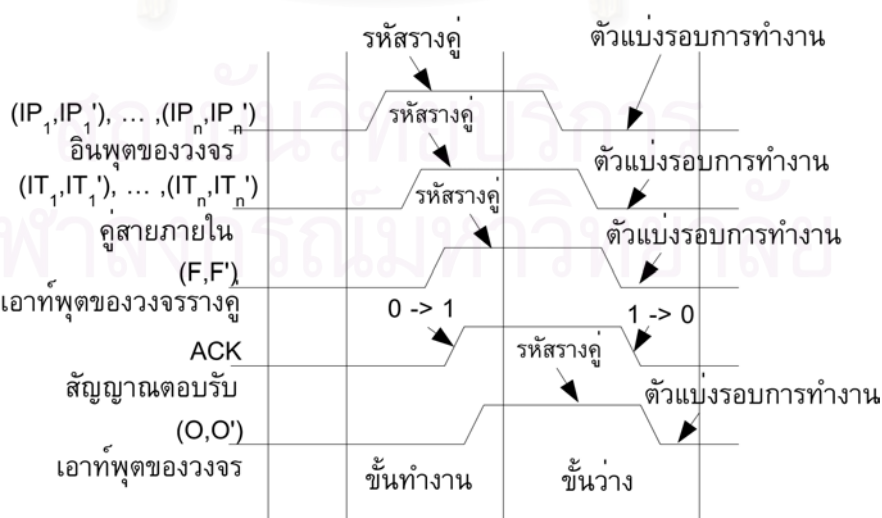
ค่ารหัสรางคู่ในสาย (X,X')	ความหมาย
(0,1)	ค่าตรรกะ 0
(1,0)	ค่าตรรกะ 1
(0,0)	ค่าแบ่งรอบการทำงาน (Spacer)
(1,1)	ไม่ใช้

ในชั้นทำงานสัญญาณมีค่าเป็น (0,1) หรือ (1,0) แต่ในชั้นว่างมีค่า (0,0) ซึ่งเป็นค่าแบ่งรอบการทำงานทำให้สามารถแบ่งรอบการทำงานได้ โดยแบ่งเป็น ชั้นทำงาน (Working Phase) และชั้นว่าง (Idle Phase) ซึ่งวงจรมีทำงานเป็นลักษณะเช่นนี้สลับกันไป และเรียกการทำงานในลักษณะนี้ว่า การทำงานรางคู่แบบสองชั้นชนิดกลับสู่ศูนย์ (2-Rail 2-Phase Return-To-Zero Operation)

โครงสร้างของวงจรเชิงผสมแบบอสมวารประกอบด้วยสองส่วนคือ ส่วนวงจรรางคู่ที่คำนวณตามฟังก์ชันตรรกะและส่วนวงจรตอบรับทำหน้าที่ที่ตรวจสอบการเสร็จสิ้นของการเปลี่ยนระดับสัญญาณในวงจรรางคู่ โดยวงจรตอบรับเลือกสายสัญญาณจากส่วนวงจรรางคู่เพื่อสร้างวงจรตอบรับตามแบบจำลองความหน่วงและใช้อุปกรณ์ชนิดซี (C-Element) ทำหน้าที่ตรวจสอบผลลัพธ์จากทั้งสองส่วนเพื่อเป็นเอาต์พุตของวงจร อุปกรณ์ชนิดซีเป็นอุปกรณ์หน่วยเก็บที่มีหน้าที่ตรวจสอบค่าระดับสัญญาณอินพุตว่าตรงกันหรือไม่ หากระดับสัญญาณตรงกันแล้ว ค่าเอาต์พุตของอุปกรณ์ชนิดซีเปลี่ยนเป็นเป็นระดับสัญญาณที่ตรงกัน ไม่เช่นนั้นค่าเอาต์พุตคงค่าเดิม ซึ่งอุปกรณ์ชนิดซีเป็นตัวตรวจสอบสัญญาณไปยังเอาต์พุตของวงจร โครงสร้างของวงจรเชิงผสมแบบอสมวารได้แสดงในรูปที่ 2.1 และแสดงถึงลักษณะการเปลี่ยนระดับสัญญาณในการทำงานดังในรูปที่ 2.2



รูปที่ 2.1 โครงสร้างวงจรแบบอสมวาร



รูปที่ 2.2 ลักษณะการเปลี่ยนระดับสัญญาณของวงจรรางคู่แบบอสมวารในการทำงานแบบสองขั้นกลับสู่ศูนย์

การทำงานของวงจรถึงผสมแบบสมวารประกอบด้วย 2 ขั้นตอนดังต่อไปนี้

ขั้นทำงาน ส่วนวงจรรางคู่เมื่อรับอินพุต  $(IP_1, IP_1'), \dots, (IP_n, IP_n')$  เป็นรหัสสร้างคู่ทำให้คู่สายภายใน  $(IT_1, IT_1'), \dots, (IT_m, IT_m')$  บางเส้นมีการเปลี่ยนระดับสัญญาณจากค่า  $0 \rightarrow 1$  และเปลี่ยนแปลงระดับสัญญาณเอาท์พุต  $(f, f')$  ตามฟังก์ชันที่ออกแบบไว้ ส่วนวงจรสวนตอบรับมีการเปลี่ยนแปลงระดับสัญญาณตอบรับ (Acknowledgement Signal: ACK) หรือสัญญาณแสดงความบริบูรณ์ (Completion Signal) หลังจากการเปลี่ยนระดับสัญญาณในวงจรรางคู่เสร็จสิ้น เพื่อแสดงถึงการทำงานเสร็จสิ้นของวงจรถึงที่อุปกรณ์ชนิดซีเพื่อให้อาเอาท์พุตของวงจรถึง  $(O, O')$

ขั้นว่าง ส่วนวงจรรางคู่รับอินพุตเป็นตัวแบ่งรอบการทำงาน คือค่า  $(0, 0)$  ทำให้ทุกสายภายในวงจรรางคู่ที่มีระดับสัญญาณค่า  $1 \rightarrow 0$  และสัญญาณตอบรับมีการเปลี่ยนแปลงระดับสัญญาณเป็น 0 ด้วย เมื่อวงจรถอบรับสร้างการเปลี่ยนแปลงสัญญาณตอบรับจากค่า  $1 \rightarrow 0$  ไปที่อุปกรณ์ชนิดซีเพื่อแสดงการสิ้นสุดการทำงาน วงจรถึงให้อาเอาท์พุตเป็นค่ารอบการทำงานและพร้อมการทำงานในรอบถัดไป

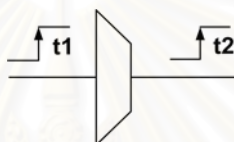
จากลักษณะการทำงานดังกล่าวนี้ การเปลี่ยนแปลงระดับสัญญาณของวงจรถึงมีเพียงการเปลี่ยนระดับสัญญาณจาก  $0 \rightarrow 1$  ในขั้นทำงาน และมีเพียงการเปลี่ยนระดับสัญญาณจาก  $1 \rightarrow 0$  ในขั้นว่างเท่านั้น ไม่มีการเปลี่ยนระดับสัญญาณจาก  $1 \rightarrow 0$  ในขั้นทำงาน และไม่มี การเปลี่ยนระดับสัญญาณจาก  $0 \rightarrow 1$  ในขั้นว่าง เรียกคุณสมบัตินี้ว่า การเปลี่ยนระดับสัญญาณทางเดียว (Monotonic Change) ซึ่งสามารถรับประกันได้ว่าวงจรถึงไม่เกิดฮาร์ด (Hazard)

## 2.2 แบบจำลองความหน่วง

แบบจำลองความหน่วงเป็นการกำหนดลักษณะของความหน่วงของสายสัญญาณและเกต โดยแบ่งเป็น 2 กลุ่มหลัก คือ กลุ่มแบบจำลองความหน่วงแบบที่มีขอบเขตซึ่งประกอบด้วยแบบจำลองความหน่วงชนิดมีขอบเขตเพียงแบบเดียวเป็นแบบจำลองที่ใช้สมมุติฐานว่าทราบความหน่วงของเกตและสายสัญญาณ และแบบจำลองความหน่วงความหน่วงแบบที่ไม่มีขอบเขต ซึ่งประกอบด้วยแบบจำลองหลายแบบ โดยในที่นี้อธิบายเฉพาะแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วง (Delay-Insensitive: DI) [8], แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดเสมือน (Quasi-Delay-Insensitive: QDI) [4] และแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ [2] [3] ซึ่งเกี่ยวข้องกับวิทยานิพนธ์นี้

## 2.2.1 แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วง

แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงเป็นแบบจำลองความหน่วงหลักของกลุ่มแบบจำลองความหน่วงความหน่วงแบบที่ไม่มีขอบเขต ในการออกแบบวงจรระดับเลย์เอาต์ (Layout Circuit Implementation) ไม่กำหนดค่าความหน่วงเกตและความหน่วงสาย แต่เป็นค่าที่อยู่ในขอบเขตหนึ่งที่ไม่ใช่ค่าอนันต์ ดังรูปที่ 2.3 เมื่อกำหนดให้เกิดการเปลี่ยนแปลงระดับสัญญาณ  $t_1$  ก่อนการเปลี่ยนแปลงระดับสัญญาณ  $t_2$  ต้องออกแบบให้สัญญาณ  $t_1$  เป็นอินพุตของเส้นทางส่งผ่าน (Signal Path Propagate) ของ  $t_2$  เท่านั้น การออกแบบวงจรจึงสามารถใช้ได้เพียงเกตผกผัน (NOT Gate) และอุปกรณ์ชนิดซีเท่านั้น

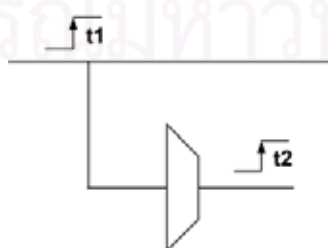


รูปที่ 2.3 การออกแบบวงจรตามแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วง

เมื่อกำหนดให้เกิดการเปลี่ยนแปลงระดับสัญญาณ  $t_1$  เกิดก่อน  $t_2$

## 2.2.2 แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดเสมือน

แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดเสมือนเป็นแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วง ที่กำหนดให้ค่าความหน่วงของกิ่งในสาย (Fork Wire) เทียบเท่ากันตลอดช่วง (Isochronic Fork) การออกแบบวงจรโดยใช้แบบจำลองความหน่วงไม่คำนึงถึงการลำดับการเปลี่ยนแปลงระดับสัญญาณที่ทุกกิ่งของสายซึ่งลดภาระและความซับซ้อนในการออกแบบซึ่งทำให้วงจรง่ายต่อการออกแบบ ดังรูปที่ 2.4 เมื่อกำหนดให้เกิดการเปลี่ยนแปลงระดับสัญญาณ  $t_1$  ก่อนการเปลี่ยนแปลงระดับสัญญาณ  $t_2$  สามารถใช้กิ่งของสายสัญญาณ  $t_1$  เป็นอินพุตของเส้นทางส่งผ่านของ  $t_2$

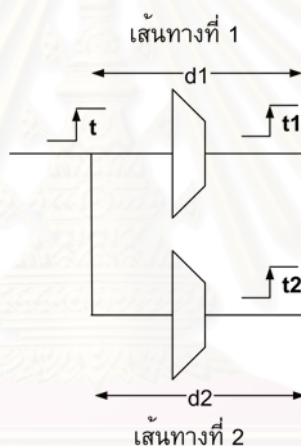


รูปที่ 2.4 การออกแบบวงจรตามแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดเสมือน

เมื่อกำหนดให้เกิดการเปลี่ยนแปลงระดับสัญญาณ  $t_1$  เกิดก่อน  $t_2$

### 2.2.3 แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้

แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ เป็นแบบจำลองที่มีการวิเคราะห์ความแปรปรวนความหน่วงสูงสุด (Maximum Delay Variation Ratio:  $K$ ) เพื่อให้วงจรรางคู่และวงจรตอบรับให้ทำงานควบคู่กันไปได้ภายใต้ความแปรปรวน  $K$  แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ มีการประมาณค่าความหน่วงประมาณสัมพัทธ์ (Estimated Relative Delay:  $D_e$ ) และค่าความหน่วงจริงสัมพัทธ์ (Actual Relative Delay:  $D_a$ ) โดยมีอัตราส่วนความหน่วงสัมพัทธ์ (Relative Delay Ratio:  $R$ ) คืออัตราส่วนระหว่างค่าความหน่วงจริงสัมพัทธ์และความหน่วงประมาณสัมพัทธ์แทนค่าความคลาดเคลื่อนของการประมาณ ซึ่งมีขอบเขตอยู่ภายในค่า  $K$  การทำงานของวงจรจะถูกต้อง ซึ่งช่วยให้วงจรออกแบบได้ง่ายและมีประสิทธิภาพมากขึ้น



รูปที่ 2.5 แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้

เมื่อกำหนดให้การเปลี่ยนแปลงระดับสัญญาณ  $t_1$  เกิดก่อน  $t_2$

จากรูปที่ 2.5 แสดงถึงแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ พิจารณาค่า  $d_1$ ,  $d_2$  คือค่าความหน่วงของเส้นทางที่ 1 และ 2 ในการออกแบบวงจรการแปรผันความหน่วงที่เป็นมาตราส่วนกันอย่างไรในอุดมคตินั้นแทบเป็นไปไม่ได้ เช่น ถ้าการเปลี่ยนระดับสัญญาณ  $t_1$  แปรผันไป 50% มากกว่าที่ประมาณไว้ แล้วการเปลี่ยนระดับสัญญาณ  $t_2$  ก็แปรผันไป 50% มากกว่าที่ประมาณไว้ กล่าวคือการเปลี่ยนระดับสัญญาณแปรผันไปเท่ากันตามการประมาณค่าความหน่วงในออกแบบไว้ วงจรจะทำงานถูกต้อง ในความเป็นจริงแล้วความหน่วงของการเปลี่ยนระดับสัญญาณนั้นแปรผันเป็นไม่เป็นมาตราส่วนเดียวกัน ค่าความหน่วงนั้นไม่เพิ่มขึ้นหรือลดลงอย่างเท่าๆ กัน หากระดับการเปลี่ยนสัญญาณ  $t_1$  แปรผันไป 50% ค่าการเปลี่ยนระดับสัญญาณ  $t_2$  อาจแปรผันไปเป็นค่าอื่นที่ไม่ใช่ 50% ได้ แบบจำลอง

ความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ออกแบบภายใต้เงื่อนไข “ความหน่วงสามารถแปรผันไปเท่าใดก็ได้ แต่แปรผันไปโดยใกล้เคียงกัน” หมายความว่า หากความหน่วงของการเปลี่ยนระดับสัญญาณ  $t_1$  แปรผันไปจากเดิมมากเพียงใด แต่ถ้าความหน่วงของการเปลี่ยนระดับสัญญาณ  $t_2$  แปรผันไปจากเดิม โดยแปรผันเป็นอัตราส่วนกับ  $t_1$  ภายใต้ค่าความแปรปรวนที่กำหนดไว้สามารถรับประกันได้ว่า วงจรทำงานได้ถูกต้อง

การออกแบบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้มีการออกแบบวงจรตามภายใต้ความแปรปรวน  $K$  ตามรูปที่ 2.5 โดยเมื่อกำหนดให้

$D_{1a}, D_{2a}$  คือ ค่าความหน่วงจริงสำหรับเส้นทางที่ 1 และ 2 ตามลำดับ

$D_{1e}, D_{2e}$  คือ ค่าความหน่วงประมาณสำหรับเส้นทางที่ 1 และ 2 ตามลำดับ

$$D_a = D_{1a} / D_{2a} \quad (2.1)$$

$$D_e = D_{1e} / D_{2e} \quad (2.2)$$

$$R = D_a / D_e \quad (2.3)$$

$$(1 / K) < R < K \quad (2.4)$$

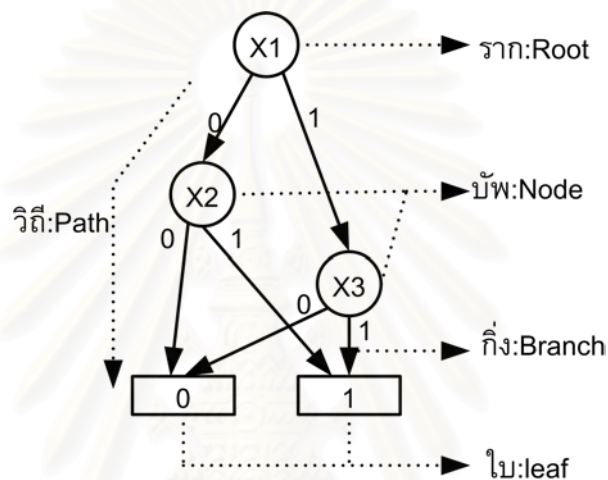
จากสมการที่ 2.4 ถ้าออกแบบวงจร โดยประมาณค่า  $D_{2e}$  ให้มีค่ามากกว่าค่า  $D_{1e}$  อย่างน้อย  $K$  เท่า จะสามารถรับประกันว่า  $D_{1a}$  แปรผันกับ  $D_{2a}$  ภายใต้  $K$  เท่าแล้ว การเปลี่ยนแปลง  $t_2$  เกิดหลัง  $t_1$  ซึ่งการทำงานจะถูกตัด ซึ่งในการออกแบบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้นั้น จะออกแบบโดยให้  $t_1$  เป็นการเปลี่ยนแปลงในวงจรวางคู่ และให้  $t_2$  เป็นการเปลี่ยนแปลงของวงจรตอบรับ

### 2.3 แผนภาพตัดสินใจแบบทวิภาค [9] ~ [11]

แผนภาพตัดสินใจแบบทวิภาคเป็นโครงสร้างข้อมูลแบบกราฟไม่มีวงที่ระบุทิศทาง (Direct Acyclic Graph: DAG) ที่มีประสิทธิภาพในการแทนฟังก์ชันตรรกะโดยมีส่วนประกอบตามรูปที่ 2.6 คือ

1. บัพ (Node / Non-Terminal) แสดงถึงตัวแปรของฟังก์ชันตรรกะ บัพแรกของแผนภาพตัดสินใจเรียกว่าราก (Root)

- กิ่ง (Branch) แสดงถึงค่าของตัวแปร ในแผนภาพตัดสินใจแบบทวิภาคมี 2 กิ่งเสมอ คือกิ่งที่มีค่าตัวแปรเป็น 0 และ 1 บัพที่กิ่งชี้ไปเรียกว่าบัพลูก (Child node)
- ใบ (Leaf / Terminal) แสดงถึงคำตอบของฟังก์ชันตรรกะ ซึ่งค่าที่เป็นไปได้คือ 0 หรือ 1 เท่านั้น
- วิถีหรือเส้นทาง (Path) คือเส้นทางที่เชื่อมต่อกันจากรากถึงใบ
- ขนาด (Size) คือ จำนวนบัพทั้งหมดของแผนภาพตัดสินใจแบบทวิภาค



รูปที่ 2.6 แผนภาพตัดสินใจแบบทวิภาค

แผนภาพตัดสินใจแบบทวิภาคที่มีการกำหนดลำดับของตัวแปร เรียกว่าแผนภาพตัดสินใจแบบทวิภาคชนิดมีอันดับ (Ordered-BDD: OBDD) และแผนภาพตัดสินใจชนิดมีอันดับที่มีการลดขนาดของแผนภาพลงได้เรียกว่า แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ โดยการลดทอนส่วนที่ซ้ำของแผนภาพตัดสินใจแบบทวิภาคตามกฎการลดทอนต่อไปนี้

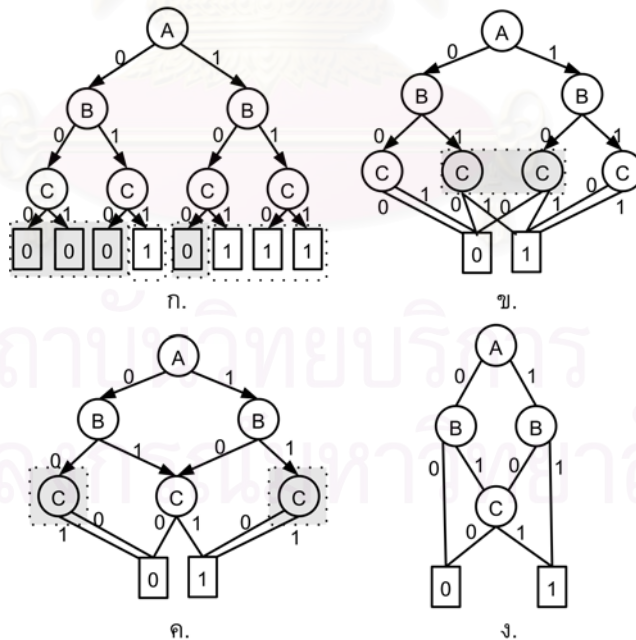
- กำจัดใบที่ซ้ำกัน (Remove duplicate terminals) เป็นการยุบใบที่ซ้ำกันให้เหลือเพียงใบเดียวและเปลี่ยนทิศทางของกิ่งที่เชื่อมต่อกับใบที่ถูกยุบไปเชื่อมต่อกับใบที่เหลือแทน
- กำจัดบัพที่ซ้ำกัน (Remove duplicate non-terminals) เป็นการยุบบัพที่ซ้ำกันให้เหลือเพียงบัพเดียวและเปลี่ยนทิศทางของกิ่งที่เชื่อมต่อกับบัพที่ถูกยุบไปเชื่อมต่อกับบัพที่เหลือ
- กำจัดส่วนที่ซ้ำซ้อน (Remove redundant tests) เป็นการตัดบัพที่กิ่ง 0 และ 1 เชื่อมต่อที่เดียวกันออกและเปลี่ยนทิศทางของกิ่งที่เชื่อมต่อกับบัพนี้กับบัพลูกของบัพที่ถูกลดทอนโดยตรง

จากตัวอย่างฟังก์ชัน  $F = AB + AB'C + A'BC$  สร้างตารางความจริง (Truth Table) ดังตารางที่ 2.2 ซึ่งสามารถสร้างแผนภาพตัดสินใจแบบทวิภาคได้ตามรูปที่ 2.7(ก) และ

ลดทอนส่วนที่ซ้ำซ้อนได้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ โดยการกำจัดใบที่ซ้ำกันจากรูปที่ 2.7(ก) สามารถลดทอนได้เป็นรูปที่ 2.7(ข) ต่อมาทำการกำจัดบัพที่ซ้ำกันจากรูปที่ 2.7(ข) แสดงดังรูปที่ 2.7(ค) และจากรูปที่ 2.7(ค) สามารถกำจัดส่วนที่ซ้ำซ้อนแสดงดังรูปที่ 2.7(ง) ซึ่งเป็นแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ

ตารางที่ 2.2 ตารางความจริงของฟังก์ชัน  $F = AB + AB'C + A'BC$

อินพุต			เอาต์พุต
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



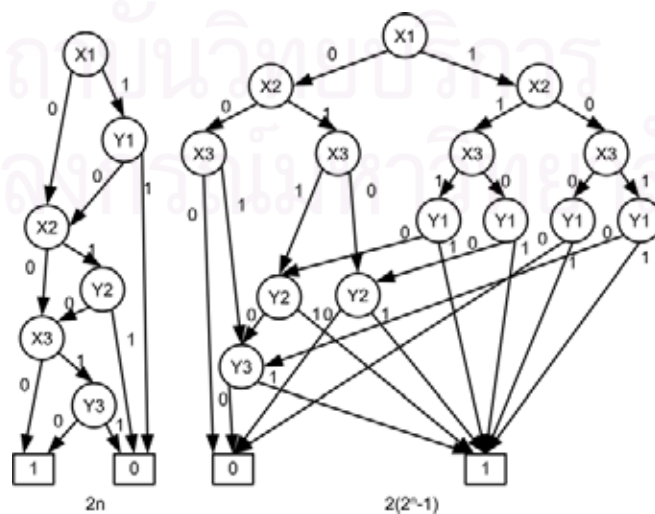
รูปที่ 2.7 ตัวอย่างการสร้างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับของฟังก์ชัน

$$F = AB + AB'C + A'BC$$



แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับมีเพียงรูปแบบเดียวเท่านั้นสำหรับลำดับหนึ่ง ๆ ขนาดของแผนภาพตัดสินใจแบบทวิภาคขึ้นอยู่กับลำดับตัวแปรในการสร้าง ลำดับของตัวแปรที่ใช้ในการออกแบบในวิทยานิพนธ์นี้ใช้วิธีการสร้างแผนภาพตัดสินใจแบบทวิภาคโดยเทคนิคการเรียนรู้ต้นไม้ตัดสินใจ(Decision Tree Learning: DTL) [12] เพื่อหาลำดับของแผนภาพตัดสินใจแบบทวิภาค การสร้างแผนภาพตัดสินใจแบบทวิภาคโดยเทคนิคการเรียนรู้ต้นไม้ตัดสินใจเป็นการใช้เทคนิคการเรียนรู้ต้นไม้ตัดสินใจเพื่อหาลำดับตัวแปรเริ่มต้นของแผนภาพตัดสินใจแบบทวิภาค และใช้วิธีการพัฒนาทีละขั้น (Gradual Improvement Method) ที่มีอยู่เดิม ซึ่งเป็นวิธีการแลกเปลี่ยนลำดับของตัวแปรเพื่อไปสู่ลำดับที่ดีกว่า โดยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่ได้จากวิธีนี้มีขนาดเล็กกว่าการใช้วิธีการพัฒนาทีละขั้นเพียงอย่างเดียว ซึ่งจกลำดับของแผนภาพถูกนำมาสร้างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่ใช้ในการทดลอง

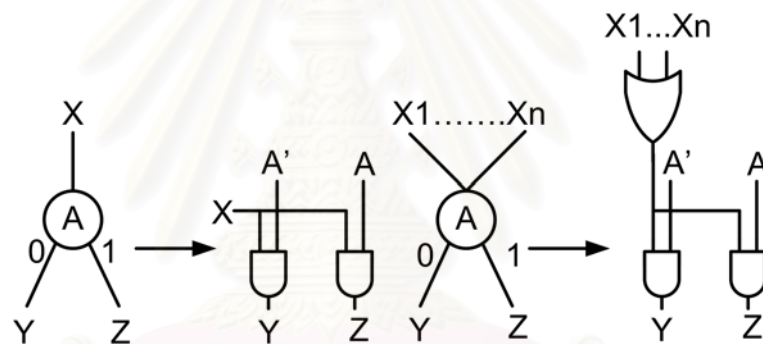
ลำดับของตัวแปรีผลต่อขนาดของแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับมาก ดังในรูปที่ 2.8 แสดงถึงขนาดที่แตกต่างกันของแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับของฟังก์ชัน  $F = X_1Y_1 + X_2Y_2 + X_3Y_3$  [9] ซึ่งในแผนภาพขวาวเรียงลำดับตัวแปรดังนี้  $X_1X_2X_3Y_1Y_2Y_3$  และในแผนภาพซ้ายเรียงลำดับตัวแปรเป็น  $X_1Y_1X_2Y_2X_3Y_3$  สามารถสร้างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนลำดับตามรูปที่ 2.8 โดยขนาดของฟังก์ชัน  $F = X_1Y_1 + \dots + X_nY_n$  ขนาดของแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับของการเรียงลำดับแบบ  $X_1 < Y_1 < \dots < X_n < Y_n$  ขนาดแผนภาพเป็น  $2n$  และขนาดของแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับของการเรียงลำดับแบบคือ  $X_1 < \dots < X_n < Y_1 < \dots < Y_n$  เป็น  $2(2^n - 1)$



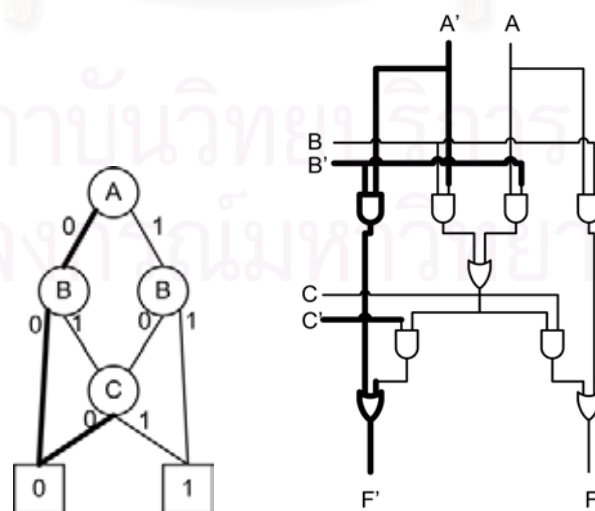
รูปที่ 2.8 แผนภาพตัดสินใจแบบทวิภาค ฟังก์ชัน  $F = X_1Y_1 + X_2Y_2 + X_3Y_3$

2.4 การออกแบบวงจรรางคู่โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ [4]

การออกแบบวงจรรางคู่ด้วยวิธีการใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับสามารถทำได้โดยนำฟังก์ชันตรรกะมาสร้างเป็นแผนภาพตัดสินใจแบบทวิภาคชนิด มีการลดทอนอันดับแล้วจึงสร้างวงจรรางคู่ ซึ่งจากบัพสามารถแปลงเป็นวงจรรางคู่ดังรูปที่ 2.9 โดยวงจรรางคู่ประกอบด้วยเกตแอนด์ (AND Gate) ซึ่งมีการเรียงต่อกันเป็นเส้นทางซึ่งสอดคล้องกับแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ เรียกว่า “เส้นทางการต่อเชื่อมเกตแอนด์” และใช้เกตออร์ (OR Gate) รวมเส้นทางต่อเชื่อมของเกตแอนด์ซึ่งมายังบัพหนึ่ง และรูปที่ 2.10 แสดงถึงตัวอย่างของการสร้างวงจรรางคู่จากฟังก์ชัน  $F = AB + AB'C + A'BC$  และแสดงการจำลองการทำงานของวงจรรางคู่ซึ่งประกอบด้วยเกตแอนด์ที่มีการจัดเรียงเป็นเส้นทางเทียบเท่าเส้นเชื่อมในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ



รูปที่ 2.9 การออกแบบวงจรรางคู่โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ



รูปที่ 2.10 วงจรรางคู่ของฟังก์ชัน  $F = AB + AB'C + A'BC$  และการจำลองการทำงานของ

## 2.5 การออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมแบบสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ [5]

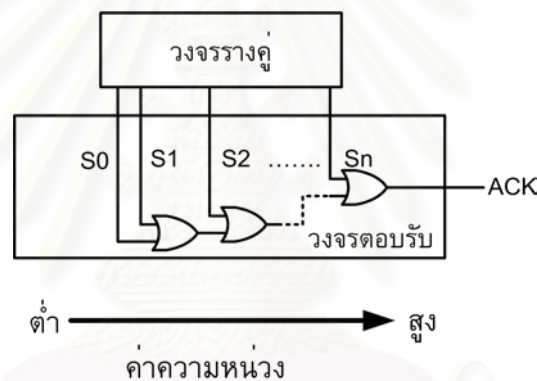
การออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมแบบสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้เป็นการสร้างวงจรตอบรับโดยการเลือกกลุ่มสายที่สามารถประกันการสิ้นสุดการเปลี่ยนระดับสัญญาณและรวมสายสัญญาณที่เลือกตั้งมาสร้างสัญญาณตอบรับด้วยเกตออร์ ในการตรวจสอบการสิ้นสุดการเปลี่ยนระดับสัญญาณ โดยการเปลี่ยนระดับสัญญาณตอบรับมีการเปลี่ยนแปลงสัมพันธ์กับการเปลี่ยนระดับสัญญาณภายในส่วนวงจรวางคู่ การพิจารณาเพื่อเลือกตั้งสายสัญญาณแบ่งการพิจารณาออกเป็นเป็นการประกันการสิ้นสุดการเปลี่ยนระดับสัญญาณในแต่ละเกตออร์ และการพิจารณารวมทุกเกตออร์ภายในส่วนวงจรวางคู่

การพิจารณาการเลือกตั้งสายสัญญาณเพื่อประกันการสิ้นสุดการเปลี่ยนระดับสัญญาณในแต่ละเกตออร์ โดยพิจารณาจากเกตออร์แต่ละตัวเป็นเกตรวมเส้นทางต่อเชื่อมเกตแอนด์ สายที่มีความหน่วงสูงสุดในเส้นทางต่อเชื่อมเกตแอนด์นั้น เรียกว่า “สายหลักของเส้นทางต่อเชื่อมเกตแอนด์” ส่วนสายที่มีความหน่วงของการเปลี่ยนสัญญาณขาลงมากกว่าระหว่างสายหลักของเส้นทางต่อเชื่อมเกตแอนด์ที่มีความหน่วงของการเปลี่ยนสัญญาณขาลงต่ำสุด กับสายเอาต์พุตของเกตออร์เรียกว่า “สายหลักของการต่อเชื่อมเกตออร์” เมื่อพิจารณาทั้งวงจรทำการเลือก “สายหลักของวงจร” คือ สายหลักของการต่อเชื่อมเกตออร์ที่มีความหน่วงการเปลี่ยนสัญญาณขาลงต่ำสุด โดยเลือกสายเพื่อสร้างวงจรตอบรับตามหลักดังนี้

1. ไม่เลือกคู่สายเอาต์พุตของวงจรวางคู่ เนื่องจากคู่สายดังกล่าวต่อเป็นอินพุตของอุปกรณ์ชนิดซี ซึ่งสามารถตรวจสอบการสิ้นสุดการเปลี่ยนระดับสัญญาณได้
2. พิจารณาทีละเกตออร์ โดยพิจารณาเส้นทางต่อเชื่อมเกตแอนด์ที่เป็นอินพุตของเกตออร์ และเอาต์พุตของเกตออร์
  - a. หาสายหลักของเส้นทางต่อเชื่อมเกตแอนด์ ซึ่งเป็นสายที่มีความหน่วงสูงสุดในแต่ละเส้นทางต่อเชื่อมเกตแอนด์
  - b. ทำการเลือกสายหลักของการต่อเชื่อมเกตออร์ ซึ่งเป็นสายที่มีความหน่วงสูงสุดระหว่างสายหลักของการต่อเชื่อมเกตแอนด์ที่มีความหน่วงต่ำสุดกับสายเอาต์พุตของเกตออร์
  - c. ทำการเลือกสายในเส้นทางต่อเชื่อมเกตแอนด์ ที่มีค่าความหน่วงมากกว่าค่าความหน่วงของสายหลักของการต่อเชื่อมเกตออร์

3. พิจารณารวมทั้งวงจร
  - a. หาสายหลักของวงจร ซึ่งเป็นสายหลักของการต่อเชื่อมเกตออร์ที่มีความหน่วงต่ำสุด
  - b. เลือกสายในเส้นทางต่อเชื่อมเกตแอนด์ที่มีความหน่วงมากกว่าความหน่วงของสายหลักของวงจร / K
4. ถ้าเลือกดึงสายเอาต์พุตของเกตออร์แล้วไม่เลือกสายอินพุตของเกตออร์

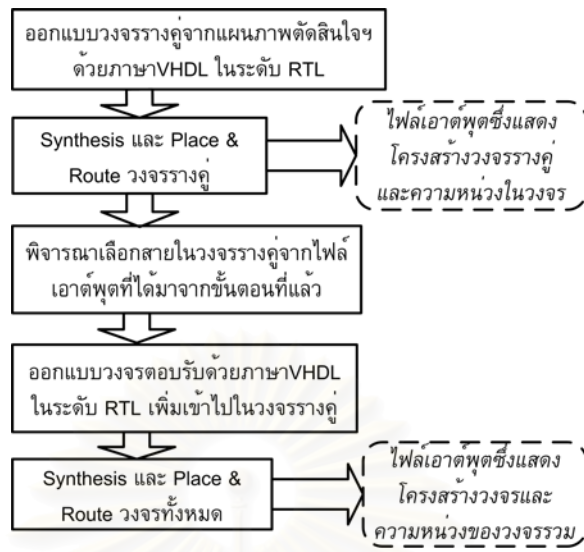
เมื่อเลือกสายสัญญาณทั้งหมดตามหลักข้างต้นทำการออกแบบวงจรตอบรับโดยรวมทุกสายสัญญาณด้วยเกตออร์ สัญญาณเอาต์พุตจากเกตออร์คือสัญญาณตอบรับ โดยการจัดลำดับของของเกตออร์จากความหน่วงประมาณต่ำสุดไปสูงสุดตามรูปที่ 2.11 แสดงถึงการสร้างวงจรตอบรับ โดย  $S_0, S_1, S_2, \dots, S_n$  เป็นกลุ่มสายในวงจรวางคู่ที่ถูกเลือกมาสร้างวงจรตอบรับ



รูปที่ 2.11 การจัดเรียงเกตออร์ในวงจรตอบรับ

## 2.6 การสร้างและออกแบบวงจรรวมโดยใช้เอฟพีจีเอ [6]

การออกแบบวงจรรวมโดยใช้เอฟพีจีเอ เริ่มจากการออกแบบวงจรวางคู่โดยใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับดังที่ได้กล่าวไปข้างต้น และในวิทยานิพนธ์ใช้ภาษาวีเอชดีแอล (VHDL) เขียนอธิบายการทำงานของส่วนวงจรวางคู่ แล้วนำไปสังเคราะห์และสร้างเป็นส่วนวงจรวางคู่ที่สามารถนำไปโปรแกรมลงบนเอฟพีจีเอเพื่อให้ได้ค่าความหน่วงเพื่อใช้ในการประมาณในการเลือกดึงสายสัญญาณ หลังจากนั้นจึงทำการออกแบบส่วนวงจรตอบรับเพิ่มเติมเข้าไป โดยการออกแบบวงจรในส่วนตอบรับนั้นอาศัยวิธีการเลือกสายสัญญาณที่นำเสนอข้างต้น แล้วนำวงจรใหม่ไปสังเคราะห์และสร้างเป็นวงจรแบบอสมวารที่สามารถนำไปโปรแกรมลงบนเอฟพีจีเออีกครั้ง โดยทำตามขั้นตอนดังรูปที่ 2.12

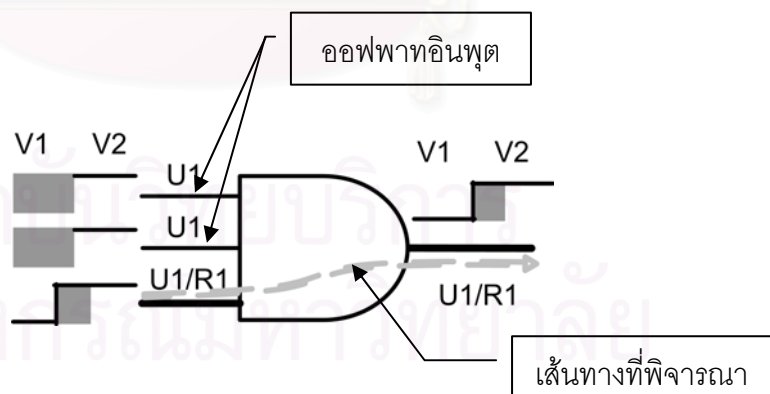


รูปที่ 2.12 ขั้นตอนการออกแบบเอพพีซีไอสำหรับวงจรเชิงผสมแบบอสมวาร [6]

### 2.7 การทดสอบข้อผิดพลาดความหน่วงเส้นทาง [13] ~ [16]

วงจรสมวารมีข้อผิดพลาดความหน่วงเส้นทาง เมื่อความหน่วงจริงที่เกิดจากการเปลี่ยนสถานะหรือการเปลี่ยนระดับสัญญาณ (Transition) ตลอดเส้นทางเกินกว่าช่วงเวลาระหว่างของสัญญาณนาฬิกา (Clock Interval) ของระบบซึ่งเป็นการทดสอบด้วยคู่วกเตอร์ (V1, V2) เพื่อสร้างการเปลี่ยนแปลงระดับสัญญาณเพื่อตรวจสอบข้อผิดพลาดความหน่วงเส้นทาง

ในการทดสอบข้อผิดพลาดความหน่วงเส้นทาง ซึ่งมีคำนิยามที่นิยมกล่าวถึงดังนี้



รูปที่ 2.13 การทดสอบข้อผิดพลาดความหน่วงเส้นทางแบบโรบัสของเกตแอนด์

สำหรับการเปลี่ยนแปลงระดับสัญญาณขาขึ้น

- ให้ G เป็นเกตบนเส้นทาง P และ r เป็นอินพุตของเกต G ที่ไม่ได้อยู่บนเส้นทาง P เรียก r ว่า ออฟพาทอินพุต (Off-Path Sensitizing Input)

- การทดสอบด้วยเวกเตอร์ทดสอบนั้นจะเป็นการทดสอบแบบโรบัสต์ (Robust Test) ของเส้นทาง P ก็ต่อเมื่อการเปลี่ยนแปลงระดับสัญญาณนั้นเป็นอิสระจากข้อผิดพลาดความหน่วงอื่น
- การทดสอบด้วยเวกเตอร์ทดสอบเป็นการทดสอบแบบนอนโรบัสต์ (Non-Robust Test) ก็ต่อเมื่อเวกเตอร์ทดสอบนั้นสามารถตรวจสอบความผิดพลาดพบภายใต้การสมมุติฐานที่กำหนดให้เส้นทางอื่นไม่มีข้อผิดพลาดทางความหน่วง

ระบบตรรกะของการทดสอบข้อผิดพลาดความหน่วงเส้นทางมีการนำเสนออย่างหลากหลาย โดยระบบตรรกะที่ง่ายและนิยมใช้ [16] คือ

S1 (S0): ค่าระดับสัญญาณเริ่มต้นและสุดท้ายเป็น 1(0), ดังนั้นสัญญาณปราศจากฮาร์ดแวร์แบบสถิต (Static Hazard)

U1 (U0): ค่าระดับสัญญาณสุดท้ายเป็น 1(0)

การเปลี่ยนแปลงระดับสัญญาณที่เกี่ยวข้องกับเส้นทางหนึ่งในวงจรมีสองชนิดคือการเปลี่ยนแปลงระดับสัญญาณขาขึ้น (Rising Transition) และการเปลี่ยนแปลงระดับสัญญาณขาลง (Falling Transition) โดยเงื่อนไขของการกำหนดคอปพาอินพุตเพื่อให้เกิดการเปลี่ยนแปลงแบบโรบัสต์กำหนดตามตารางที่ 2.3

ตารางที่ 2.3 เงื่อนไขของการทดสอบแบบโรบัสต์

การเปลี่ยนแปลง ระดับสัญญาณ	ประเภทของเกต	
	AND/NAND	OR/NOR
การเปลี่ยนแปลงระดับขาขึ้น	U1	S0
การเปลี่ยนแปลงระดับขาลง	S1	U0

## 2.8 งานวิจัยที่เกี่ยวข้อง

การทดสอบข้อผิดพลาดความหน่วงของวงจรสมวารได้มีการนำเสนออย่างหลากหลาย โดยงานวิจัยที่น่าสนใจมีดังต่อไปนี้

Partial-Scan Delay Fault Testing of Asynchronous Circuits [17] เป็นงานวิจัยที่นำเสนอการทดสอบวงจรสมวาร โดยลดรูปจากวงจรเชิงลำดับ (Sequential Circuits) เพื่อสร้างเวกเตอร์ทดสอบ โดยแทนอุปกรณ์ชนิดซีด้วยเอ็มเกต (Majority Gate: M-gate) และทำ

การแบ่งวงจรเป็นส่วน ๆ โดยหลักการของพาเซี่ยลสแกน (Partial scan) เพื่อให้สามารถพิจารณาเป็นวงจรเชิงผสมได้ ทำให้ง่ายต่อการทดสอบ ในการพาเซี่ยลสแกนเป็นการแบ่งวงจรถมหารโดยพิจารณาที่อุปกรณ์ชนิดซีเป็นจุดในการแบ่งวงจร การสร้างเวกเตอร์ทดสอบสำหรับวงจรหลังการลดรูปสามารถประยุกต์ใช้การสร้างเวกเตอร์ทดสอบของวงจรเชิงผสมได้ และทำการลดรูปตามความสัมพันธ์ของความผิดพลาดแบบติดค้างที่ (Stuck-At Fault) และข้อผิดพลาดความหน่วงเส้นทางเพื่อประยุกต์การสร้างเวกเตอร์ทดสอบของความผิดพลาดแบบติดค้างที่ มาประยุกต์ใช้ในการสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทาง

Testing Asynchronous Circuits: A Survey [18] เป็นบทความที่สรุปงานวิจัยในการทดสอบวงจรถมหารทั้งการสร้างเวกเตอร์ทดสอบสำหรับความผิดพลาดแบบติดค้างที่ และการทดสอบข้อผิดพลาดความหน่วงเส้นทาง และการออกแบบเพื่อการทดสอบ

Scan Testing of Micropipelines [19] เป็นงานวิจัยที่นำเสนอวิธีการทดสอบไมโครไพพ์ไลน์ (Micropipeline) โดยกล่าวถึงการสร้างการทดสอบแบบสแกน (Scan Testing) มีวิธีการทดสอบสำหรับ ความผิดพลาดแบบติดค้างที่ โดยจะเป็น 3 ส่วนคือ สำหรับ หน่วยประมวลผล (Processing Logic), หน่วยควบคุม (Control Logic) และแลตช์ (Latch) และทดสอบ ข้อกำหนดแบบบับเบิล (Bundling Constraint Violations) เป็นการทดสอบโดยทดสอบจากข้อผิดพลาดความหน่วงเส้นทางและเสนอการสร้างการทดสอบแบบสแกนเพื่อตรวจสอบข้อผิดพลาดนั้น นำเสนอ 3 วิธี ดังนี้

1. โดยจะกำหนดเวกเตอร์สำหรับทดสอบโดยจะให้มีการโหลด (Load) ค่าเวกเตอร์แรกก่อนแล้วโหลดเวกเตอร์ที่ 2 จากการสแกนมาตรฐาน (Standard Scan) แต่ค่าใช้จ่ายสูง
2. กำหนดเวกเตอร์ที่ 2 จากการเลื่อนบิต (Shift Bit) ของเวกเตอร์แรก แต่ออกแบบได้ยาก
3. กำหนดเวกเตอร์ที่ 2 จากเวกเตอร์ก่อนหน้า หากมีการส่งสัญญาณร้องขอออกมาแล้วค่าในแลตช์ ไม่ถูกต้องตามต้องการ แสดงว่าการทำงานผิดพลาด กล่าวคือสัญญาณแสดงการเสร็จสิ้นมีการเปลี่ยนแปลงแล้ว แต่ค่าเอาท์พุทไม่เป็นตามต้องการ การทำงานจึงผิดพลาด และวงจรเชิงผสมแบบอสมวารที่สร้างสามารถทดสอบได้ทุกเส้นทางจึงสามารถกำหนดให้มีค่าเอาท์พุทเป็นค่าใดตามต้องการได้

Design, Automation and Test for Asynchronous Circuits and Systems [20] บทความที่สรุปงานวิจัยเกี่ยวกับ โปรแกรม เครื่องมือและวิธีต่าง ๆ ในการออกแบบและ

ทดสอบวงจรลอจิกสมวารโดยเปรียบเทียบ ข้อดี ข้อเสีย ข้อจำกัด แบบจำลองที่ใช้ และรายละเอียดต่าง ๆ รวมถึงขั้นตอนวิธี (Algorithm) ที่ใช้ในเครื่องมืออื่น ๆ

Synthesis of Asynchronous Circuits for Stuck-At and Robust Path Delay Fault Testability [21] งานวิจัยกล่าวถึงการสังเคราะห์เพื่อให้วงจรสามารถมีความสามารถในการทดสอบได้มากขึ้น โดยได้นำเสนอการสังเคราะห์สำหรับวงจรลอจิกแบบสองระดับ (Two-Level Logic) โดยจะทำการพิจารณาฮาซาร์ดและคิว (Cube) เพื่อกำหนดเงื่อนไขเพื่อไม่ให้เกิดฮาซาร์ด และแปลงจากวงจรลอจิกสองระดับเป็นวงจรลอจิกหลายระดับ (Multi-Level Logic) ซึ่งวงจรถูกการสังเคราะห์ตามวิธีดังกล่าวง่ายต่อการทดสอบ

ในงานวิจัยที่กล่าวข้างต้นเป็นการประยุกต์ใช้การทดสอบข้อผิดพลาดความหน่วงเส้นทางในการตรวจสอบข้อผิดพลาดความหน่วงของวงจรลอจิกสมวาร ซึ่งในแต่ละงานวิจัยจะมุ่งเน้นการทดสอบโดยใช้ข้อผิดพลาดความหน่วงเส้นทางและการเพิ่มความสามารถในการทดสอบได้ (Testability) ของวงจรลอจิกสมวาร แต่วิทยานิพนธ์นี้เสนอเฉพาะการทดสอบวงจรที่ใช้แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับในการออกแบบ โดยเสนอการทดสอบข้อผิดพลาดความหน่วงซึ่งเป็นการทดสอบข้อผิดพลาดความหน่วงในการทำงานและการทดสอบข้อผิดพลาดความหน่วงเส้นทางซึ่งสามารถสร้างเวกเตอร์ทดสอบได้จากแผนภาพตัดสินใจแบบทวิภาคนั้น โดยตรงทำให้ง่ายต่อการสร้างเวกเตอร์ทดสอบ

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย



### บทที่ 3

## การทดสอบข้อผิดพลาดของความหวังสำหรับวงจรเชิงผสมแบบสมวารที่ไม่ ไวต่อความหวังชนิดปรับมาตราส่วนได้

วิทยานิพนธ์นำเสนอวิธีการทดสอบข้อผิดพลาดความหวังสำหรับวงจรเชิงผสมแบบสมวารที่ไม่ไวต่อความหวังชนิดปรับมาตราส่วนได้ที่ออกแบบจากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ ซึ่งในวิทยานิพนธ์ได้นำเสนอการทดสอบข้อผิดพลาดความหวังโดยทดสอบข้อผิดพลาดความหวังในการทำงานและทดสอบข้อผิดพลาดความหวังเส้นทาง ซึ่งการทดสอบข้อผิดพลาดความหวังทั้ง 2 วิธีนั้น สามารถใช้ในการตรวจสอบความถูกต้องของวงจรได้ ในวิทยานิพนธ์ได้นำเสนอการทดสอบข้อผิดพลาดความหวังในการทำงานเพื่อตรวจสอบความถูกต้องของวงจรและใช้การทดสอบข้อผิดพลาดความหวังเส้นทางเพื่อตรวจสอบค่าความหวังเส้นทางของวงจรตอบรับในการปรับปรุงวงจрдังรูปที่ 3.1 นอกจากนี้ยังกล่าวถึงการทดสอบวงจรเชิงผสมแบบสมวารที่ไม่ไวต่อความหวังชนิดเสมือนและการประเมินการทดสอบในวิทยานิพนธ์



รูปที่ 3.1 แผนผังของการทดสอบ

### 3.1 การทดสอบข้อผิดพลาดความหวังในการทำงานสำหรับวงจรเชิงผสมแบบสมวาร

วงจรเชิงผสมแบบสมวารจะทำงานอย่างถูกต้อง เมื่อสัญญาณตอบรับมีการเปลี่ยนแปลงระดับสัญญาณหลังจากทุกสายสัญญาณในวงจรรางคู่มีการเปลี่ยนแปลงระดับสัญญาณเสร็จสิ้นแล้ว ดังนั้นจึงทดสอบความถูกต้องของความหวังในการทำงานจากกำหนดคู่เวกเตอร์ทดสอบเพื่อสังเกตความสอดคล้องของข้อกำหนดความหวังระหว่างการเปลี่ยนแปลงระดับสัญญาณของวงจรรางคู่และสัญญาณตอบรับ

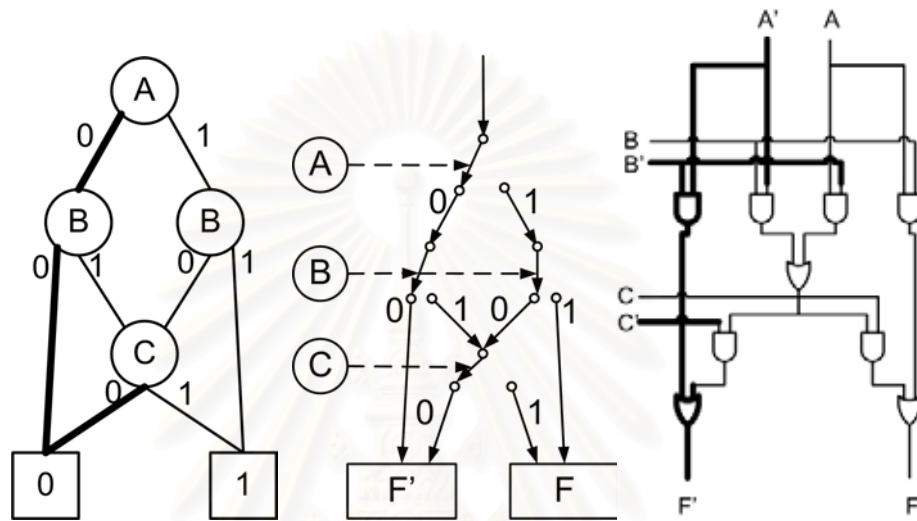
ในหัวข้อนี้เสนอแนวทางการสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงการทำงานของวงจรสมวารจากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ โดยนำเสนอตามลำดับดังนี้ ลักษณะการทำงานของวงจรเชิงผสมแบบสมวารที่ออกแบบโดยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ และการกำหนดเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงาน

### 3.1.1 ลักษณะการทำงานของวงจรเชิงผสมแบบสมวารที่สร้างจากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ

วงจรเชิงผสมแบบสมวารมีคุณสมบัติการเปลี่ยนแปลงระดับสัญญาณไปในทางเดียวและลักษณะการทำงานแบบสองชั้นกลับคืนสู่ศูนย์ ดังนั้น วงจรมีการกำหนดอินพุตเพื่อการทำงานให้วงจรและการกลับเข้าสู่ชั้นว่างในทุก ๆ รอบของการทำงานจึงสามารถทดสอบข้อผิดพลาดความหน่วงในการทำงานโดยทดสอบตามลักษณะการทำงานรางคู่แบบสองชั้นชนิดกลับสู่ศูนย์

ส่วนวงจรรางคู่ของวงจรเชิงผสมแบบสมวารสร้างจากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับโดยตรงจึงมีรูปแบบที่แน่นอนสำหรับฟังก์ชันตรรกะหนึ่ง เมื่อกำหนดอินพุตให้กับวงจรรางคู่ วงจรมีการเปลี่ยนแปลงระดับสัญญาณไปในทางเดียวและมีการเปลี่ยนแปลงระดับสัญญาณไปสู่เอาต์พุตเพียงในเส้นทางการต่อเชื่อมเกตแอนด์เส้นทางเดียวเท่านั้น โดยการเปลี่ยนแปลงระดับสัญญาณนั้นเป็นเส้นทางต่อเชื่อมเกตแอนด์ของอินพุตที่ปรากฏอยู่บนเส้นทางไปยังเอาต์พุต อินพุตที่ไม่ปรากฏบนเส้นทางไม่มีผลต่อการเปลี่ยนแปลงระดับสัญญาณเอาต์พุตของวงจรรางคู่ เพราะการสร้างวงจรรางคู่จากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับมีลักษณะการทำงานคล้ายสวิตช์เป็นเส้นทางต่อเชื่อมเกตแอนด์ของอินพุตตามเส้นทาง ดังนั้นการกำหนดหรือไม่กำหนดค่าตัวแปรที่ไม่ปรากฏบนเส้นทางทำให้การเปลี่ยนแปลงระดับสัญญาณในวงจรรางคู่มีการเปลี่ยนแปลงระดับสัญญาณเช่นเดียวกัน เมื่อสร้างเป็นวงจรรางคู่ของตัวอย่างฟังก์ชัน  $F = AB + AB'C + A'BC$  ดังรูปที่ 3.2 เมื่อกำหนดอินพุตในชั้นทำงานสำหรับ ABC เป็นค่า (000) เป็นรหัสสร้างคู่ทำให้เกิดเปลี่ยนแปลงภายในวงจรรางคู่เป็นเส้นทางที่สอดคล้องกับเส้นทางในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่ใช้ในการออกแบบคือเส้นทาง A'B' ค่าอินพุต C ไม่ปรากฏบนเส้นทางและไม่มีผลต่อการเปลี่ยนแปลงระดับสัญญาณไปยังเอาต์พุตในวงจรรางคู่ ในการทดสอบข้อผิดพลาดความหน่วงในการทำงานสำหรับฟังก์ชัน  $F = AB + AB'C + A'BC$  เส้นทางทั้งหมดในแผนภาพตัดสินใจแบบทวิภาคชนิดมี

การลดทอนอันดับประกอบด้วยเส้นทาง 6 เส้นทางคือ  $A'B'$ ,  $A'BC$ ,  $A'BC'$ ,  $AB'C$ ,  $AB'C'$  และ  $AB$  จึงทดสอบเฉพาะทั้ง 6 รูปแบบอินพุตเวกเตอร์เท่านั้น เพราะจากค่าเวกเตอร์เส้นทาง  $A'B'C'$  กับ  $A'B'C$  ถูกครอบคลุมตามค่าเวกเตอร์เส้นทางของ  $A'B'$  และ  $ABC$  กับ  $ABC'$  ถูกครอบคลุมตามค่าเวกเตอร์เส้นทางของ  $AB$  เช่นเดียวกัน อินพุตเวกเตอร์ที่ถูกครอบคลุมเกิดการเปลี่ยนแปลงระดับสัญญาณสู่เอาต์พุตของวงจรรางคู่เช่นเดียวกัน



รูปที่ 3.2 วงจรรางคู่ของฟังก์ชัน  $F = AB + AB'C + A'BC$  เมื่อกำหนดอินพุตเป็น  $ABC$  เป็น  $000$

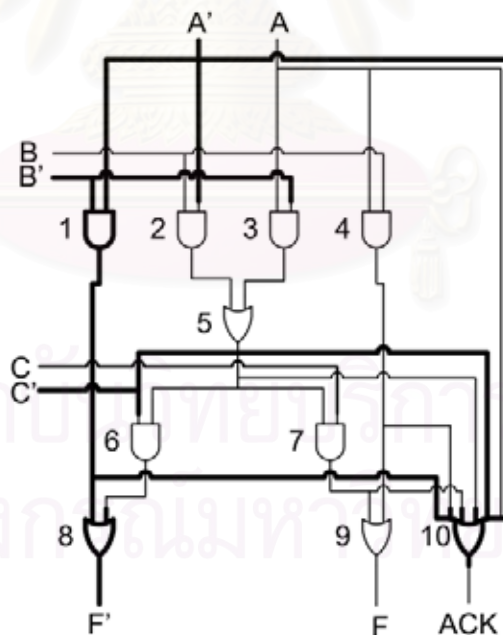
การเปลี่ยนแปลงระดับสัญญาณของวงจรถอบรับมีการเปลี่ยนแปลงระดับสัญญาณไปในทางเดียวเช่นเดียวกับวงจรรางคู่ ดังนั้นในชั้นทำงานมีการเปลี่ยนแปลงระดับสัญญาณจากระดับสัญญาณค่า  $0 \rightarrow 1$  เช่นเดียวกับวงจรรางคู่ การกำหนดค่าอินพุตที่ไม่ปรากฏบนเส้นทางไม่มีผลต่อการเปลี่ยนแปลงระดับสัญญาณไปยังเอาต์พุตของวงจรรางคู่ แต่อาจมีผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับ เนื่องจากวงจรถอบรับมีการเลือกดึงสายจากวงจรรางคู่เพื่อสร้างสัญญาณตอบรับ ในชั้นทำงาน หากสายอินพุตที่ไม่ปรากฏบนเส้นทางนั้นถูกเลือกดึงสายในการสร้างวงจรถอบรับ การเปลี่ยนแปลงระดับสัญญาณของอินพุตนั้นอาจมีผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับ หากสายสัญญาณอินพุตนั้นมีผลต่อการเปลี่ยนแปลงระดับสัญญาณจะทำให้การเปลี่ยนแปลงระดับสัญญาณตอบรับเปลี่ยนแปลงเร็วขึ้น เพราะวงจรถอบรับมีการเปลี่ยนแปลงระดับสัญญาณไปในทางเดียวและวงจรถอบรับออกแบบโดยใช้เกตออร์ การกำหนดค่าอินพุตที่ไม่ปรากฏบนเส้นทางเพื่อครอบคลุมการทดสอบทั้งหมดที่อยู่ในการทดสอบนี้ ต้องกำหนดค่าอินพุตให้การเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับที่ได้เปลี่ยนแปลงระดับสัญญาณเร็วที่สุด จึงต้องกำหนดค่าตัวแปรที่ไม่ปรากฏให้เป็นรหัส (1,1) และนำค่าการเปลี่ยนแปลงระดับสัญญาณตอบรับเปรียบเทียบกับ การเปลี่ยนแปลงระดับสัญญาณที่ช้าที่สุดในชั้นทำงานของวงจรรางคู่ ซึ่งเป็นการเปลี่ยนแปลงระดับสัญญาณที่สัญญาณเอาต์พุตของวงจ

เพราะลักษณะการทำงานเป็นเส้นทางการเชื่อมต่อของเกตแอนด์ ดังนั้นสัญญาณเอาต์พุตของวงจรรวมคู่มีการเปลี่ยนแปลงระดับสัญญาณ เมื่อทุกสายสัญญาณในเส้นทางการเชื่อมต่อเกตแอนด์ในวงจรรวมคู่เปลี่ยนแปลงระดับสัญญาณเสร็จสิ้นแล้ว คือ การเปลี่ยนแปลงระดับสัญญาณตอบรับในชั้นทำงานต้องมีการเปลี่ยนแปลงหลังการเปลี่ยนแปลงระดับสัญญาณที่เอาต์พุตของวงจรรวมคู่ วงจรจะมีความถูกต้องตามข้อกำหนดความหน่วง

ในชั้นว่างวงจรตอบรับมีการเปลี่ยนแปลงระดับสัญญาณไปในทางเดียวจากระดับสัญญาณค่า  $1 \rightarrow 0$  เช่นเดียวกับวงจรรวมคู่ สัญญาณการตอบรับมีการเปลี่ยนแปลงระดับสัญญาณ เมื่อทุกสายสัญญาณที่เลือกดึงเพื่อสร้างวงจรตอบรับมีการเปลี่ยนแปลงจากระดับสัญญาณจากค่า  $1 \rightarrow 0$  อินพุตที่ไม่ปรากฏบนเส้นทางและเลือกดึงสายบนเส้นทางที่ต้องการทดสอบอาจส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับ คือทำให้การเปลี่ยนแปลงระดับสัญญาณตอบรับช้าลง เนื่องจากการเปลี่ยนแปลงจากสายสัญญาณอินพุตที่ไม่ปรากฏบนเส้นทางอาจมีการเปลี่ยนแปลงระดับสัญญาณที่ช้ากว่าซึ่งส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับให้มีการเปลี่ยนแปลงระดับสัญญาณช้าลง ดังนั้นเพื่อให้ค่าการเปลี่ยนแปลงระดับสัญญาณตอบรับที่ได้ออกมาเร็วที่สุดครอบคลุมทุกค่าในเวกเตอร์ทดสอบ จึงกำหนดค่าตัวแปรที่ไม่ปรากฏบนเส้นทางให้เป็นรหัส (0, 0)

ในการเปลี่ยนแปลงระดับสัญญาณในชั้นว่าง อินพุตที่ไม่ปรากฏบนเส้นทางอาจส่งผลเป็นสายสัญญาณที่กำหนดการเปลี่ยนแปลงระดับสัญญาณตอบรับได้ในการเปลี่ยนแปลงระดับสัญญาณชั้นว่างได้ หากการทดสอบแล้วพบว่ามีความผิดพลาดในการเปลี่ยนแปลงระดับสัญญาณในชั้นว่างและมีคู่อินพุตที่ไม่ปรากฏบนเส้นทางนั้นเลือกดึงสายต้องทำการทดสอบเปรียบเทียบค่าเพิ่มเติมกับค่าความหน่วงเส้นทางของคู่อินพุตนั้น หากอินพุตคู่ใดที่มีการเลือกดึงสายไปสร้างเป็นวงจรตอบรับทั้งคู่และค่าความหน่วงเส้นทางไปยังเอาต์พุตของวงจรตอบรับของทั้งคู่อินพุตมากกว่าค่าการเปลี่ยนแปลงระดับสัญญาณที่ช้าที่สุดภายในวงจรรวมคู่ คู่อินพุตนั้นเป็นสายสัญญาณที่กำหนดการเปลี่ยนแปลงระดับสัญญาณตอบรับและการทดสอบการเปลี่ยนแปลงระดับสัญญาณในชั้นว่างจะถูกตัดทิ้ง ซึ่งค่าความหน่วงจากคู่อินพุตไปเส้นทางของวงจรตอบรับสามารถทดสอบได้ตามข้อ 3.2 โดยค่าความหน่วงเส้นทางไปยังเอาต์พุตของวงจรตอบรับสำหรับคู่อินพุตที่ไม่ปรากฏบนเส้นทางสามารถนำไปเปรียบเทียบในกรณีที่มีการทดสอบเส้นทางอื่น ๆ หากพบข้อผิดพลาดได้

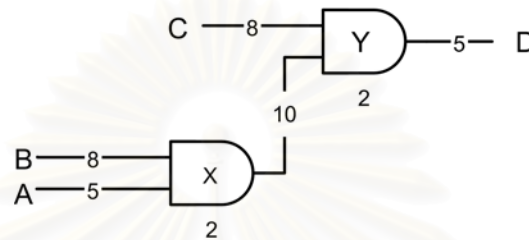
การเปลี่ยนแปลงระดับสัญญาณที่ช้าที่สุดในชั้นวางสำหรับวงจรรางคู่อาจเป็นสายสัญญาณภายในวงจรถวายได้ เนื่องจากลักษณะการทำงานเป็นการเชื่อมต่อของเกตแอนด์ การเปลี่ยนแปลงระดับสัญญาณที่เร็วที่สุดของอินพุตของแต่ละเกตแอนด์ส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณของเอาต์พุตของเกตแอนด์นั้น ดังนั้นการเปลี่ยนแปลงระดับสัญญาณที่ช้าที่สุดอาจเป็นสายสัญญาณใดสายหนึ่งที่อยู่บนเส้นทางการต่อเชื่อมเกตแอนด์ จึงจำเป็นต้องสังเกตการเปลี่ยนแปลงระดับสัญญาณภายในวงจรรางคู่เพื่อสังเกตการเปลี่ยนแปลงระดับสัญญาณที่ช้าที่สุดในกรณีการสังเกตการเปลี่ยนแปลงระดับสัญญาณภายในวงจรรางคู่อาจไม่สามารถทำได้ เนื่องจากข้อจำกัดของโปรแกรมหรืออุปกรณ์ที่ใช้ในการพัฒนางจร คือ ในกรณีที่วงจรถวายเป็นแบบจำลองกล่องดำ (Black Box Model) ต้องประมาณการเปลี่ยนแปลงระดับสัญญาณที่ช้าที่สุดภายในวงจรรางคู่จากค่าความหน่วงเส้นทาง ซึ่งสามารถตรวจสอบได้จากการกำหนดเวคเตอร์เพื่อทดสอบค่าความหน่วงเส้นทางของสายสัญญาณที่พิจารณาและทำการประมาณค่าจากค่าความหน่วงประมาณสัมพัทธ์โดยมีสมมุติฐานว่า ความแปรปรวนความหน่วงที่เกิดขึ้นนั้นมีความแปรปรวนกระจายเท่ากันตลอดเส้นทาง การกำหนดเวคเตอร์สำหรับทดสอบความหน่วงเส้นทางกล่าวถึงในหัวข้อ 3.2



รูปที่ 3.3 การเปลี่ยนแปลงระดับสัญญาณของอินพุต ABC: 000 สำหรับวงจรถวายเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ของฟังก์ชัน  $AB + AB'C + A'BC$

รูปที่ 3.3 แสดงถึงการเปลี่ยนแปลงระดับสัญญาณของวงจรถวายเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ของฟังก์ชัน  $AB + AB'C + A'BC$  โดยมีการสุ่ม

กำหนดความหน่วงเพื่อดิ่งสายได้ตามรูป เมื่อกำหนดอินพุตเวกเตอร์เป็น ABC: 000 จากการเปลี่ยนแปลงระดับสัญญาณในวงจรรางคู่ อินพุต C, C' ไม่มีผลต่อการเปลี่ยนแปลงระดับสัญญาณของเอาต์พุต แต่อินพุต C' ถูกเลือกดิ่งสายไปสร้างเป็นวงจรตอบรับซึ่งการเปลี่ยนแปลงระดับสัญญาณของอินพุต C' อาจส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณระดับสัญญาณของวงจรตอบรับได้



รูปที่ 3.4 ค่าความหน่วงประมาณสัมพัทธ์ของตัวอย่างเส้นทางต่อเชื่อมเกตแอนด์ในวงจรรางคู่

จากตัวอย่างตามรูปที่ 3.4 แสดงถึงค่าความหน่วงประมาณสัมพัทธ์สำหรับตัวอย่างเส้นทางการต่อเชื่อมของเกตแอนด์ ค่าการเปลี่ยนแปลงระดับสัญญาณในชั้นวางที่เอาต์พุตเป็นค่า 15 หน่วยความหน่วง คือเส้นทางจากอินพุต C สู่อเอาต์พุต D แต่ค่าการเปลี่ยนแปลงระดับสัญญาณที่ช้าที่สุดคือ 20 หน่วยความหน่วง คือเส้นทางจากอินพุต B ไปยังเอาต์พุตเกตแอนด์ตัว X ในกรณีที่เป็นแบบจำลองกล่องดำต้องมีการประมาณค่า โดยกำหนดอินพุตเพื่อทดสอบค่าความหน่วงเส้นทางจาก B ไปยังเอาต์พุต D เมื่อได้ความหน่วงจริงตลอดเส้นทาง B ไปยังเอาต์พุต แล้วประมาณค่าความหน่วงที่มากที่สุด คือที่จุดที่เอาต์พุตของเกตแอนด์ X โดยถือความแปรปรวนกระจายเท่ากันตลอดเส้นทางจึงหาค่าความหน่วงจริงที่จุดนั้นจากอัตราส่วนจากค่าความหน่วงประมาณสัมพัทธ์

3.1.2 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงานสำหรับวงจรเชิงผสมแบบอสมวารโดยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ

วงจรอสมวารที่มีการสร้างด้วยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับนั้นสามารถทดสอบการทำงาน โดยทดสอบเฉพาะการทำงานที่มีการกำหนดค่าอินพุตเป็นค่าตามเส้นทางทั้งหมดในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับจึงสร้างเวกเตอร์ทดสอบได้จากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่ใช้ในการออกแบบ โดยสร้างคู่เวกเตอร์ทดสอบตามค่าเส้นทางทั้งหมดในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับซึ่งสามารถกำหนดคู่เวกเตอร์ทดสอบดังนี้

- การเปลี่ยนแปลงระดับสัญญาณในชั้นทำงาน

กำหนดให้

$I_i$  คือ อินพุตของวงจรใด ๆ เป็นรหัสสร้างคู่ประกอบด้วยค่า  $(I_{i1}, I_{i0})$

$X(I_i)$  คือ ค่าของอินพุต  $I_i$  ของวงจร

$U$  คือ ค่ารหัสสร้างคู่  $(1, 1)$

$S$  คือ ค่ารหัสสร้างคู่ของตัวแบ่งรอบการทำงาน  $(0, 0)$

$V_{fw}^1$  คือ เวกเตอร์แรกสำหรับการทดสอบข้อผิดพลาดความหน่วงในชั้นทำงาน

$V_{fw}^2$  คือ เวกเตอร์สองสำหรับการทดสอบข้อผิดพลาดความหน่วงในชั้นทำงาน

ให้  $p$  เป็นสมาชิกของเส้นทางใน  $P$  เมื่อ  $P$  เป็นเซตของเส้นทางทั้งหมดของแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ  $X(I_i)$  เป็นค่าของอินพุต  $I_i$  บนเส้นทาง  $p$  สามารถกำหนดเวกเตอร์ทดสอบได้ดังนี้

$$V_{fw}^1(I_i) = S \quad (3.1)$$

$$V_{fw}^2(I_i) = \begin{cases} X(I_i), & p \cap I_i \neq \phi \\ U, & p \cap I_i = \phi \end{cases} \quad (3.2)$$

จากสมการที่ (3.1) ได้ว่า  $V_{fw}^1$  : กำหนดตัวแปรทุกตัวเป็นค่าตัวแบ่งรอบการทำงาน

จากสมการที่ (3.2) ได้ว่า  $V_{fw}^2$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทางบนแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับและตัวแปรไม่ปรากฏบนเส้นทางเป็นค่าตรรกะ  $(1, 1)$

- การเปลี่ยนแปลงระดับสัญญาณในชั้นว่าง

กำหนดให้

$V_{fi}^1$  คือ เวกเตอร์แรกสำหรับการทดสอบข้อผิดพลาดความหน่วงในชั้นว่าง

$V_{fi}^2$  คือ เวกเตอร์สองสำหรับการทดสอบข้อผิดพลาดความหน่วงในชั้นว่าง

สามารถกำหนดเวกเตอร์ทดสอบได้ดังนี้

$$V_{fi}^1(I_i) = \begin{cases} X(I_i), & p \cap I_i \neq \phi \\ S, & p \cap I_i = \phi \end{cases} \quad (3.3)$$

$$V_{fi}^2(I_i) = S \quad (3.4)$$

จากสมการที่ (3.3) ได้ว่า  $V_{fi}^1$ : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทางบนแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับและตัวแปรไม่ปรากฏบนเส้นทางเป็นค่าตัวแปรรอบการทำงาน

จากสมการที่ (3.4) ได้ว่า  $V_{fi}^2$ : กำหนดตัวแปรทุกตัวเป็นค่าตัวแปรรอบการทำงาน

ในการทดสอบวงจรมีมากกว่าหนึ่งฟังก์ชัน อาจมีเส้นทางภายในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่ซ้ำกันระหว่างแต่ละแผนภาพได้ซึ่งสามารถทดสอบด้วยการทดสอบด้วยคู่เวกเตอร์เดียวกันได้ เนื่องจากสามารถสังเกตการเปลี่ยนแปลงระดับสัญญาณจากแต่ละเอาต์พุตของแต่ละวงจรรายคู่ของแต่ละฟังก์ชันได้ นอกจากนี้หากทดสอบความหวังสำหรับกลุ่มของเวกเตอร์เส้นทางที่ประกอบภายในเวกเตอร์เส้นทางอื่นที่เป็นค่าครอบคลุมแล้วครบทุกกรณี สามารถสังเกตการเปลี่ยนแปลงระดับสัญญาณจากการสังเกตค่าเอาต์พุตของการทดสอบความหวังในการทดสอบที่ประกอบภายในในกรณีทีครอบคลุมได้จึงไม่จำเป็นต้องสร้างการทดสอบสำหรับเส้นทางนั้น

การสร้างเวกเตอร์ทดสอบสำหรับตัวอย่างฟังก์ชัน  $AB + AB'C + A'BC$  ดังรูปที่ 3.3 สามารถทำได้ดังนี้ เมื่อกำหนดให้เส้นทางที่ต้องการทดสอบ  $P$  เป็น  $A'B'I_i$  เป็นอินพุตของวงจรถือ  $A, B$  และ  $C$  ได้ว่าค่า  $X(I_i)$  ในเส้นทาง  $P$  สำหรับอินพุต  $A$  และ  $B$  เป็น 0 และ 0 ตามลำดับและอินพุต  $C$  เป็นอินพุตที่ไม่ปรากฏบนเส้นทางจึงสามารถกำหนดเวกเตอร์ทดสอบข้อผิดพลาดความหวังในการทำงานได้ดังนี้

การทดสอบข้อผิดพลาดความหวังในชั้นทำงาน  $(V_{fw}^1, V_{fw}^2) = (SSS, 00U)$  ตามสมการที่ (3.1) และ (3.2)

การทดสอบข้อผิดพลาดความหวังในชั้นว่าง  $(V_{fi}^1, V_{fi}^2) = (00S, SSS)$  ตามสมการที่ (3.3) และ (3.4)



### 3.2 การทดสอบข้อผิดพลาดความหวังเส้นทางสำหรับวงจรเชิงผสมแบบสมวารที่ไม่ไวต่อความหวังชนิดปรับมาตราส่วนได้

วงจรเชิงผสมแบบสมวารที่ไม่ไวต่อความหวังชนิดปรับมาตราส่วนได้มีข้อกำหนดคือ ความหวังจริงทั้ง 2 เส้นทางจะแปรผันภายใต้ความแปรปรวน  $K$  ซึ่งเป็นความแปรปรวนความหวังสูงสุดแล้วการทำงานจะถูกตัดง โดยเมื่อมีการแปรผันของความหวังภายใต้ค่า  $K$  ค่าความหวังเส้นทางภายในวงจรวางคู่ต้องมีค่าน้อยกว่าความหวังเส้นทางในวงจรตอบรับที่แยกจากการเลือกตั้งสายออกไป

การทดสอบข้อผิดพลาดความหวังสำหรับข้อกำหนดความหวังของวงจรเชิงผสมแบบสมวารที่ไม่ไวต่อความหวังชนิดปรับมาตราส่วนได้ สามารถทำได้โดยการสร้างเวกเตอร์ทดสอบเพื่อหาค่าความหวังเส้นทางของทั้ง 2 เส้นทางที่ผู้ออกแบบกำหนดตามข้อกำหนดความหวัง โดยพิจารณาความสอดคล้องของข้อกำหนดความหวังและค่าความหวังเส้นทาง วงจรเชิงผสมแบบสมวารที่สร้างโดยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับสามารถสร้างคู่เวกเตอร์ทดสอบเพื่อทดสอบข้อผิดพลาดความหวังเส้นทางของวงจรจากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่ใช้ในการออกแบบ การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหวังเส้นทางแบ่งเป็น 2 ส่วน คือการสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหวังเส้นทางสำหรับวงจรวางคู่และสำหรับวงจรตอบรับ

#### 3.2.1 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหวังเส้นทางโดยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับสำหรับวงจรวางคู่

วงจรวางคู่ที่มีการสร้างด้วยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ สามารถสร้างเวกเตอร์ทดสอบได้จากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่ใช้ในการออกแบบ เนื่องจากวงจรวางคู่สร้างจากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับโดยตรง แต่ละบัพนั้นสร้างเป็นเกตแอนด์ของอินพุตของบัพนั้นเชื่อมต่อกับเส้นทางที่มีการสร้างจากบัพข้างบน ซึ่งแต่ละบัพไปยังโบในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเป็นเกตแอนด์ของอินพุตของบัพนั้นเชื่อมกันต่อไปจนถึงเอาท์พุต ในการเปลี่ยนแปลงระดับสัญญาณตามเส้นทางต่อเชื่อมของเกตแอนด์ในวงจรวางคู่มีการเปลี่ยนแปลงระดับสัญญาณเสมือนเกตแอนด์ของอินพุตทั้งหมดที่ปรากฏบนเส้นทาง ดังนั้นจึงสามารถสร้างการเปลี่ยนแปลงระดับสัญญาณจากอินพุตต้นทางตามเส้นทางที่พิจารณาไปยังเอาท์พุต โดยการกำหนดค่าอินพุตที่ปรากฏบนเส้นทางเป็นการกำหนดออฟพาทอินพุตจึงสามารถสร้างการเปลี่ยนแปลงระดับ

สัญญาจากอินพุตต้นทางไปยังเอาต์พุตได้ โดยการกำหนดค่าจากอินพุตของวงจรโดยตรงได้ซึ่งคู่เวกเตอร์ทดสอบที่ได้ตรงตามเงื่อนไขของการทดสอบแบบโรบัสต์ ดังนั้นจึงสามารถสร้างเวกเตอร์ทดสอบความหน่วงเส้นทางสำหรับอินพุตตามเส้นทางที่ต้องการได้ และจากเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรร่างคู่สามารถลดกรณีทดสอบได้จากการทดสอบหลายเส้นทางพร้อม ๆ กัน

วิทยานิพนธ์เสนอการสร้างเวกเตอร์ทดสอบสำหรับวงจรร่างคู่ ได้แก่การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางทั้งหมดของวงจรร่างคู่ และการลดปริมาณคู่เวกเตอร์สำหรับทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรร่างคู่

### 3.2.1.1 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางทั้งหมดของวงจรร่างคู่

วงจรร่างคู่ที่มีการสร้างด้วยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับนั้นทุกเส้นทางในวงจรร่างคู่สำหรับอินพุตของเกตแอนด์ที่สร้างจากบัพนั้นเป็นทุกเส้นทางจากบัพนั้นไปสู่ในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ ดังนั้นการสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางทั้งหมดของวงจรร่างคู่ที่มีการสร้างด้วยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ คือ สร้างเวกเตอร์ทดสอบสำหรับทุกเส้นทางจากทุกบัพในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ โดยการสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับสำหรับแต่ละบัพซึ่งเป็นการเปลี่ยนแปลงระดับสัญญาณขาขึ้นและการเปลี่ยนแปลงระดับสัญญาณขาลงสามารถกำหนดคู่เวกเตอร์ทดสอบได้ดังนี้

- การเปลี่ยนแปลงระดับสัญญาณขาขึ้น

กำหนดให้

$V_{pdr}^1$  คือ เวกเตอร์แรกสำหรับการทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรร่างคู่ในการเปลี่ยนแปลงระดับสัญญาณขาขึ้น

$V_{pdr}^2$  คือ เวกเตอร์สองสำหรับการทดสอบข้อผิดพลาดความหน่วงเส้นทางในสำหรับวงจรร่างคู่การเปลี่ยนแปลงระดับสัญญาณขาขึ้น

A คือ เป็นรหัสค่าใดค่าหนึ่งก็ได้

ให้  $p$  เป็นสมาชิกของเส้นทางใน  $P$  เมื่อ  $P$  เป็นเซตของเส้นทางทั้งหมดจากบัพที่พิจารณาไปยังรากโดยเลือกอินพุตต้นทางที่มาถึงบัพเป็นค่าใดค่าหนึ่ง  $X(i_i)$  เป็นค่าของอินพุต  $i_i$  บนเส้นทาง  $p$  และอินพุตต้นทางที่พิจารณาเป็น  $Z$  สามารถกำหนดเวกเตอร์ทดสอบได้ดังนี้

$$V_{\text{pdr}}^1(i_i) = \begin{cases} X(i_i), & p \cap i_i \neq \phi \text{ และ } i_i \neq Z \\ S, & i_i = Z \\ A, & p \cap i_i = \phi \end{cases} \quad (3.5)$$

$$V_{\text{pdr}}^2(i_i) = \begin{cases} X(i_i), & p \cap i_i \neq \phi \\ A, & p \cap i_i = \phi \end{cases} \quad (3.6)$$

จากสมการที่ (3.5)  $V_{\text{pdr}}^1$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทางและอินพุตต้นทางเป็นค่า 0 อินพุตที่ไม่ปรากฏบนเส้นทางกำหนดเป็นค่าใดก็ได้

จากสมการที่ (3.6)  $V_{\text{pdr}}^2$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทาง อินพุตที่ไม่ปรากฏบนเส้นทางกำหนดเป็นค่าใดก็ได้

- การเปลี่ยนแปลงระดับสัญญาณขาลง

กำหนดให้

$V_{\text{pdf}}^1$  คือ เวกเตอร์แรกสำหรับการทดสอบข้อผิดพลาดความหน่วงเส้นทาง สำหรับวงจรรางคู่ในการเปลี่ยนแปลงระดับสัญญาณขาลง

$V_{\text{pdf}}^2$  คือ เวกเตอร์สองสำหรับการทดสอบข้อผิดพลาดความหน่วงเส้นทาง สำหรับวงจรรางคู่ในการเปลี่ยนแปลงระดับสัญญาณขาลง

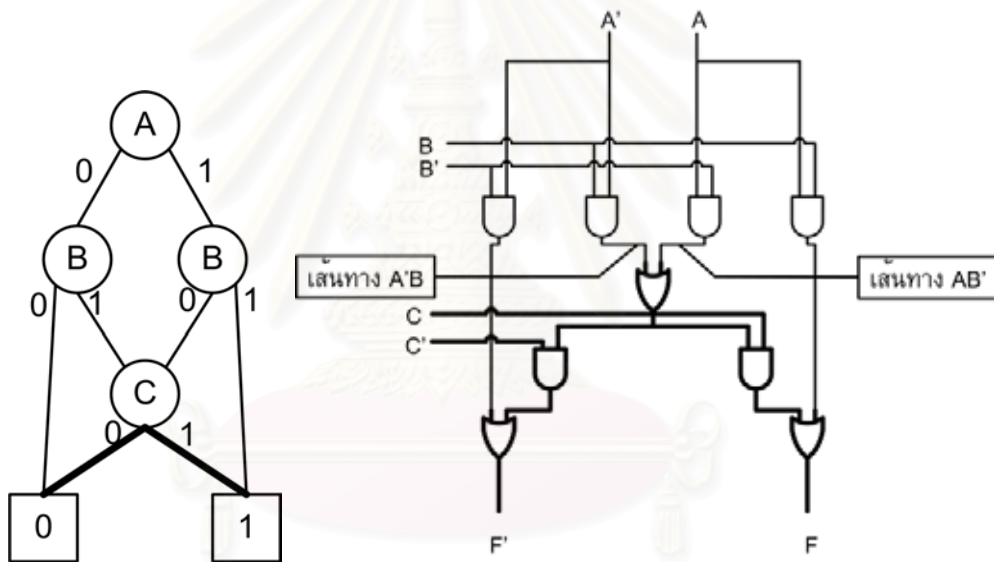
สามารถสร้างเวกเตอร์ทดสอบได้ดังนี้

$$V_{\text{pdf}}^1(i_i) = \begin{cases} X(i_i), & p \cap i_i \neq \phi \\ A, & p \cap i_i = \phi \end{cases} \quad (3.7)$$

$$V_{pdf}^2(I_i) = \begin{cases} X(i_i), & p \cap I_i \neq \phi \text{ และ } I_i \neq Z \\ S, & I_i = Z \\ A, & p \cap I_i = \phi \end{cases} \quad (3.8)$$

จากสมการที่ (3.7) ได้ว่า  $V_{pdf}^1$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทาง ค่าอินพุตที่ไม่ปรากฏบนเส้นทางกำหนดเป็นค่าใดก็ได้

จากสมการที่ (3.8) ได้ว่า  $V_{pdf}^2$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทางและอินพุตต้นทางเป็น 0 ค่าอินพุตที่ไม่ปรากฏบนเส้นทางกำหนดเป็นค่าใดก็ได้



รูปที่ 3.5 เส้นทางด้านบนสำหรับบัพ C ของวงจรรวมคู่ของฟังก์ชัน  $F = AB + AB'C + A'BC$

ในกรณีที่มีเส้นทางมายังบัพมากกว่าหนึ่งเส้นทางสามารถเลือกเส้นทางใดก็ได้ ดังตัวอย่างในรูปที่ 3.5 แสดงถึงการสร้างคูเวเตอร์ทดสอบสำหรับบัพ C เส้นทางจากบัพ C ไปยังโบรินเป็นเส้นทางในวงจรรวมจากอินพุต C, C' ไปยังเอาต์พุต ซึ่งตรงกับวงจรรวมที่สร้างจากบัพนั้น ซึ่งเป็น 2 เส้นทางไปยังเอาต์พุต พิจารณาบัพ C พบว่ามี 2 เส้นทางที่มาถึงบัพ C ซึ่งต้องกำหนดค่าตามเส้นทางใดเส้นทางหนึ่งเป็นเพื่อค่าออกฟฟาทอินพุตเป็นค่า 1 ในการสร้างการเปลี่ยนแปลงระดับสัญญาณการกำหนดเป็นเส้นทางใดเส้นทางหนึ่งไม่มีผลต่อการสร้างการเปลี่ยนแปลงระดับสัญญาณจากอินพุต C และ C' ไปยังเอาต์พุต

การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรวางคู่นั้นสามารถกำหนดเวกเตอร์ทดสอบได้สำหรับทุกเส้นทางในวงจร คือความสามารถในการทดสอบได้เป็น 100 เปอร์เซ็นต์ และทุกการทดสอบเป็นการทดสอบแบบโรบัสต์เพราะสามารถกำหนดได้ตรงตามเงื่อนไข

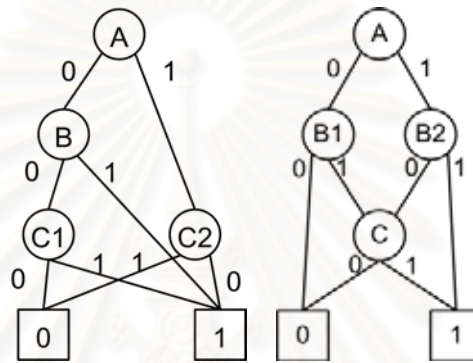
### 3.2.1.2 การลดคู่ปริมาณเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรวางคู

วงจรวางคูมีเอาต์พุตมากกว่าหนึ่งเอาต์พุต การกำหนดคู่เวกเตอร์ทดสอบอาจทำให้เกิดการเปลี่ยนแปลงระดับสัญญาณในเส้นทางในวงจรวางคูหลายเส้นทาง ซึ่งหากการเปลี่ยนแปลงระดับสัญญาณเป็นอิสระต่อกันได้สามารถทดสอบหลายเส้นทางพร้อม ๆ กันได้ จากการสังเกตจากแต่ละเอาต์พุต การลดปริมาณคู่เวกเตอร์ทดสอบสามารถทำได้โดยการรวมการทดสอบระหว่างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ และการรวมการทดสอบภายในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเดียวกัน

#### 3.2.1.2.1 การรวมการทดสอบระหว่างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ

แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนลำดับมีการสร้างเป็นวงจรวางคูซึ่งการกำหนดเวกเตอร์ทดสอบที่ทำให้เกิดการเปลี่ยนแปลงระดับสัญญาณไปยังแต่ละเอาต์พุตของแต่ละฟังก์ชันซึ่งสามารถสังเกตได้จึงสามารถรวมการทดสอบระหว่างแผนภาพได้ หากแต่ละแผนภาพมีค่าเวกเตอร์ทดสอบที่ซ้ำกัน การกำหนดอินพุตที่ไม่ปรากฏบนเส้นทางไม่มีผลต่อการเปลี่ยนแปลงระดับสัญญาณในวงจรวางคู ดังนั้นการทดสอบที่กำหนดและไม่มีกำหนดค่าค่าอินพุตที่ไม่ปรากฏบนเส้นทางทำให้เกิดการเปลี่ยนแปลงระดับสัญญาณในวงจรวางคูในเส้นทางที่เหมือนกันจึงสามารถทดสอบด้วยเวกเตอร์ที่ถูกครอบคลุมซึ่งมีการเปลี่ยนแปลงระดับสัญญาณเช่นเดียวกัน การกำหนดค่าตัวแปรที่ไม่ปรากฏบนเส้นทางเพื่อให้คู่เวกเตอร์ทดสอบเดียวสามารถทดสอบเส้นทางในวงจรวางคูที่สร้างด้วยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนสำหรับฟังก์ชันอื่นได้จะสามารถลดปริมาณเวกเตอร์ทดสอบระหว่างแต่ละแผนภาพตัดสินใจแบบทวิภาคได้มากขึ้น ดังนั้นการกำหนดค่าอินพุตที่ไม่ปรากฏบนเส้นทางเพื่อให้คู่เวกเตอร์นั้นสามารถทดสอบเส้นทางในวงจรของฟังก์ชันตรรกะอื่นพร้อมกันได้จึงสามารถลดปริมาณคู่เวกเตอร์ทดสอบได้

เมื่อเส้นทางจากรากมาถึงบัพของอินพุตต้นทางมีมากกว่าหนึ่งเส้นทางในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ ในการทดสอบสามารถกำหนดเป็นค่าตามเส้นทางใดก็ได้ การเลือกกำหนดเส้นทางที่เหมาะสมช่วยเพิ่มความเป็นไปได้ในการรวมเวกเตอร์ทดสอบ ในวิทยานิพนธ์เสนอวิธีการเลือกเส้นทางด้านบน โดยเลือกเส้นทางที่ซ้ำซ้อนมากที่สุดกับเส้นทางในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับอื่นที่ประกอบด้วยอินพุตที่พิจารณา เพื่อเพิ่มความเป็นไปได้ในการสร้างเวกเตอร์ทดสอบที่ครอบคลุมกันในการลดปริมาณคู่เวกเตอร์ทดสอบได้



รูปที่ 3.6 แผนภาพตัดสินใจแบบทวิภาคของฟังก์ชัน  $F = AC' + A'B + A'B'C$

$$\text{และ } F = AB + AB'C + A'BC$$

จากตัวอย่างตามรูปที่ 3.6 แสดงถึงแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับของฟังก์ชัน  $F = AC' + A'B + A'B'C$  และ  $F = AB + AB'C + A'BC$  ต้องการสร้างคู่เวกเตอร์ทดสอบสำหรับอินพุต C และ C' ของบัพ C ในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับของฟังก์ชัน  $F = AB + AB'C + A'BC$  การเลือกเส้นทางด้านบนสำหรับบัพ C มีเส้นทางด้านบนเป็น A'B หรือ AB' ทำการเลือกเส้นทาง โดยเปรียบเทียบกับเส้นทางในแผนภาพตัดสินใจแบบทวิภาคของฟังก์ชัน  $F = AC' + A'B + A'B'C$  เส้นทาง AB' ซึ่งเชื่อมต่อกับบัพ C มีค่าตามเส้นทางเป็น AB'C และ AB'C' ซึ่งซ้ำซ้อนกับ AC และ AC' แต่เส้นทาง A'B ไม่ซ้ำซ้อนกับเส้นทางใดที่มีอินพุต C อยู่ จึงเลือก AB' เป็นเส้นทางด้านบน ในการทดสอบเส้นทางจากบัพ C2 ของฟังก์ชัน  $F = AC' + A'B + A'B'C$  สามารถทดสอบพร้อมกับเส้นทางของบัพ C ไปยังเอาต์พุต โดยคู่เวกเตอร์ทดสอบสำหรับเส้นทาง p เป็น AB'C โดยกำหนดคู่เวกเตอร์ทดสอบสำหรับการเปลี่ยนแปลงขาขึ้นเป็น  $(V_{pdr}^1, V_{pdr}^2)$  ตามสมการที่ (3.5) และ (3.6) และกำหนดเวกเตอร์ทดสอบสำหรับขาลงเป็น  $(V_{pdf}^1, V_{pdf}^2)$  ตามสมการที่ (3.7) และ (3.8) ได้ดังนี้

$$\text{การเปลี่ยนแปลงระดับสัญญาณขาขึ้นสำหรับ C } (V_{pdr}^1, V_{pdr}^2) = (10S, 101)$$

การเปลี่ยนแปลงระดับสัญญาณขาลงสำหรับ C ( $V_{pdf}^1, V_{pdf}^2$ ) = (10I, 10S)

การเปลี่ยนแปลงระดับสัญญาณขาขึ้นสำหรับ C' ( $V_{pdr}^1, V_{pdr}^2$ ) = (10S, 10I)

การเปลี่ยนแปลงระดับสัญญาณขาลงสำหรับ C' ( $V_{pdf}^1, V_{pdf}^2$ ) = (10I, 10S)

จากการกำหนดคู่เวกเตอร์ทดสอบทำให้สามารถสร้างการเปลี่ยนแปลงระดับเส้นทางจากอินพุต C และ C' ของบัพ C2 ใน  $F = AC' + A'B + A'B'C$  ไปยังเอาต์พุตของฟังก์ชันตรรกะนี้ จึงสามารถสร้างเวกเตอร์ทดสอบเพื่อตรวจสอบข้อผิดพลาดความหวังเส้นทางในวงจรรางคู่ของแต่ละฟังก์ชันพร้อม ๆ กันได้

### 3.2.1.2.2 การรวมการทดสอบภายในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเดียวกัน

ในวงจรรางคู่ประกอบด้วยสองเอาต์พุตสำหรับฟังก์ชันตรรกะหนึ่งซึ่งเป็นรหัสรางคู่ ดังนั้นในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับจึงสามารถทดสอบสองเส้นทางสำหรับแต่ละเอาต์พุตได้ โดยการรวมเวกเตอร์ทดสอบนั้นต้องทำให้มีการเปลี่ยนแปลงระดับสัญญาณตามเส้นทางในวงจรสองเส้นทาง โดยทั้งสองเส้นทางมีการเปลี่ยนแปลงระดับสัญญาณโดยเป็นอิสระต่อกัน

การกำหนดเวกเตอร์ทดสอบสามารถทดสอบสองเส้นทางในวงจรรางคู่ซึ่งเป็นอิสระต่อกันก็ต่อเมื่อการทดสอบนั้นทำให้เกิดการเปลี่ยนแปลงระดับสัญญาณเฉพาะสองเส้นทางในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเท่านั้น เนื่องจากลักษณะการทำงานที่เป็นแผนภาพตัดสินใจซึ่งเป็นการเชื่อมต่อกันของเกตแอนด์ เมื่อมีการเปลี่ยนแปลงตามเส้นทางในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับสองเส้นทางไปยังไปที่ต่างกัน ในวงจรมีการเปลี่ยนแปลงระดับสัญญาณเฉพาะสองเส้นทางต่อเชื่อมของเกตแอนด์ไปยังเอาต์พุตที่ต่างกัน เส้นทางทั้งสองเส้นทางจะไม่ขึ้นอยู่กัน เพราะปริมาณเส้นทางในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับสอดคล้องกันกับปริมาณเส้นทางต่อเชื่อมของเกตแอนด์ในวงจรรางคู่ หากการเปลี่ยนแปลงระดับสัญญาณนั้นมีมากกว่าสองเส้นทางในแผนภาพตัดสินใจแบบทวิภาค การเปลี่ยนแปลงระดับสัญญาณในวงจรรางคู่มีมากกว่าสองเส้นทางการต่อเชื่อมของเกตแอนด์ซึ่งส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณต่อกันเพราะเส้นทางในแผนภาพมีการรวมกันหลังจาก

การแยกจากกันครั้งแรก ในวงจรการเปลี่ยนแปลงระดับสัญญาณจะส่งผลต่อกัน ทำให้ไม่สามารถทดสอบความหวังเส้นทางได้

การรวมเวกเตอร์ทดสอบต้องมีการรวมเส้นทางในการทดสอบซึ่งสามารถทำดังนี้  
กำหนดให้

$P_1, P_2$  คือ เส้นทางสำหรับเวกเตอร์ที่ต้องการทดสอบรวมกัน

$P_g$  คือ เวกเตอร์เส้นทางรวม

$P_i(I_i)$  คือ ค่าของตัวแปรตามเส้นทาง  $P_i$

- คือ ตัวแปรนั้นไม่อยู่บนเส้นทาง

$U$  คือ ตัวแปรนั้นกำหนดเป็นค่า (1, 1) เป็นทั้งค่าปกติและค่าส่วนเติมเต็ม

$$P_g(I_i) = \begin{cases} P_1(I_i), & (P_1 \cap I_i \neq \emptyset \text{ และ } P_2 \cap I_i = \emptyset) \text{ หรือ } (P_1 \cap I_i \neq \emptyset \text{ และ } P_2 \cap I_i \neq \emptyset \text{ และ } P_1(I_i) = P_2(I_i)) \\ P_2(I_i), & P_1 \cap I_i = \emptyset \text{ และ } P_2 \cap I_i \neq \emptyset \\ U, & P_1 \cap I_i \neq \emptyset \text{ และ } P_2 \cap I_i \neq \emptyset \text{ และ } P_1(I_i) \neq P_2(I_i) \\ -, & P_1 \cap I_i = \emptyset \text{ และ } P_2 \cap I_i = \emptyset \end{cases} \quad (3.9)$$

จากสมการที่ (3.9) แสดงการรวมเส้นทาง โดยให้ตัวแปรเป็นค่าตามเส้นทางที่ 1 ถ้าค่าปรากฏในเส้นทางที่ 1 แต่ไม่ปรากฏในเส้นทางที่ 2 หรือ ค่าทั้ง 2 เส้นทางเป็นค่าเดียวกัน, ตัวแปรจะมีค่าตามเส้นทางที่ 2 ถ้าค่าปรากฏในเส้นทางที่ 2 แต่ไม่ปรากฏในเส้นทางที่ 1, ตัวแปรจะมีค่า  $U$  ถ้าทั้งสองเส้นทางมีค่าตัวแปรไม่ตรงกัน และเป็นค่า - ถ้าตัวแปรนั้นไม่ปรากฏทั้งสองเส้นทาง

ค่าเวกเตอร์ของเส้นทางที่ได้จากการรวมเวกเตอร์เส้นทางสองเส้นทางนั้นต้องประกอบด้วยเส้นทางภายในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับสองเส้นทางเท่านั้น จึงจะสามารถทดสอบโดยเป็นอิสระต่อกัน ดังนั้นการรวมเวกเตอร์ทดสอบในแผนภาพตัดสินใจแบบทวิภาคเดียวกันสามารถรวมได้ตามเงื่อนไขดังนี้

1. อินพุตต้นทางต้องเป็นค่าเดียวกัน
2. เอาท์พุตของทั้งสองเส้นทางเป็นค่าตรงข้ามกัน

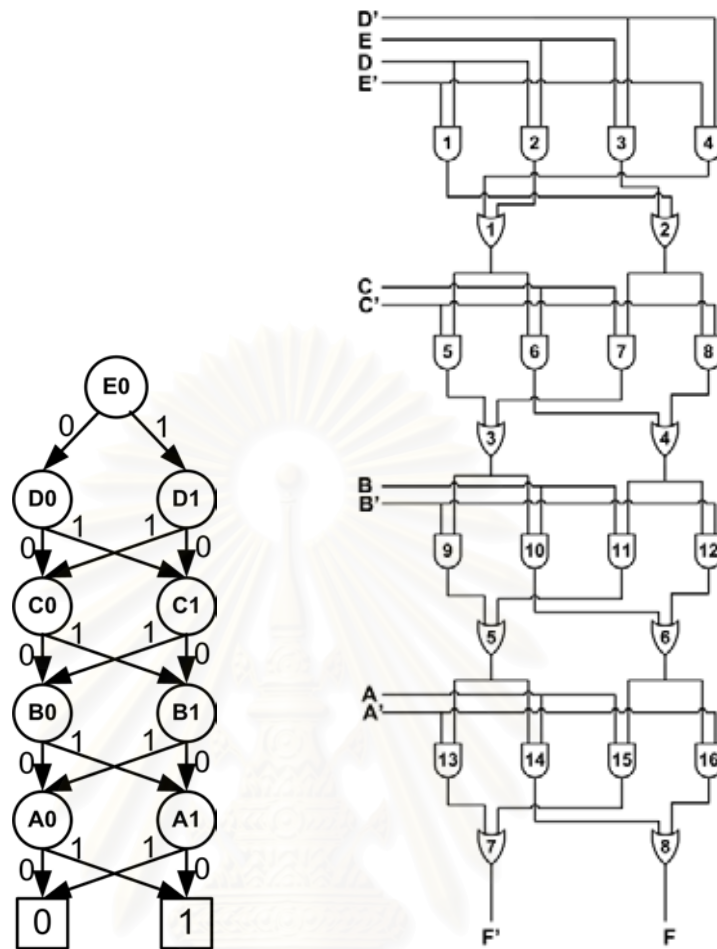


### 3. ค่าเส้นทางในการรวมต้องประกอบด้วยเส้นทางภายในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเพียงสองเส้นทางเท่านั้น

คู่เวกเตอร์ทดสอบที่ได้จากการรวมมีการกำหนดค่าของตัวแปรเป็นค่าที่ไม่ใช้ในรหัสรางคู่  $(1, 1)$  ซึ่งในกรณีที่มีการทดสอบมากกว่าหนึ่งที่สามารถรวมกันได้เลือกการรวมการทดสอบที่มีค่าเวกเตอร์เส้นทางของอินพุตซ้ำกันมากที่สุด เพราะการทดสอบที่ได้มีความเป็นไปได้มากขึ้นในรวมระหว่างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ เนื่องจากมีการกำหนดค่าที่ไม่ใช่  $(1, 1)$  ในเวกเตอร์ทดสอบมีจำนวนน้อย และมีความเป็นไปได้มากขึ้นในรวมกันภายในแผนภาพตัดสินใจแบบทวิภาคเดียวกัน เพราะในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับมีเส้นทางที่มีความแตกต่างกันเพียงเฉพาะบัพต่าที่อยู่ใกล้เคียง ซึ่งการรวมการดังกล่าวไม่ส่งผลกระทบต่อกันและค่าเป็น  $(1, 1)$  น้อย และทำให้การทดสอบอื่นที่สามารถรวมได้มีความเป็นไปได้มากขึ้นในการรวมกับการทดสอบที่เหลือ

การกำหนดค่าอินพุตที่ไม่ปรากฏบนเส้นทางทั้งสองเส้นทางของเวกเตอร์รวมกำหนดค่าเป็นตัวแบ่งรอบการทำงาน เนื่องจากการกำหนดค่าอินพุตเป็นค่ารหัส  $(1, 1)$  ทำให้การกำหนดค่าอินพุตที่ไม่ปรากฏบนเส้นทางอาจทำให้เกิดการเชื่อมต่อในเส้นทางการต่อเชื่อมเกตแอนดอื่นส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณได้

การรวมเวกเตอร์ทดสอบระหว่างแต่ละแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับของแต่ละฟังก์ชันของเวกเตอร์ทดสอบที่มีการรวมเวกเตอร์ภายในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ ต้องตรวจสอบว่าค่าเส้นทางจากการรวมกันระหว่างเวกเตอร์นั้นว่า การกำหนดค่าอินพุตที่ไม่ปรากฏบนเส้นทางต้องไม่ส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณ ซึ่งหากค่าอินพุตนั้นส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณทำให้มีเส้นทางต่อเชื่อมเกตแอนดเพิ่มขึ้นและเส้นทางในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเพิ่มขึ้นจึงไม่สามารถทดสอบได้ ดังนั้นในการรวมการทดสอบระหว่างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับสามารถทำได้ก็ต่อเมื่อการกำหนดค่าตัวแปรที่ไม่ปรากฏบนเส้นทางไม่ทำให้เส้นทางต่อเชื่อมเกตแอนดอื่นภายในแต่ละแผนภาพตัดสินใจแบบทวิภาคมีการเปลี่ยนแปลงระดับสัญญาณเพิ่มขึ้น คือ จำนวนเส้นทางของการทดสอบรวมต้องเท่าเดิมในแต่ละแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ



รูป 3.7 แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ และวงจรรววงคู่ของ

$$\text{xor5 [7]} (F = A \oplus B \oplus C \oplus D \oplus E)$$

จากตัวอย่างดังรูปที่ 3.7 แสดงถึงแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับและวงจรรววงคู่ของฟังก์ชันของวงจรรีบบเทียบสมรรถนะ xor5 พิจารณาการสร้างเวกเตอร์ทดสอบเพื่อทดสอบเส้นทาง โดยอินพุตต้นทางเป็น E พิจารณาเส้นทางในแผนภาพตัดสินใจแบบทวิภาค  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B0 \rightarrow A0 \rightarrow F'$  ได้เวกเตอร์เส้นทางเป็น (00000) และเส้นทาง  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B0 \rightarrow A0 \rightarrow F$  ได้เวกเตอร์เส้นทางเป็น (10000) สามารถรวมการทดสอบได้ตามเงื่อนไข คือ ค่าเวกเตอร์เส้นทางรวมตามสมการที่ (3.9) ที่ต้องการทดสอบเป็น (U0000) โดยค่า U เป็นรหัสค่า (1,1) ซึ่งค่าเวกเตอร์เส้นทางดังกล่าวประกอบด้วย 2 เส้นทาง พิจารณาเส้นทางในวงจรถือเส้นทาง  $E \rightarrow$  เกตแอนด์ 4  $\rightarrow$  เกตออร์ 1  $\rightarrow$  เกตแอนด์ 5  $\rightarrow$  เกตออร์ 3  $\rightarrow$  เกตแอนด์ 9  $\rightarrow$  เกตออร์ 5 มีการแยกเปลี่ยนแปลงใน 2 เส้นทางไปเกตแอนด์ 13 และเกตแอนด์ 14 และไปยังเอาต์พุตโดยการเปลี่ยนแปลงระดับสัญญาณที่แยกไปไม่ส่งผลกระทบต่อ การเปลี่ยนแปลงระดับสัญญาณซึ่งกันและกันจึงสามารถทดสอบพร้อม ๆ กันทั้ง 2 เส้นทาง

หากทำการรวมการทดสอบ โดยเลือกการทดสอบของเส้นทางเป็น  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B0 \rightarrow A0 \rightarrow F'$  ได้เวกเตอร์เส้นทางเป็น (00000) และ  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B1 \rightarrow A0 \rightarrow F$  ได้เวกเตอร์เส้นทางเป็น (11100) เมื่อนำมารวมได้เวกเตอร์เส้นทางเป็น (UUU00) ซึ่งประกอบด้วยเส้นทาง  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B0 \rightarrow A0 \rightarrow F'$  ได้เวกเตอร์เส้นทางเป็น (00000),  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B0 \rightarrow A0 \rightarrow F$  ได้เวกเตอร์เส้นทางเป็น (10000),  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B0 \rightarrow A1 \rightarrow F$  ได้เวกเตอร์เส้นทางเป็น (01000),  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B0 \rightarrow A1 \rightarrow F'$  ได้เวกเตอร์เส้นทางเป็น (11000),  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B1 \rightarrow A1 \rightarrow F$  ได้เวกเตอร์เส้นทางเป็น (00100),  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B1 \rightarrow A1 \rightarrow F'$  ได้เวกเตอร์เส้นทางเป็น (10100),  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B1 \rightarrow A0 \rightarrow F'$  ได้เวกเตอร์เส้นทางเป็น (01100) และ  $E0 \rightarrow D0 \rightarrow C0 \rightarrow B1 \rightarrow A0 \rightarrow F$  ได้เวกเตอร์เส้นทางเป็น (11100) ค่าเส้นทางที่ได้จากการรวมประกอบด้วยเส้นทาง 8 เส้นทางในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเมื่อพิจารณาการเปลี่ยนแปลงระดับสัญญาณในวงจรวางคู่มือการเปลี่ยนแปลงระดับสัญญาณจากอินพุตต้นทางที่พิจารณา E ตามเส้นทางดังนี้  $E \rightarrow$  เกตแอนด์ 4  $\rightarrow$  เกตออร์ 1 การเปลี่ยนแปลงระดับสัญญาณมีการเปลี่ยนแปลงไปตาม 2 เส้นทางคือ

เส้นทางที่ 1 ไปยัง เกตแอนด์ 5  $\rightarrow$  เกตออร์ 3 การเปลี่ยนแปลงระดับสัญญาณแยกไปใน 2 เส้นทางไปยัง เกตแอนด์ที่ 9  $\rightarrow$  เกตออร์ 5 และ เกตแอนด์ 10  $\rightarrow$  เกตออร์ 6

เส้นทางที่ 2 ไปยัง เกตแอนด์ 6  $\rightarrow$  เกตออร์ 4 การเปลี่ยนแปลงระดับสัญญาณแยกไปใน 2 เส้นทางคือ เกตแอนด์ 11  $\rightarrow$  เกตออร์ 5 และ เกตแอนด์ 12  $\rightarrow$  เกตออร์ 6

การเปลี่ยนแปลงระดับสัญญาณที่ เกตออร์ 5 และ เกตออร์ 6 มีการเปลี่ยนแปลงจากการเปลี่ยนแปลงระดับสัญญาณ 2 เส้นทางต่อเชื่อมของเกตแอนด์ ซึ่งทำให้ไม่สามารถสังเกตการเปลี่ยนแปลงระดับสัญญาณได้ และในการเปลี่ยนแปลงระดับจะผลต่อกันถึงเอาท์พุททำให้ไม่สามารถทดสอบได้

เมื่อทำการสร้างเวกเตอร์ทดสอบทั้งหมดตามวิธีปกติสำหรับวงจรวางคู่มือของ xor5 สามารถสร้างคู่มือเวกเตอร์ทดสอบสำหรับทดสอบข้อผิดพลาดความหน่วงในการเปลี่ยนแปลงระดับสัญญาณทั้งขาขึ้นและขาลงได้ 184 คู่มือเวกเตอร์ทดสอบและลดปริมาณเวกเตอร์ทดสอบ โดยการรวมเวกเตอร์ทดสอบภายในแผนภาพตัดสินใจแบบทวิภาคเดียวกัน จะสามารถลดปริมาณเวกเตอร์

ทดสอบเหลือ 92 คู่เวกเตอร์ทดสอบซึ่งเป็นอัตราส่วนสูงสุดที่สามารถลดได้คือ ลดครึ่งหนึ่งหรือ 50 เปอร์เซ็นต์ ของปริมาณคู่เวกเตอร์ทดสอบเดิม

### 3.2.2 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหวังเส้นทางโดยแผนภาพตัดสินใจแบบทวิภาคสำหรับวงจรตอบรับ

สายสัญญาณภายในวงจรตอบรับมีการเปลี่ยนแปลงระดับสัญญาณ เมื่อสายสัญญาณที่ถูกเลือกตั้งสายในวงจรวางคู่มีการเปลี่ยนแปลงระดับสัญญาณ ดังนั้นสามารถสร้างการเปลี่ยนแปลงระดับสัญญาณจากอินพุตต้นทางไปยังเอาต์พุตของวงจรตอบรับจากการเปลี่ยนแปลงระดับสัญญาณในวงจรวางคู่ไปยังสายสัญญาณที่ถูกเลือกตั้ง การทดสอบข้อผิดพลาดความหวังเส้นทางจึงสามารถสร้างเวกเตอร์ทดสอบการเปลี่ยนแปลงระดับสัญญาณไปยังสายสัญญาณที่ถูกเลือกตั้งในวงจรวางคู่ ในการเปลี่ยนแปลงระดับสัญญาณขาขึ้นสายสัญญาณที่มีการเลือกตั้งไปสร้างวงจรตอบรับเส้นใดมีการเปลี่ยนแปลงระดับสัญญาณเป็นค่า 1 มีผลต่อการเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับให้เปลี่ยนเป็นค่า 1 ในการเปลี่ยนแปลงระดับสัญญาณขาลงสายสัญญาณที่มีการเลือกตั้งไปสร้างวงจรตอบรับทุกเส้นต้องมีการเปลี่ยนแปลงระดับสัญญาณเป็นค่า 0 สัญญาณตอบรับจึงมีการเปลี่ยนแปลงระดับสัญญาณไปเป็น 0 การสร้างเวกเตอร์ทดสอบสามารถสร้างได้จากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับซึ่งสามารถสร้างการเปลี่ยนแปลงระดับสัญญาณไปถึงสายสัญญาณภายในวงจรวางคู่ โดยกำหนดการเปลี่ยนแปลงระดับสัญญาณถึงบัพที่สร้างสายสัญญาณที่ถูกเลือกตั้ง เพราะเป็นเส้นทางต่อเชื่อมเกตแอนด์ ซึ่งสายสัญญาณที่ถูกเลือกตั้งมี 3 แบบตามลักษณะของสายสัญญาณในวงจรวางคู่ คือ สายสัญญาณเป็นอินพุต, สายสัญญาณเป็นเอาต์พุตของเกตแอนด์และสายสัญญาณเป็นเอาต์พุตของเกตออร์ ซึ่งการกำหนดให้เกิดการเปลี่ยนแปลงระดับสัญญาณขาขึ้นไปยังสายทั้ง 3 แบบ ได้ดังนี้

- กรณีที่ 1 สายสัญญาณเป็นอินพุตของวงจร

สายสัญญาณที่ถูกเลือกตั้งเป็นอินพุตของวงจรสามารถกำหนดการเปลี่ยนแปลงระดับสัญญาณได้ โดยเปลี่ยนแปลงระดับสัญญาณของอินพุตทำให้เกิดเปลี่ยนแปลงระดับสัญญาณตอบรับสำหรับวงจรตอบรับที่มีการออกแบบโดยใช้อุปกรณ์ชนิดซีไอได้โดยตรงจึงสามารถกำหนดคู่เวกเตอร์ทดสอบได้ดังนี้

○ การเปลี่ยนแปลงระดับสัญญาณขาขึ้น

กำหนดให้

$V_{par}^1$  คือ เวกเตอร์แรกสำหรับการทดสอบข้อผิดพลาดความหน่วงเส้นทาง สำหรับวงจรตอบรับในการเปลี่ยนแปลงระดับสัญญาณขาขึ้น

$V_{par}^2$  คือ เวกเตอร์สองสำหรับการทดสอบข้อผิดพลาดความหน่วงเส้นทาง สำหรับวงจรตอบรับในการเปลี่ยนแปลงระดับสัญญาณขาขึ้น

ให้  $Z$  เป็นอินพุตต้นทางที่ต้องการทดสอบ และ  $X(I_i)$  เป็นค่าของอินพุตนั้นสามารถสร้างเวกเตอร์ทดสอบได้ดังนี้

$$V_{par}^1(I_i) = S \quad (3.10)$$

$$V_{par}^2(I_i) = \begin{cases} S, & I_i \neq Z \\ 1, & I_i = Z \text{ และ } X(I_i) = 1 \\ 0, & I_i = Z \text{ และ } X(I_i) = 0 \end{cases} \quad (3.11)$$

จากสมการที่ (3.10) ได้ว่า  $V_{par}^1$  : กำหนดให้อินพุตทุกอินพุตมีค่าเป็นค่าแบ่งรอบการทำงาน

จากสมการที่ (3.11) ได้ว่า  $V_{par}^2$  : กำหนดให้อินพุตต้นทางเป็นค่า 1 อินพุตอาจเป็นค่าปกติหรือค่าส่วนเติมเต็มและค่าอินพุตอื่นทุกอินพุตค่าเป็นค่าแบ่งรอบการทำงาน

○ การเปลี่ยนแปลงระดับสัญญาณขาลง

กำหนดให้

$V_{paf}^1$  คือ เวกเตอร์แรกสำหรับการทดสอบข้อผิดพลาดความหน่วงเส้นทาง สำหรับวงจรตอบรับในการเปลี่ยนแปลงระดับสัญญาณขาลง

$V_{paf}^2$  คือ เวกเตอร์สองสำหรับการทดสอบข้อผิดพลาดความหน่วงเส้นทาง สำหรับวงจรตอบรับในการเปลี่ยนแปลงระดับสัญญาณขาลง

$$V_{\text{paf}}^1(I_i) = \begin{cases} S, & I_i \neq Z \\ 1, & I_i = Z \text{ และ } X(I_i) = 1 \\ 0, & I_i = Z \text{ และ } X(I_i) = 0 \end{cases} \quad (3.12)$$

$$V_{\text{paf}}^2(I_i) = S \quad (3.13)$$

จากสมการที่ (3.12) ได้ว่า  $V_{\text{paf}}^1 =$  กำหนดให้อินพุตต้นทางเป็น 1 และค่าอินพุตอื่นทุกค่ามีค่าเป็น 0

จากสมการที่ (3.13) ได้ว่า  $V_{\text{paf}}^2 =$  กำหนดให้อินพุตทุกค่ามีค่าเป็น 0

การทดสอบเป็นการทดสอบแบบโรบัสต์ เนื่องจากพิจารณาที่เกตออร์ของวงจรตอบรับสามารถกำหนดออฟฟาทอินพุตได้เป็นตรงตามเงื่อนไขของการทดสอบแบบโรบัสต์และการเกิดการเปลี่ยนแปลงระดับสัญญาณ ไม่ขึ้นกับข้อผิดพลาดความหน่วงเส้นทางอื่นในวงจร

- กรณีที่ 2 สายสัญญาณเป็นเอาต์พุตของเกตแอนด์

ในกรณีที่สายสัญญาณที่ถูกเลือกตั้งเป็นเอาต์พุตของเกตแอนด์สามารถสร้างการเปลี่ยนแปลงระดับสัญญาณในวงจรวางคู่มาถึงสายสัญญาณที่ถูกเลือกตั้ง โดยการสร้างการเปลี่ยนแปลงระดับสัญญาณตามเส้นทางต่อเชื่อมเกตแอนด์มาสายสัญญาณที่พิจารณาซึ่งสามารถทำได้ โดยกำหนดค่าตามเส้นทางมาถึงบัฟที่สร้างเป็นเกตแอนด์ของสายที่ถูกเลือกตั้งในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ จึงกำหนดคูเวกเตอร์ทดสอบเพื่อสร้างการเปลี่ยนแปลงระดับสัญญาณถึงสายสัญญาณที่มีการเลือกตั้งสำหรับการเปลี่ยนแปลงระดับสัญญาณดังนี้

- การเปลี่ยนแปลงระดับสัญญาณขาขึ้น

สามารถกำหนดการเปลี่ยนแปลงระดับสัญญาณมาถึงสายสัญญาณที่ต้องการได้ดังนี้

ให้  $p$  เป็นสมาชิกของเส้นทางใน  $P$  เมื่อ  $P$  เป็นเซตของเส้นทางทั้งหมดที่มาถึงบัฟที่เลือกตั้ง  $X(I_i)$  เป็นค่าของอินพุต  $I_i$  บนเส้นทาง  $p$  และ  $Z$  เป็นอินพุตต้นทาง สามารถสร้างเวกเตอร์ทดสอบได้ดังนี้

$$V_{\text{par}}^1(I_i) = \begin{cases} S, & p \cap I_i = \phi \text{ หรือ } I_i = Z \\ X(i_i), & p \cap I_i \neq \phi \text{ และ } I_i \neq Z \end{cases} \quad (3.14)$$

$$V_{\text{par}}^2(I_i) = \begin{cases} S, & p \cap I_i = \phi \\ X(i_i), & p \cap I_i \neq \phi \end{cases} \quad (3.15)$$

จากสมการที่ (3.14) ได้ว่า  $V_{\text{par}}^1$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทางถึงจุดที่มีการเลือกตั้งสายโดยให้อินพุตต้นทางเป็นค่า 0

จากสมการที่ (3.15) ได้ว่า  $V_{\text{par}}^2$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทางถึงจุดที่มีการเลือกตั้งสาย

อินพุตที่ไม่ปรากฏบนเส้นทางเป็นตัวแบ่งรอบการทำงานในทั้ง 2 เวกเตอร์

วงจรตอบรับที่มีการออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ ในการเปลี่ยนแปลงระดับสัญญาณตอบรับขึ้นมีการเปลี่ยนแปลงระดับสัญญาณ หากสายสัญญาณที่ถูกเลือกตั้งมีการเปลี่ยนระดับสัญญาณเป็นค่า 1 และสัญญาณตอบรับมีการเปลี่ยนแปลงระดับสัญญาณเป็น 1 ในกรณีนี้ที่สายสัญญาณที่มีถูกเลือกตั้งมีสายสัญญาณที่เลือกตั้งไปสร้างเส้นทางตอบรับก่อนถึงสายสัญญาณที่ต้องการพิจารณา สายสัญญาณที่ถูกเลือกตั้งก่อนสามารถส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับ ถ้ากำหนดให้สายสัญญาณที่มีการเลือกตั้งก่อนมีค่าเป็น 1 ทำให้สัญญาณตอบรับเป็นค่า 1 ทำให้ไม่สามารถทำให้สัญญาณตอบรับเกิดการเปลี่ยนแปลงระดับสัญญาณเพื่อทำการทดสอบได้ แต่ถ้ากำหนดให้สายสัญญาณนั้นเป็นค่า 0 จะไม่สามารถเปลี่ยนแปลงระดับสายสัญญาณที่พิจารณาเป็นค่า 1 ได้ เนื่องจากเป็นการเชื่อมต่อกันของเกตแอนด์ ดังนั้นถ้าสายสัญญาณที่ต้องการทดสอบมีการสายสัญญาณที่ถูกเลือกตั้งสายก่อนหน้าต้องกำหนดให้สายสัญญาณที่ถูกเลือกตั้งก่อนมีค่าเป็น 0 เพื่อให้สัญญาณตอบรับมีค่าเป็น 0 แล้วจึงเปลี่ยนเป็นค่า 1 เพื่อให้สายสัญญาณที่พิจารณามีการเปลี่ยนแปลงระดับสัญญาณได้ โดยค่าอินพุตที่ไม่ปรากฏบนเส้นทางกำหนดเป็นค่าตัวแบ่งรอบการทำงานเพราะการกำหนดค่าอาจส่งผลต่อการเปลี่ยนแปลงตอบรับได้ โดยกำหนดคู่เวกเตอร์ทดสอบดังนี้

กำหนดให้

$Y$  เป็นเซตของอินพุตที่ถูกเลือกตั้งสาย โดยกำหนด  $Y(I_i)$  เป็นฟังก์ชันของค่าของการเลือกตั้งสายสำหรับอินพุต  $I_i$  โดย

$Y(I_i) = 0$  มีการเลือกตั้งสายเฉพาะส่วนเดิมเต็ม

$Y(I_i) = 1$  มีการเลือกตั้งสายเฉพาะส่วนปกติ

$Y(I_i) = 2$  มีการเลือกตั้งสายทั้ง 2 ส่วน

ให้  $p$  เป็นสมาชิกของเส้นทางใน  $P$  เมื่อ  $P$  เป็นเซตของเส้นทางทั้งหมดที่มาจากบัพที่ต้องการพิจารณา  $X(I_i)$  เป็นค่าของอินพุต  $I_i$  และ  $Y(I_i)$  เป็นค่าของการเลือกตั้งสายของอินพุต  $I_i$  บนเส้นทาง  $p$

$$V_{\text{par}}^1(I_i) = \begin{cases} S, & p \cap I_i = \phi \text{ หรือ } I_i = Z \text{ หรือ } (p \cap I_i \neq \phi \text{ และ } (Y(I_i) = 2 \text{ หรือ } Y(I_i) = X(I_i))) \\ X(I_i), & p \cap I_i \neq \phi \text{ และ } I_i \neq Z \text{ และ } Y(I_i) \neq 2 \text{ และ } Y(I_i) \neq X(I_i) \end{cases} \quad (3.16)$$

$$V_{\text{par}}^2(I_i) = \begin{cases} S, & p \cap I_i = \phi \\ X(I_i), & p \cap I_i \neq \phi \end{cases} \quad (3.17)$$

จากสมการที่ (3.16) ได้ว่า  $V_{\text{par}}^1$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทางถึงจุดที่มีการเลือกตั้งสายและกำหนดให้อินพุตต้นทางกับสายสัญญาณอินพุตอื่นที่ถูกเลือกตั้งสายเป็น 0

จากสมการที่ (3.17) ได้ว่า  $V_{\text{par}}^2$  = กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทางถึงจุดที่มีการเลือกตั้งสาย

อินพุตที่ไม่ปรากฏบนเส้นทางเป็นตัวแบ่งรอบการทำงานในทั้ง 2 เวกเตอร์

#### ○ การเปลี่ยนแปลงระดับสัญญาณขาลง

ในกรณีที่สายสัญญาณเป็นเอาต์พุตของเกตแอนด์สร้างการเปลี่ยนแปลงระดับสัญญาณไปยังสายสัญญาณนั้น สามารถทำได้โดยอินพุตต้นทางมีการเปลี่ยนแปลงระดับ



สัญญาณเป็น 0 ส่งผลให้เกิดการเปลี่ยนแปลงระดับสัญญาณเส้นที่ถูกเลือกตั้งและไปยังวงจรตอบรับ สำหรับวงจรตอบรับที่มีการออกแบบโดยไร้อุปกรณ์ชนิดซี สัญญาณตอบรับมีค่าเป็น 0 เมื่อสายสัญญาณที่ถูกเลือกตั้งไปทุกเส้นมีค่าเป็น 0 ดังนั้นการกำหนดให้สายสัญญาณที่มีการเลือกตั้งก่อนมีค่าเป็น 1 ทำให้สัญญาณตอบรับคงค่าที่ 1 จึงไม่สามารถทำให้สัญญาณตอบรับเกิดการเปลี่ยนแปลงระดับสัญญาณได้ ถ้ากำหนดให้ให้สายสัญญาณนั้นค่าเป็น 0 สายสัญญาณที่พิจารณาไม่สามารถมีค่าเป็น 1 ได้เนื่องจากอินพุตทุกค่าบนเส้นทางต่อเชื่อมเกตแอนด์ต้องเป็นค่า 1 จึงทำให้สายสัญญาณที่ถูกเลือกตั้งเปลี่ยนเป็นค่า 1 ได้ ดังนั้นถ้าสายสัญญาณที่ต้องการทดสอบมีการสายสัญญาณที่ถูกเลือกตั้งสายก่อนหน้าต้องกำหนดให้สายสัญญาณที่ถูกเลือกตั้งก่อนมีค่าเป็น 1 เพื่อให้สัญญาณตอบรับมีค่าเป็น 1 แล้วจึงเปลี่ยนเป็น 0 เพื่อสร้างเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับได้ ค่าอินพุตที่ไม่ปรากฏบนเส้นทางกำหนดเป็นค่าตัวแบ่งรอบการทำงานเพราะการกำหนดค่าอาจส่งผลต่อการเปลี่ยนแปลงตอบรับได้ โดยกำหนดคูเวเตอร์ทดสอบดังนี้

$$V_{\text{paf}}^1(I_i) = \begin{cases} S, & p \cap I_i = \phi \\ X(i_i), & p \cap I_i \neq \phi \end{cases} \quad (3.18)$$

$$V_{\text{paf}}^2(I_i) = \begin{cases} S, & p \cap I_i = \phi \text{ หรือ } I_i = Z \text{ หรือ } (p \cap I_i \neq \phi \text{ และ } (Y(I_i) = 2 \text{ หรือ } Y(I_i) = X(I_i))) \\ X(i_i), & p \cap I_i \neq \phi \text{ และ } I_i \neq Z \text{ และ } Y(I_i) \neq 2 \text{ และ } Y(I_i) \neq X(I_i) \end{cases} \quad (3.19)$$

จากสมการที่ (3.18) ได้ว่า  $V_{\text{paf}}^1$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทางถึงจุดที่มีการเลือกตั้งสาย

จากสมการที่ (3.19) ได้ว่า  $V_{\text{paf}}^2$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทางถึงจุดที่มีการเลือกตั้งสายและกำหนดให้อินพุตต้นทางกับสายสัญญาณอินพุตที่ถูกเลือกตั้งสายเป็นค่า 0

อินพุตที่ไม่ปรากฏบนเส้นทางเป็นตัวแบ่งรอบการทำงานในทั้ง 2 เวกเตอร์

การทดสอบทั้งการเปลี่ยนแปลงระดับสัญญาณขาขึ้นและการเปลี่ยนแปลงระดับสัญญาณขาลงที่ได้เป็นการทดสอบแบบโรบัส หากไม่มีการเลือกตั้งสายสัญญาณอื่นก่อนมาถึงสายสัญญาณที่ต้องการทดสอบ แต่ถ้ามีการเลือกตั้งสายสัญญาณก่อนการทดสอบที่ได้เป็นการ

ทดสอบแบบนอนโรบัส การทดสอบตามคู่มือเตอร์ที่กำหนดอาจทดสอบบางเส้นทางไม่ได้ หากการเปลี่ยนแปลงระดับสัญญาณขาขึ้นจากสายสัญญาณที่ถูกเลือกตั้งก่อนสายสัญญาณที่พิจารณา มาถึงเกตออร์เร็วกว่าการเปลี่ยนแปลงระดับสัญญาณจากสายที่พิจารณานั้นจึงไม่สามารถสังเกต การเปลี่ยนแปลงระดับสัญญาณได้ และการเปลี่ยนแปลงระดับสัญญาณหลังจากสายสัญญาณที่ถูกเลือกตั้งก่อนสายสัญญาณที่พิจารณามาถึงเกตออร์เร็วกว่าการเปลี่ยนแปลงระดับสัญญาณจากสายที่พิจารณานั้นจึงไม่สามารถสังเกตการเปลี่ยนแปลงระดับสัญญาณได้เช่นเดียวกัน นอกจากนี้ การสร้างเวกเตอร์ทดสอบอาจมีบางเส้นทางที่ได้คู่มือเตอร์ทดสอบค่าเดียวกัน แต่การสังเกตทำได้เพียงสายสัญญาณเท่านั้น

การสร้างเวกเตอร์ทดสอบเส้นทางทั้งหมดไปยังวงจรตอบรับสำหรับสายสัญญาณที่เป็นเอาต์พุตของเกตแอนด์นี้ คือ ทุกเส้นทางที่มายังบัฟที่นำมาสร้างเกตแอนด์นี้

- กรณีที่ 3 สายสัญญาณเป็นเอาต์พุตของเกตออร์

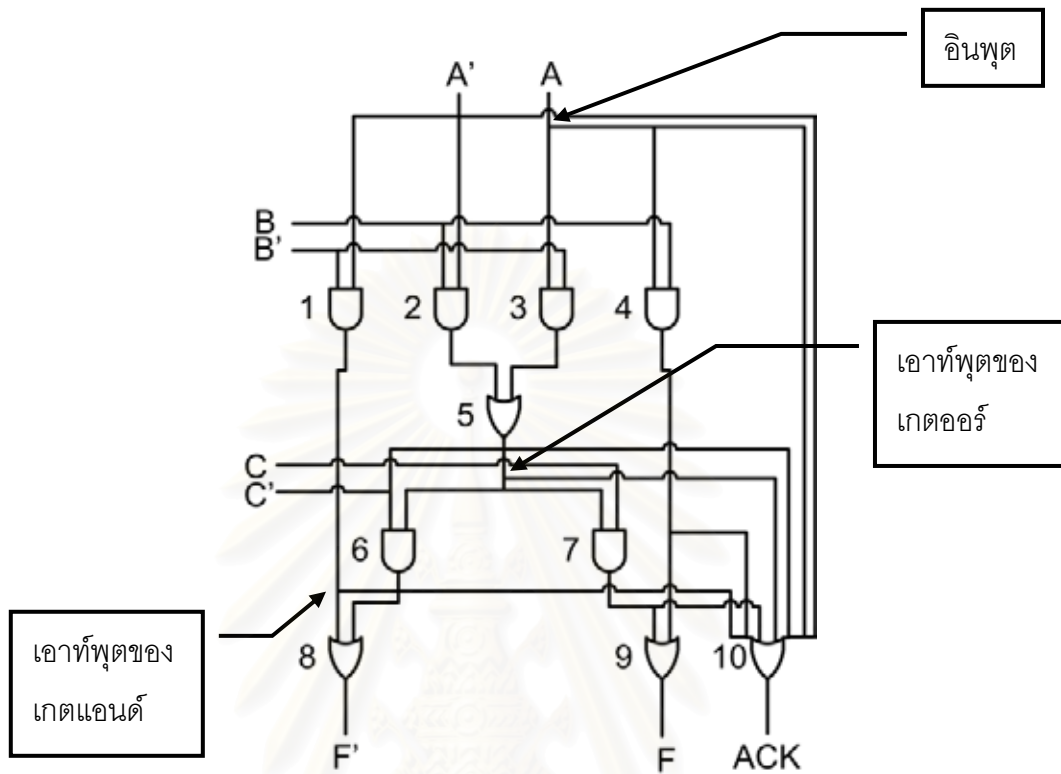
การเปลี่ยนแปลงระดับสัญญาณระดับสัญญาณของสายสัญญาณ ในกรณีที่เอาต์พุตเป็นเกตออร์นั้น อินพุตของเกตออร์นั้นเป็นกิ่งจากบัฟต่าง ๆ ที่มีบัฟถูกเป็นบัฟเดียวกันในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับหรือสายสัญญาณอินพุต ดังนั้นจึงสามารถเปลี่ยนแปลงระดับสัญญาณได้ จากการสร้างเวกเตอร์ทดสอบเช่นเดียวกับ กรณีที่สายสัญญาณเอาต์พุตของเกตแอนด์และกรณีที่สายสัญญาณเป็นอินพุต

การทดสอบที่ได้เป็นการทดสอบแบบโรบัสขึ้นอยู่กับแต่ละอินพุตที่มาเชื่อมต่อหากไม่มีการเลือกตั้งสายสัญญาณอื่นก่อนมาถึงสายสัญญาณที่ต้องการทดสอบ หากมีการเลือกตั้งสายสัญญาณก่อนการทดสอบที่ได้เป็นการทดสอบแบบนอนโรบัส เส้นทางบางเส้นทางไม่สามารถทดสอบได้เช่นเดียวกับการทดสอบในกรณีที่เอาต์พุตของเกตแอนด์ การสร้างเวกเตอร์ทดสอบเส้นทางทั้งหมดสำหรับสายสัญญาณที่เป็นเอาต์พุตของเกตออร์นั้นคือ ทุกเส้นทางที่มาถึงทุกเอาต์พุตของเกตแอนด์ที่เป็นอินพุตของเกตออร์นี้ กล่าวคือ พิจารณาแยกตามแต่ละอินพุตของเกตออร์

หากวงจรประกอบด้วยฟังก์ชันมากกว่าหนึ่งอาจได้เวกเตอร์ทดสอบที่ซ้ำกันได้ซึ่งสามารถทดสอบได้เพียงบางเส้นทางจากบางฟังก์ชันเท่านั้น

วงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ของฟังก์ชันของฟังก์ชัน  $F = AB + AB'C + A'BC$  ที่มีการสร้างตามรูปที่ 3.8 มีการเลือกตั้งสายมาสร้าง

วงจรตอบรับ โดยมีทั้งอินพุต เอาท์พุทของเกตแอนด์ และ เอาท์พุทของเกตออร์ ตามจุดที่มีการชี้ในรูปที่ 3.8



รูปที่ 3.8 วงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ของฟังก์ชัน  $F = AB + AB'C + A'BC$

พิจารณาคู่ที่เป็นอินพุต A เป็นอินพุตต้นทางที่มีการเลือกตั้งสายสัญญาณ การกำหนดค่าของอินพุต A สามารถสร้างการเปลี่ยนแปลงระดับสัญญาณตอบรับได้โดยตรงซึ่งสามารถกำหนดเวกเตอร์ทดสอบสำหรับการเปลี่ยนแปลงระดับสัญญาณขาขึ้นได้ตามสมการที่ (3.10) และ (3.11) และการเปลี่ยนแปลงระดับสัญญาณขาลงได้ตามสมการที่ (3.12) และ (3.13) ได้ดังนี้

$$\text{การเปลี่ยนแปลงระดับสัญญาณขาขึ้น } (V_{par}^1, V_{par}^1) = (SSS, 1SS)$$

$$\text{การเปลี่ยนแปลงระดับสัญญาณขาลง } (V_{paf}^1, V_{paf}^2) = (1SS, SSS)$$

พิจารณาคู่ที่เป็นเอาท์พุทของเกตแอนด์การกำหนดค่ามาถึงจุดนั้นเป็นการสร้างการเปลี่ยนแปลงระดับสัญญาณ ตามจุดที่เป็นเอาท์พุทของเกตแอนด์ที่พิจารณาในรูป หากต้องการทดสอบเส้นทางจาก อินพุตต้นทาง A' โดยผ่านเส้นทางมายังเอาท์พุทของเกตแอนด์ไปยังเอาท์พุทของวงจรตอบรับ กำหนดค่าตามเส้นทาง p คือ A'B' สามารถสร้างคู่เวกเตอร์ทดสอบ

สำหรับการเปลี่ยนแปลงระดับสัญญาณขาขึ้นได้ตามสมการที่ (3.16) และ (3.17) และ สามารถกำหนดเวกเตอร์ทดสอบสำหรับการเปลี่ยนแปลงระดับสัญญาณขาลงได้ตามสมการที่ (3.18) และ (3.19) ได้ดังนี้

$$\text{การเปลี่ยนแปลงระดับสัญญาณขาขึ้น } (V_{\text{par}}^1, V_{\text{par}}^1) = (\text{SOS}, \text{OOS})$$

$$\text{การเปลี่ยนแปลงระดับสัญญาณขาลง } (V_{\text{paf}}^1, V_{\text{paf}}^2) = (\text{OOS}, \text{SOS})$$

จากการสร้างการเปลี่ยนแปลงระดับสัญญาณ การเปลี่ยนแปลงระดับสัญญาณของอินพุต A' ส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับเช่นเดียวกัน ซึ่งอาจทำให้ไม่สามารถสังเกตการเปลี่ยนแปลงระดับสัญญาณจากเอาต์พุตของเกตแอนด์ที่พิจารณาได้

พิจารณาในกรณีที่เป็นเอาต์พุตของเกตออร์ตามรูปร่างตัวอย่าง การกำหนดการเปลี่ยนแปลงระดับสัญญาณเป็นเช่นเดียวกับเกตแอนด์ขึ้นอยู่กับเส้นทางที่ต้องการทดสอบ ต้องการทดสอบจากเส้นทางจาก อินพุต A ผ่านเกตแอนด์ตัวที่ 2 คือเส้นทาง AB' จึงกำหนดเช่นเดียวกับเอาต์พุตของเกตแอนด์ซึ่งสามารถสร้างคู่วекเตอร์ทดสอบสำหรับการเปลี่ยนแปลงระดับสัญญาณขาขึ้นได้ตามสมการที่ (3.16) และ (3.17) และสำหรับการเปลี่ยนแปลงระดับสัญญาณขาลงได้ตามสมการที่ (3.18) และ (3.19) ได้ดังนี้

$$\text{การเปลี่ยนแปลงระดับสัญญาณขาขึ้น } (V_{\text{par}}^1, V_{\text{par}}^1) = (\text{SOS}, \text{10S})$$

$$\text{การเปลี่ยนแปลงระดับสัญญาณขาลง } (V_{\text{paf}}^1, V_{\text{paf}}^2) = (\text{10S}, \text{SOS})$$

จากการเปลี่ยนแปลงระดับสัญญาณของอินพุต A มีผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับเช่นเดียวกัน ซึ่งอาจทำให้ไม่สามารถสังเกตการเปลี่ยนแปลงระดับสัญญาณได้ ซึ่งการสร้างเวกเตอร์ทดสอบสามารถสร้างเช่นเดียวกันกับเอาต์พุตของเกตแอนด์ที่เป็นอินพุตของเกตออร์นี้

### 3.3 การสร้างเวกเตอร์ทดสอบสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดเสมือน

การทดสอบข้อผิดพลาดความหน่วงในวงจรเชิงผสมแบบอสมวารที่สร้างโดยแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดเสมือนที่มีการสร้างโดยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ สามารถทดสอบข้อผิดพลาดความหน่วงด้วยวิธีคล้ายกับวงจรเชิง

ผสมแบบผสมวาร์ที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ เนื่องจากการออกแบบวงจรรางคู่เหมือนกัน แต่วงจรตอบรับแตกต่างกัน

การออกแบบวงจรตอบรับในวงจรเชิงผสมแบบผสมวาร์ที่ไม่ไวต่อความหน่วงชนิดเสมือนต้องเลือกดึงสายสัญญาณทุกสายสัญญาณเข้ามาสร้างวงจรตอบรับ โดยมีการอุปกรณ์ชนิดที่เป็นตัวตรวจสอบสัญญาณที่เลือกดึงมา ข้อกำหนดความหน่วงของวงจรเชิงผสมในการทดสอบข้อผิดพลาดความหน่วงในการทำงานเช่นเดียวกับการทดสอบข้อผิดพลาดความหน่วงในการทำงานของวงจรเชิงผสมแบบผสมวาร์ที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วน และการทดสอบข้อผิดพลาดความหน่วงด้วยการสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรเชิงผสมแบบผสมวาร์ที่ไม่ไวต่อความหน่วงชนิดเสมือนแบ่งเป็น 2 ส่วน คือ การทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรรางคู่และวงจรตอบรับซึ่งในวงจรตอบรับของวงจรเชิงผสมแบบผสมวาร์ที่ไม่ไวต่อความหน่วงชนิดเสมือนมีการใช้อุปกรณ์ชนิดซีซีซึ่งเป็นวงจรเชิงลำดับ

การทดสอบข้อผิดพลาดความหน่วงในการทำงานของวงจรเชิงผสมแบบผสมวาร์ที่ไม่ไวต่อความหน่วงชนิดเสมือนมีข้อกำหนดความหน่วงสำหรับวงจรเชิงผสมเช่นเดียวกัน คือ สัญญาณตอบรับมีการเปลี่ยนแปลงระดับสัญญาณหลังจากทุกสายสัญญาณในวงจรรางคู่มีการเปลี่ยนแปลงระดับสัญญาณเสร็จสิ้นแล้ว แต่ในการทดสอบข้อผิดพลาดความหน่วงในการทำงานของวงจรเชิงผสมแบบผสมวาร์ที่ไม่ไวต่อความหน่วงชนิดเสมือน จะมีความแตกต่างจากวงจรเชิงผสมแบบผสมวาร์ที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ เนื่องจากการเปลี่ยนแปลงระดับสัญญาณตอบรับมีการเปลี่ยนแปลงเมื่อทุกสัญญาณอินพุตมีการเปลี่ยนแปลงเท่านั้นและการเปลี่ยนแปลงระดับสัญญาณตอบรับขึ้นอยู่กับเส้นสัญญาณที่ช้าที่สุดในวงจรรางคู่ทั้งการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงานและการเปลี่ยนแปลงระดับสัญญาณในชั้นว่าง การเปลี่ยนแปลงระดับสัญญาณในชั้นทำงานจึงสามารถทดสอบเฉพาะค่าเส้นทางทั้งหมดของแผนภาพตัดสินใจแบบทวิภาคได้ โดยกำหนดให้ตัวแปรที่ไม่ปรากฏบนเส้นทางเป็น (1, 1) แต่ในการเปลี่ยนแปลงระดับสัญญาณในชั้นว่างต้องทดสอบทุกกรณี เนื่องจากทุกสายสัญญาณส่งผลต่อการเปลี่ยนแปลง จำเป็นต้องมีการกำหนดค่าอินพุตที่ไม่ปรากฏบนเส้นทางจึงสามารถสร้างการเปลี่ยนแปลงได้ โดยการทดสอบข้อผิดพลาดความหน่วงในการทำงานมีการทดสอบเช่นเดียวกับการทดสอบข้อผิดพลาดความหน่วงในการทำงานในหัวข้อ 3.1

การทดสอบข้อผิดพลาดความหน่วงเส้นทางของวงจรเชิงผสมแบบผสมวาร์ที่ไม่ไวต่อความหน่วงชนิดเสมือน สำหรับการทดสอบข้อผิดพลาดความหน่วงเส้นทางในวงจรรางคู่

สามารถทำการทดสอบได้เช่นเดียวกับใน 3.2.1 เนื่องจากวงจรวางคูนั้นสร้างจากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเช่นเดียวกัน ในการทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรตอบรับมีการลดทอนจากวงจรเชิงลำดับเป็นวงจรเชิงผสม [17] โดยแทนที่อุปกรณ์ชนิดซีด้วย เอ็มเกต เพื่อให้สามารถสร้างเวกเตอร์ทดสอบได้ตามการสร้างเวกเตอร์ทดสอบสำหรับวงจรเชิงผสม โดยอุปกรณ์ชนิดซีที่แทนดังนี้

$$c_j = a_j b_j + a_j c_j + b_j c_j \quad (3.20)$$

สำหรับอุปกรณ์ชนิดซีสำหรับสองอินพุต  $a$  และ  $b$  เป็นอินพุต  $c$  เป็นเอาต์พุตของอุปกรณ์ชนิดซี และ เอ็มเกตสร้างโดยตามฟังก์ชันตรรกะดังนี้

$$c_j = a_j b_j + a_j m_j + b_j m_j \quad (3.21)$$

โดยเพิ่มอินพุตของวงจร  $m_j$  เรียก เอ็มอินพุต (M - Input) โดยการกำหนดค่าเวกเตอร์ทดสอบต้องกำหนดค่าเอ็มอินพุตกำหนดให้สอดคล้องกับการเปลี่ยนแปลงระดับสัญญาณในวงจร การทดสอบจะสามารถทดสอบได้ ถ้าเอ็มอินพุตมีค่าตรงกับค่าของเอาต์พุตของเอาต์พุตของอุปกรณ์ชนิดซี

$$c_j(V) = m_j(V) \quad (3.22)$$

จากวิธีดังกล่าวนำมาประยุกต์ในการทดสอบข้อผิดพลาดความหน่วงเส้นทางของวงจรสมวารซึ่งสามารถประยุกต์วิธีการสร้างเวกเตอร์ที่นำเสนอได้ได้ โดยในการทดสอบต้องมีการกำหนดค่าเอาต์พุตของอุปกรณ์ชนิดซีให้ตรงตามค่าของการทดสอบที่ต้องการ แล้วจึงกำหนดเวกเตอร์ตามที่ได้จากการสร้างเพื่อทดสอบวงจร การสร้างเวกเตอร์ทดสอบสำหรับข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรตอบรับแบ่งเป็น 3 ส่วนเช่นเดียวกัน คือกรณีที่เป็น อินพุต, เอาต์พุตของเกตแอนด์ และ เอาต์พุตของเกตออร์

- กรณี อินพุต
  - การเปลี่ยนแปลงระดับสัญญาณขาขึ้น

กำหนดให้

$V_m$  เป็นเวกเตอร์ทดสอบสำหรับเอ็มอินพุต

$I_{mi}$  เป็นค่าตัวแปรของเอ็มอินพุต ซึ่งเป็นค่าตรรกะ

$V$  เป็นค่าตัวแปรค่าใดค่าหนึ่งระหว่าง (0, 1) หรือ (1, 0) หรือ (1, 1)

ให้  $Z$  เป็นอินพุตต้นทาง SA เป็นเซตของอินพุตที่อยู่ชั้นของเกตออร์ดีเยวกับ  $Z$  สามารถสร้างเวกเตอร์ทดสอบได้ดังนี้

$$V_{par}^1(I_i) = \begin{cases} S, & I_i = Z \text{ หรือ } I_i \cap SA \neq \phi \\ V, & I_i \cap (SA \cup Z) = \phi \end{cases} \quad (3.23)$$

$$V_{par}^2(I_i) = \begin{cases} S, & I_i \cap SA \neq \phi \\ 1, & I_i = Z \text{ และ } X(I_i) = 1 \\ 0, & I_i = Z \text{ และ } X(I_i) = 0 \\ V, & I_i \cap (SA \cup Z) = \phi \end{cases} \quad (3.24)$$

$$V_m(I_{mi}) = 0 \quad (3.25)$$

จากสมการที่ (3.23) ได้ว่า  $V_{par}^1$  : กำหนดอินพุตต้นทางเป็นค่า 0 อินพุตในเกตออร์ดีเยวกันเป็นค่า 0 อินพุตสำหรับเกตออร์ดีเยวอื่นเป็นค่าใดค่าหนึ่งที่ไม่ใช่ค่าแบ่งรอบการทำงาน

จากสมการที่ (3.24) ได้ว่า  $V_{par}^2$  : กำหนดเช่นเดียวกับเวกเตอร์แรก ค่าอินพุตต้นทางเป็นค่า 1

ค่าเอ็มอินพุตทั้งหมดเป็นค่า 0 ในสองเวกเตอร์

การทดสอบที่ได้เป็นการทดสอบแบบโรบัสต์

- การเปลี่ยนแปลงระดับสัญญาณขาลง

$$V_{paf}^1(I_i) = \begin{cases} S, & I_i \neq Z \\ 1, & I_i = Z \text{ และ } X(I_i) = 1 \\ 0, & I_i = Z \text{ และ } X(I_i) = 0 \end{cases} \quad (3.26)$$

$$V_{\text{paf}}^2(I_i) = S \quad (3.27)$$

$$V_m(I_{mi}) = 1 \quad (3.28)$$

จากสมการที่ (3.26) ได้ว่า  $V_{\text{paf}}^1$  : กำหนดอินพุตต้นทางเป็นค่า 1 อินพุตอื่นเป็น 0

จากสมการที่ (3.27) ได้ว่า  $V_{\text{paf}}^2$  : กำหนดเช่นเดียวกับเวกเตอร์แรก กำหนดอินพุตต้นทางเป็นค่า 0 คือ ทุกค่าเป็นค่าแบ่งรอบการทำงาน

ค่าเอ็มอินพุตทั้งหมดเป็นค่า 1 ทั้งสองเวกเตอร์ทดสอบ

การทดสอบที่ได้เป็นการทดสอบแบบโรบัสต์

- กรณี เอาท์พุตเกตแอนด์
  - การเปลี่ยนแปลงระดับสัญญาณขาขึ้น

กำหนดให้

$\text{Tr}(p)$  เป็นฟังก์ชันแสดงถึง เส้นทาง  $p$  ประกอบด้วยจำนวนเส้นทางจากรากชั้นของเกตออร์เดียวกับบัพที่พิจารณาเป็นจำนวนเท่าไร เพราะถ้าเส้นทางมากกว่าหนึ่งเส้นทางจะส่งผลต่อการเปลี่ยนแปลงทำให้ไม่สามารถสังเกตได้

ให้  $p$  เป็นเส้นทางถึงบัพที่นำไปสร้างสายที่ถูกเลือกคือ  $\pi_i$  เป็นค่าเส้นทางที่มีการรวมการกำหนดเวกเตอร์ตามต้องการ ให้  $Z$  เป็นอินพุตต้นทาง  $X(I_i)$  เป็นค่ารหัสของอินพุต  $I_i$ ,  $VA$  เป็นเซตของอินพุตทั้งหมด  $SA$  เป็นเซตของอินพุตที่อยู่ชั้นของเกตออร์เดียวกับ  $Z$  ซึ่งรวมทั้ง  $Z$  ด้วย และ  $WA$  เป็นเซตของอินพุตที่อยู่ชั้นของเกตออร์เดียวกับสายสัญญาณที่ถูกเลือกคือ

ให้เซต  $SAA$  เป็นเซตของค่าสมาชิกใน  $SA$  ที่ค่า  $\text{Tr}(\pi_i) = 1$  เมื่อ  $\pi_i$  เป็น เส้นทางที่มีการกำหนดอินพุตแต่ละค่าซึ่งแยกจากกันระหว่างค่าปกติกับค่าส่วนเติมเต็มในชั้นต้นทางเป็น 1 สำหรับค่าอินพุตในเซต  $SA$

$YA(I_i)$  แสดงถึง การกำหนดเป็นค่าใดที่สามารถกำหนดได้โดย

0 สามารถกำหนดส่วนเติมเต็มได้



1 สามารถกำหนดส่วนปกติได้

2 สามารถกำหนดได้ทั้ง 2 ส่วน

สามารถสร้างเวกเตอร์ทดสอบได้ดังนี้

$$V_{\text{par}}^1(I_i) = \begin{cases} X(I_i), & I_i \cap p \neq \phi \text{ และ } I_i \neq Z \text{ และ } I_i \cap SAA = \phi \\ U, & (I_i \cap SAA \neq \phi \text{ และ } X(I_i) \neq YA(I_i) \text{ และ } I_i \neq Z) \\ S, & I_i \cap WA \neq \phi \text{ หรือ } (I_i = Z \text{ และ } I_i \cap SAA = \phi) \\ 1, & I_i = Z \text{ และ } I_i \cap SAA \neq \phi \text{ และ } YA(I_i) = 1 \\ 0, & I_i = Z \text{ และ } I_i \cap SAA \neq \phi \text{ และ } YA(I_i) = 0 \\ V, & I_i \cap (p \cup WA) = \phi \end{cases} \quad (3.29)$$

$$V_{\text{par}}^2(I_i) = \begin{cases} X(I_i), & I_i \cap p \neq \phi \text{ และ } I_i \cap SAA = \phi \\ U, & I_i \cap SAA \neq \phi \text{ และ } X(I_i) \neq Y(I_i) \\ S, & I_i \cap WA \neq \phi \\ V, & I_i \cap (p \cup WA) = \phi \end{cases} \quad (3.30)$$

$$V_m(I_{mi}) = 0 \quad (3.31)$$

จากสมการที่ (3.29)  $V_{\text{par}}^1$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทาง อินพุตต้นทางเป็น 0 ค่าอินพุตอื่นในเกตออร์ของอินพุตต้นทางค่าเป็น 1 ถ้าสามารถทำได้ ค่าอินพุตในชั้นของเกตออร์ของสายสัญญาณที่ถูกเลือกตั้งค่าเป็น 0

จากสมการที่ (3.30)  $V_{\text{par}}^2$  = กำหนดเช่นเดียวกับเวกเตอร์แรก ค่าอินพุตต้นทางเป็น 1

ค่าเอ็มอินพุตทั้งหมดเป็นค่า 0 ในสองเวกเตอร์

ค่าอินพุตที่ไม่ปรากฏบนเส้นทางกำหนดเป็นค่าใดค่าหนึ่งที่ไม่ใช่ค่าแบ่งรอบการทำงาน

การทดสอบที่ได้เป็นการทดสอบแบบโรบัสต์ แต่ถ้าการกำหนดอินพุตอื่นในชั้นของเกตออร์อาจไม่สามารถกำหนดได้ตามต้องการซึ่งอาจทำให้ต้องกำหนดค่าตามเส้นทางเท่านั้นซึ่งเป็นเป็นการทดสอบแบบเนียนโรบัสต์ เพราะอินพุตของอุปกรณ์ชนิดซีมีการเปลี่ยนแปลงส่งผลถึงกัน อาจไม่สามารถทดสอบได้

○ การเปลี่ยนแปลงระดับสัญญาณขาลง

สามารถกำหนดเวกเตอร์ทดสอบได้ดังนี้

$$V_{\text{paf}}^1(I_i) = \begin{cases} X(I_i), & I_i \cap p \neq \phi \\ S, & I_i \cap p = \phi \end{cases} \quad (3.32)$$

$$V_{\text{paf}}^2(I_i) = S \quad (3.33)$$

$$V_m(I_{mi}) = 1 \quad (3.34)$$

จากสมการที่ (3.32) ได้ว่า  $V_{\text{paf}}^1$  : กำหนดค่าตัวแปรที่ปรากฏบนเส้นทางเป็นค่าตามเส้นทาง

จากสมการที่ (3.33) ได้ว่า  $V_{\text{paf}}^2$  : กำหนดค่าตัวแปรทุกค่าเป็นค่าแบ่งรอบการทำงาน

ค่าเอ็มอินพุตทั้งหมดเป็น 1 ทั้งสองเวกเตอร์

การทดสอบที่ได้เป็นการทดสอบแบบเนียนโรบัสต์ เพราะการเปลี่ยนแปลงส่งผลถึงกันอาจไม่สามารถทดสอบได้

■ กรณี เอาท์พุตของเกตออร์

พิจารณาเช่นเดียวกับอินพุตทุกตัวที่มาเชื่อมต่อกัน

จากวิธีการสร้างคู่เวกเตอร์ทดสอบสามารถสร้างเวกเตอร์ทดสอบสำหรับข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรตอบรับได้ โดยตามรูปที่ 3.9 แสดงถึงวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดเสมือนฟังก์ชัน  $F = AB + AB'C + A'BC$

ให้  $(V_{par}^1, V_{par}^2)$  แทนคู่เวกเตอร์ทดสอบสำหรับการเปลี่ยนระดับสัญญาณขาขึ้น และ  $(V_{paf}^1, V_{paf}^2)$  แทนคู่เวกเตอร์ทดสอบสำหรับการเปลี่ยนระดับสัญญาณขาลง โดยแต่ละเวกเตอร์ประกอบด้วย  $(V_1, V_m, V_2, V_m)$  เมื่อ  $V_1$  และ  $V_2$  เป็นค่าตัวแปรที่เป็นรหัสสร้างคู่ และ  $V_m$  เป็นค่าของเอ็มอินพุตซึ่งเป็นค่าตรรกะกำหนดตามค่าของตัวแปร ซึ่งในการทดสอบกับอุปกรณ์ชนิดซีต้องกำหนดค่าเอาต์พุตของอุปกรณ์ชนิดซีให้สามารถสร้างการเปลี่ยนแปลงได้ คือ ค่าตรงกับค่าเอ็มอินพุต

การสร้างเวกเตอร์ทดสอบสำหรับทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับอินพุต A สามารถทำได้ดังนี้

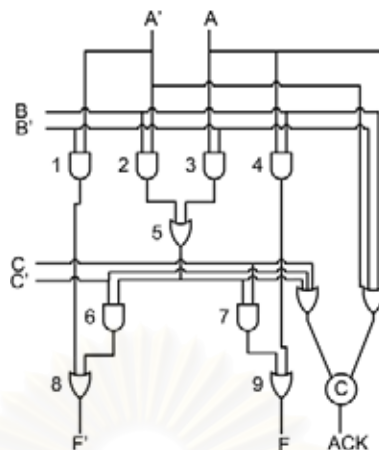
การเปลี่ยนแปลงระดับสัญญาณขาขึ้น  $(V_{par}^1, V_{par}^2) = (SSV\ 0, 1SV\ 0)$  ตามสมการที่ (3.23), (3.24) และ (3.25)

การเปลี่ยนแปลงระดับสัญญาณขาลง  $(V_{paf}^1, V_{paf}^2) = (1SS\ 1, SSS\ 1)$  ตามสมการที่ (3.26), (3.27) และ (3.28)

ในกรณีที่เป็นเอาต์พุตของเกตออร์ที่ 5 ซึ่งพิจารณาตามเส้นทางจากอินพุต A' ซึ่งพิจารณาเช่นเดียวกับเอาต์พุตของเกตแอนด์ที่ 2 สามารถกำหนดคู่เวกเตอร์ทดสอบได้ดังนี้

การเปลี่ยนแปลงระดับสัญญาณขาขึ้น  $(V_{par}^1, V_{par}^2) = (S1S\ 0, 01S\ 0)$  ตามสมการที่ (3.29), (3.30) และ (3.31)

การเปลี่ยนแปลงระดับสัญญาณขาลง  $(V_{paf}^1, V_{paf}^2) = (01S\ 1, SSS\ 1)$  ตามสมการที่ (3.32), (3.33) และ (3.34)



รูปที่ 3.9 วงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดเสมือนของฟังก์ชัน

$$F = AB + AB'C + A'BC$$

### 3.4 การประเมินการทดสอบ

การวัดความสามารถในการทดสอบอาจวัดจากความครอบคลุมความผิดพลาด (Fault Coverage) ซึ่งเป็นการวัดค่าความครอบคลุมของความผิดพลาดที่สามารถตรวจสอบได้จากเวกเตอร์ทดสอบ ซึ่งในการวัดความครอบคลุมของการทดสอบข้อผิดพลาดความหน่วงในการทำงาน ปริมาณรูปแบบอินพุตที่เป็นไปได้ที่ขึ้นอยู่กับการทดสอบที่สร้างได้นั้นครอบคลุมทุกรูปแบบอินพุตที่เป็นไปได้ตามการทำงานจึงสามารถยืนยันทุกการทำงานของวงจรได้ ว่ามีความถูกต้อง จากทดสอบเฉพาะค่าตามเส้นทางของแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ

การทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรสมวารมีการนำเสนอวิธีการประเมินค่าความครอบคลุมความผิดพลาด โดยมีทั้งการประเมินค่าขั้นต่ำ (Pessimistic) [22] [23] และการหาค่าที่แน่นอน [24] [25] ซึ่งการคำนวณหาค่าความครอบคลุมความผิดพลาดนั้นเป็นการตรวจสอบเส้นทางที่สามารถทดสอบได้กับการเปลี่ยนแปลงตามเส้นทางทั้งหมดของวงจรซึ่งบางเส้นทางอาจไม่จำเป็นต้องทดสอบ เนื่องจากการเปลี่ยนแปลงตามเส้นทางนั้นไม่มีผลต่อการเปลี่ยนแปลงสัญญาณในการทำงานใด ๆ หรือการเปลี่ยนแปลงนั้นขึ้นกับการเปลี่ยนแปลงอื่น โดยการแจงนับข้อผิดพลาดความหน่วงเส้นทาง (Path Delay Fault Enumeration) เป็นการแจงนับเพื่อแบ่งเส้นทางเป็นกลุ่มต่าง ๆ [26] ~ [29] เพื่อหากกลุ่มเส้นทางที่มีความจำเป็นต้องทดสอบ อย่างไรก็ตาม ในทางปฏิบัติการแจงนับเพื่อหาค่าความครอบคลุมความผิดพลาดนั้นทำได้ยาก ดังนั้นในการหาค่าความครอบคลุมความหน่วง [22] ~ [25] จึงไม่แจงนับข้อผิดพลาดความหน่วงเส้นทาง

ในการวัดค่าครอบคลุมความผิดพลาดนั้นต้องมีการประเมินข้อผิดพลาดทั้งหมด เนื่องจากในการทดสอบความหน่วงของวงจรถอดสมวาร ค่าความหน่วงเส้นทางที่ได้ต้องนำไปตรวจสอบกับค่าความหน่วงเส้นทางอื่นตามข้อกำหนดความหน่วง ซึ่งจำเป็นต้องมีการกำหนดว่าเส้นทางใดบ้างที่มีการกำหนดตามข้อกำหนดความหน่วงและจำเป็นต้องตรวจสอบตามที่การออกแบบของผู้ออกแบบ ดังนั้นการวัดค่าครอบคลุมความผิดพลาดจึงกำหนดได้ยาก ขึ้นกับผู้ออกแบบต้องการตรวจสอบตามข้อกำหนดใดบ้าง ในงานวิจัย [17] [21] การวัดความสามารถในการทดสอบได้เป็นอัตราส่วนการตรวจสอบค่าของเส้นทางที่สามารถตรวจสอบได้กับปริมาณการเปลี่ยนแปลงตามเส้นทางทั้งหมดซึ่งประกอบด้วยการเปลี่ยนแปลงระดับสัญญาณในขาขึ้นและขาลงมีค่าเป็น 2 เท่าของปริมาณเส้นทางในวงจร

วงจรรางคู่สามารถตรวจสอบได้ทุกเส้นทางตามการกำหนดเวกเตอร์ทดสอบ ดังนั้นความสามารถในการทดสอบได้เป็น 100 เปอร์เซ็นต์ ซึ่งปริมาณเวกเตอร์ทดสอบนั้นอาจน้อยกว่าปริมาณการเปลี่ยนแปลงตามเส้นทางทั้งหมด เพราะเส้นทางหลายเส้นทางสามารถทดสอบด้วยเวกเตอร์เดียวกันได้

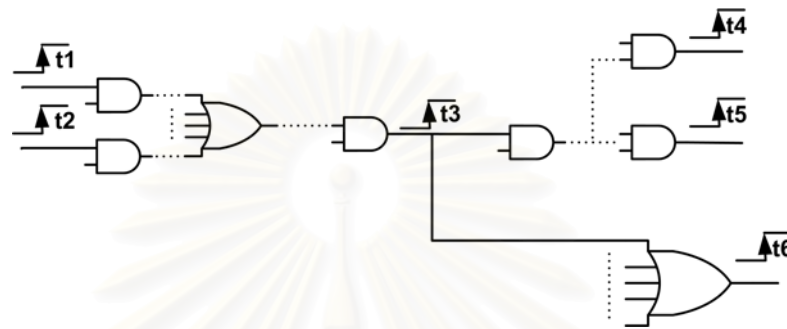
วงจรตอบรับการวัดความสามารถในการทดสอบได้เป็นปริมาณเส้นทางที่ทดสอบได้ซึ่งเป็นปริมาณคู่เวกเตอร์ทดสอบที่สามารถสร้างได้ กับการเปลี่ยนแปลงตามเส้นทางทั้งหมด โดยถือว่าปริมาณของคู่เวกเตอร์ที่สร้างได้สามารถตรวจสอบค่าความหน่วงเส้นทางได้ ซึ่งในทางปฏิบัติอาจปริมาณเส้นทางที่สามารถทดสอบได้นั้นอาจต่ำกว่า และอัตราการทดสอบแบบโรบัสต์เป็นอัตราส่วนของการทดสอบแบบโรบัสต์กับการเปลี่ยนแปลงตามเส้นทางทั้งหมด ซึ่งการทดสอบแบบโรบัสต์ สามารถทดสอบข้อผิดพลาดความหน่วงได้แน่นอน โดยการคำนวณค่าความสามารถในการทดสอบได้สำหรับวงจรตอบรับและอัตราส่วนของการทดสอบแบบโรบัสต์สำหรับวงจรตอบรับได้ดังนี้

$$\text{ความสามารถในการทดสอบได้} = \frac{\text{ปริมาณคู่เวกเตอร์ทดสอบที่สร้างได้}}{2 \times \text{เส้นทางทั้งหมด}} \quad (3.35)$$

จากสมการที่ (3.35) ความสามารถในการทดสอบได้สำหรับวงจรตอบรับเป็นอัตราส่วนระหว่างปริมาณคู่เวกเตอร์ทดสอบที่สร้างได้กับปริมาณการเปลี่ยนแปลงระดับสัญญาณตามเส้นทางทั้งหมดในวงจรตอบรับซึ่งเป็น 2 เท่าของเส้นทางทั้งหมดคือเป็นการเปลี่ยนแปลงระดับสัญญาณตามเส้นทางทั้งการเปลี่ยนแปลงระดับสัญญาณขาขึ้นและการเปลี่ยนแปลงระดับสัญญาณขาลง

$$\text{อัตราส่วนของการทดสอบแบบโรบัสต์} = \frac{\text{ปริมาณคู่เวกเตอร์ของการทดสอบแบบโรบัสต์}}{2 \times \text{เส้นทางทั้งหมด}} \quad (3.36)$$

จากสมการที่ (3.36) อัตราส่วนของการทดสอบแบบโรบัสต์สำหรับวงจรตอบรับเป็นอัตราส่วนระหว่างการทดสอบแบบโรบัสต์กับปริมาณการเปลี่ยนแปลงระดับสัญญาณตามเส้นทางทั้งหมดในวงจรตอบรับ



รูปที่ 3.10 การเปรียบเทียบค่าความหน่วงระหว่างเส้นทาง

รูปที่ 3.10 แสดงถึงการเปรียบเทียบค่าความหน่วงระหว่างเส้นทางในวงจรรางคู่และวงจรตอบรับ โดยค่าการทดสอบตามเส้นทางไปยัง การเปลี่ยนแปลง  $t_3$  ซึ่งเส้นทางมาการเปลี่ยนแปลงมายัง  $t_3$  อาจเป็นตามเส้นทางจากจุด  $t_1$  หรือ  $t_2$  หากต้องการเปรียบเทียบค่าความแตกต่างระหว่างค่าความหน่วงตามเส้นทางในวงจรรางคู่กับ  $t_6$  อาจเลือกเส้นทางมายัง  $t_3$  เป็นเส้นทางด้านบนใดก็ได้ นอกจากนี้การเปรียบเทียบค่าความหน่วงที่แยกไปในวงจรรางคู่อาจเปรียบเทียบกับ  $t_4$  หรือ  $t_5$  หรือทั้งสองการเปลี่ยนแปลงขึ้นอยู่กับผู้ออกแบบกำหนดว่าเส้นทางใดต้องการทดสอบตามข้อกำหนดความหน่วง ดังนั้นการวัดค่าครอบคลุมความผิดพลาดต้องมีการกำหนดข้อผิดพลาดทั้งหมดก่อนซึ่งขึ้นกับผู้ออกแบบ โดยวิธีการทดสอบนำเสนอมุ่งเน้นการวัดความสามารถในการทดสอบได้ของวงจรทั้งหมดเพื่อหาค่าความหน่วงเส้นทางทั้งหมด โดยค่าครอบคลุมความผิดพลาดอาจมีค่าสูงกว่าความสามารถในการทดสอบได้ เพราะค่าความผิดพลาดทั้งหมดอาจไม่จำเป็นต้องทดสอบทุกเส้นทาง สำหรับการทดสอบวงจรข้อผิดพลาดความหน่วงด้วยข้อผิดพลาดความหน่วงเส้นทางในวิทยานิพนธ์นี้เลือกทดสอบข้อผิดพลาดความหน่วงเส้นทางไปยังเอาต์พุตของวงจรรางคู่ทั้งหมดในการเปรียบเทียบกับเส้นทางไปยังวงจรตอบรับ ซึ่งปริมาณเวกเตอร์ทดสอบความหน่วงเส้นทางที่ต้องการทดสอบเป็นปริมาณเวกเตอร์ทดสอบในวงจรรางคู่กับปริมาณเวกเตอร์ทดสอบในวงจรตอบรับ

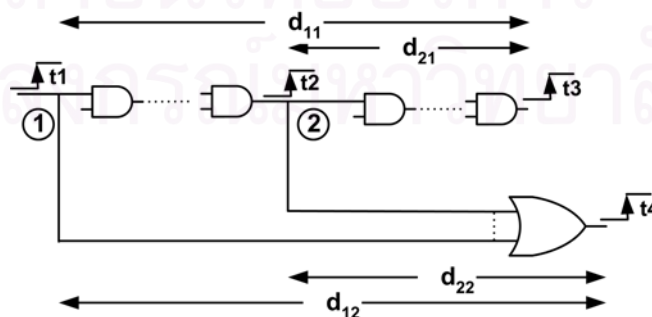
## บทที่ 4

### การปรับปรุงวงจรตอบรับ

ในบทนี้กล่าวถึงแนวทางในการปรับปรุงวงจรตอบรับ โดยกล่าวถึง ลักษณะการทำงาน ของวงจรตอบรับ, การปรับปรุงวงจรตอบรับเพื่อลดปริมาณสายสัญญาณ และการปรับปรุงวงจรตอบรับในกรณีที่เกิดข้อผิดพลาดความหน่วง ตามลำดับ

#### 4.1 ลักษณะการทำงานของวงจรตอบรับ

วงจรเชิงผสมแบบบอสวาร์มีการทำงานถูกต้องก็ต่อเมื่อสัญญาณตอบรับมีการเปลี่ยนแปลงระดับสัญญาณหลังจากทุกสายสัญญาณในวงจรวางคู่เปลี่ยนแปลงระดับสัญญาณเสร็จสิ้นแล้ว พิจารณาวงจรตอบรับที่ออกแบบจากแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วง ชนิดปรับมาตราส่วนได้และการทำงานแบบเส้นทางเดียวของวงจรวางคู่ที่ออกแบบโดยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ พบว่าการเปลี่ยนแปลงระดับสัญญาณของเส้นทางต่อเชื่อมเกตแอนด์หนึ่ง ในวงจรวางคู่มีการเปลี่ยนแปลงระดับสัญญาณไปสายสัญญาณที่ถูกเลือกดึงสายและเปลี่ยนแปลงระดับสัญญาณตอบรับเพื่อตรวจสอบการทำงานของวงจรวางคู่ในขั้นการทำงานและขั้นว่าง ในแต่ละการทำงานมีเพียงสายสัญญาณหนึ่งเส้นที่ถูกเลือกดึงที่มีผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับ เนื่องจากลักษณะการทำงานของเกตออร์ในวงจรตอบรับ ในการเปลี่ยนแปลงระดับสัญญาณขาขึ้นการเปลี่ยนแปลงระดับสัญญาณที่เร็วที่สุดของอินพุตของเกตออร์ส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับ และในการเปลี่ยนแปลงระดับสัญญาณขาลงการเปลี่ยนแปลงระดับสัญญาณที่ช้าที่สุดของสายสัญญาณอินพุตของเกตออร์ส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับ ดังนั้นหากมีการเลือกดึงสายสัญญาณที่ไม่มีผลต่อการเปลี่ยนแปลงระดับสัญญาณจึงสามารถลดปริมาณสายสัญญาณได้



รูปที่ 4.1 การเลือกดึงสองสายสัญญาณในเส้นทางการเปลี่ยนแปลงระดับสัญญาณของเส้นทางต่อเชื่อมเกตแอนด์เดียวกันในแผนภาพตัดสินใจแบบทวิภาค

จากรูปที่ 4.1 แสดงถึงการเลือกตั้ง 2 สายสัญญาณในเส้นทางการต่อเชื่อมของเกตแอนดในวงจรรางคู่ภายในวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ที่มีการออกแบบโดยวงจรตอบรับที่ไร้อุปกรณ์ชนิดซี โดยให้มีการเลือกตั้งสายสัญญาณของจุด 1 และ 2 ในวงจรรางคู่ การเปลี่ยนแปลงระดับสัญญาณที่เส้นเป็น  $t_1$  และ  $t_2$  ตามลำดับ  $d_{11}$ ,  $d_{21}$  เป็นความหน่วงของเส้นทางในวงจรรางคู่จากเส้นที่ 1 และ 2 ไปยังเอาต์พุตของวงจรรางคู่ และ  $d_{12}$ ,  $d_{22}$  เป็นความหน่วงของเส้นทางจากเส้นที่ 1 และ 2 ไปยังเอาต์พุตของวงจรตอบรับ จากการออกแบบของวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ มีการออกแบบภายใต้ค่า  $K$  ซึ่งออกแบบความหน่วงประมาณสัมพันธ์ดังนี้

$$d_{12e} > Kd_{11e} \quad (4.1)$$

$$d_{22e} > Kd_{21e} \quad (4.2)$$

$$d_{11e} > d_{21e} \quad (4.3)$$

$$d_{12e} > Kd_{11e} > Kd_{21e} \quad (4.4)$$

จากสมการที่ (4.3) ค่าความหน่วงจากจุดที่ 1 ไปยังเอาต์พุตของวงจรรางคู่มีค่ามากกว่าค่าความหน่วงจากจุดสัญญาณที่ 2 ไปยังเอาต์พุต ดังนั้นหากออกแบบให้  $d_{12e}$  มากกว่า  $K$  เท่าของ  $d_{11e}$  ซึ่งมากกว่า  $K$  เท่าของ  $d_{21e}$  ตามสมการที่ (4.4) หากความหน่วงมีการเปลี่ยนแปลงภายใต้  $K$  เท่า การเปลี่ยนแปลงระดับสัญญาณตามเส้นทางของ  $d_{12a}$  มีค่ามากกว่า  $d_{11a}$  และ  $d_{21a}$  ดังนั้นการเลือกตั้งสายสัญญาณที่จุด 1 จึงสามารถตรวจสอบการทำงานได้ แต่ถ้าการเปลี่ยนแปลงระดับสัญญาณ  $t_4$  ขึ้นอยู่กับจุด 2 และสร้างการเปลี่ยนแปลงระดับสัญญาณตอบรับ  $t_4$  หลังการเปลี่ยนแปลงในรางคู่เสร็จสิ้น การเลือกตั้งสายสัญญาณที่จุด 2 สามารถตรวจสอบการทำงานได้ เช่นเดียวกัน หากการเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับที่เกิดจากจุดใดและการเปลี่ยนแปลงระดับสัญญาณหลังจากทุกสายสัญญาณในวงจรรางคู่เปลี่ยนแปลงเสร็จสิ้นแล้ว จุดที่มีการเลือกตั้งสายจุดนั้นสามารถตรวจสอบการทำงานได้ ดังนั้นสายสัญญาณเพียงเส้นเดียวที่ส่งผลต่อการเปลี่ยนแปลงสัญญาณตอบรับในเส้นทางการต่อเชื่อมของเกตแอนดนั้นสามารถตรวจสอบการทำงานที่เกิดขึ้นในการเปลี่ยนแปลงระดับสัญญาณในเส้นทางการต่อเชื่อมของเกตแอนดในแต่ละการทำงานนั้น ๆ ได้

การเลือกตั้งสายสัญญาณเส้นอื่นนั้นอาจใช้ในการตรวจสอบในการทำงานของเส้นทางการต่อเชื่อมของเกตแอนดอื่น อย่างไรก็ตามการออกแบบวงจรที่มีการเลือกตั้งสายสัญญาณ



มาสร้างวงจรตอบรับเพื่อตรวจสอบมากจนเกินความจำเป็น อาจมีสายสัญญาณที่ไม่ส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับในการทำงานใด ๆ ซึ่งสามารถละทิ้งได้

การทำงานของวงจรตอบรับในการเปลี่ยนแปลงระดับสัญญาณในชั้นว่าง การเปลี่ยนแปลงระดับสัญญาณในวงจรตอบรับขึ้นอยู่กับค่าการเปลี่ยนแปลงระดับสัญญาณอินพุตที่ช้าที่สุดของเกตออร์ในวงจรตอบรับซึ่งส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับ และค่าการเปลี่ยนแปลงระดับสัญญาณอินพุตที่เร็วที่สุดส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับในการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงาน พิจารณาจากลักษณะการเปลี่ยนแปลงระดับสัญญาณตอบรับแล้วไม่ควรละทิ้งสายสัญญาณที่เลือกตั้งสำหรับตรวจสอบการเปลี่ยนแปลงระดับสัญญาณในชั้นว่าง เพราะในสายที่ส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับในการเปลี่ยนแปลงระดับสัญญาณในชั้นว่าง หากละทิ้งสายสัญญาณทำให้สัญญาณตอบรับเปลี่ยนแปลงระดับสัญญาณเร็วขึ้น ซึ่งการทำงานของวงจรอาจผิดพลาดได้ ในการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงานนั้น สายที่มีผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับในชั้นทำงานนั้นสามารถละทิ้งได้ โดยการเปลี่ยนแปลงระดับสัญญาณตอบรับขึ้นอยู่กับสายสัญญาณเส้นอื่นซึ่งส่งผลให้มีการเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับช้าลง แต่การทำงานจะถูกต้องเนื่องจากสัญญาณตอบรับที่ช้าลงมีการเปลี่ยนแปลงระดับสัญญาณหลังจากทุกสัญญาณในวงจรอาจมีการเปลี่ยนแปลงระดับสัญญาณเสร็จสิ้น ส่วนสายสัญญาณที่ไม่ส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณสามารถละทิ้งได้ แต่การละทิ้งสายสัญญาณอาจทำให้ค่าความหน่วงในวงจรตอบรับลดลงและทำให้ความหน่วงของการเปลี่ยนแปลงระดับสัญญาณในแต่ละเส้นทางลดลง และก่อให้เกิดข้อผิดพลาดความหน่วงได้ ซึ่งในวิทยานิพนธ์ทำการปรับปรุงวงจรโดยไม่ละทิ้งสายสัญญาณที่ตรวจสอบการเปลี่ยนแปลงระดับสัญญาณในชั้นว่างในการทำงานแต่ละครั้ง

กำหนดให้ “สายหลักของการเปลี่ยนแปลง” แทน สายที่ตรวจสอบการเปลี่ยนแปลงระดับสัญญาณในชั้นว่างในการทำงานแต่ละครั้ง

ในการทดสอบข้อผิดพลาดความหน่วงในการทำงานของวงจรสมวาร หากพบว่าวงจรมีการทำงานผิดพลาด การทดสอบข้อผิดพลาดความหน่วงเส้นทางสามารถระบุสายสัญญาณที่มีการเลือกตั้งสายที่ส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับก่อให้เกิดข้อผิดพลาดความหน่วง เพื่อปรับปรุงวงจรได้ นอกจากนี้หากผลการเปลี่ยนแปลงระดับสัญญาณจากการทดสอบการทำงานของวงจรสมวารพบว่า ค่าการเปลี่ยนแปลงระดับสัญญาณของวงจรอาจเสร็จ

สิ้นเร็วกว่าการเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับมากจนเกินไป แสดงถึงการตรวจสอบการสิ้นสุดของสายสัญญาณในวงจรวงคู่มากเกินไป สามารถปรับปรุงวงจรตอบรับโดยลดปริมาณการเลือกตั้งสายสัญญาณที่ไม่จำเป็นได้

#### 4.2 การปรับปรุงวงจรตอบรับเพื่อลดปริมาณสายสัญญาณ

การเลือกตั้งสายสัญญาณมาสร้างวงจรตอบรับมากจนเกินไปนั้นอาจทำให้วงจรมีขนาดใหญ่และยากต่อการทดสอบ ดังนั้นเมื่อพิจารณาการทำงานของวงจรสมวาร การเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับสำหรับการทำงานหนึ่งขึ้นอยู่กับสายสัญญาณเพียงหนึ่งเส้นที่เลือกตั้งเพื่อสร้างวงจรตอบรับในการทำงานนั้น

จากตัวอย่างตาม รูปที่ 4.1 แสดงถึงการเลือกตั้งสองสายสัญญาณในเส้นทางเดียวกัน กำหนดให้การเปลี่ยนแปลงระดับสัญญาณในในชั้นวางขึ้นอยู่กับจุดที่มีการเลือกตั้งสายที่ 2 และให้การเปลี่ยนแปลงระดับสัญญาณในชั้นทำงานขึ้นอยู่กับจุดที่มีการเลือกตั้งสายที่ 1 เมื่อลดการเลือกตั้งสายที่ไม่ใช่สายหลักของการเปลี่ยนแปลง คือลดการเลือกตั้งสายสัญญาณในจุด 1 ในชั้นวางการเปลี่ยนแปลงระดับสัญญาณตอบรับขึ้นจุดที่มีการเลือกตั้งสายที่ 2 ส่วนในชั้นทำงานการเปลี่ยนแปลงระดับสัญญาณของสัญญาณตอบรับขึ้นจุดที่มีการเลือกตั้งสายที่ 2 เช่นเดียวกัน โดยหากสัญญาณตอบรับมีการเปลี่ยนแปลงระดับสัญญาณหลังจากทุกสัญญาณในวงจรวงคู การทำงานจะถูกต้องตามข้อกำหนดความหน่วงของวงจรเชิงผสมแบบอสมวาร

การลดปริมาณการเลือกตั้งสายสามารถลดให้มีการเลือกตั้งสายเฉพาะสายหลักของการเปลี่ยนแปลงได้ เพราะในแต่ละเส้นทางของแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับต้องมีการเลือกตั้งสายสัญญาณอย่างต่ำหนึ่งสาย เพื่อตรวจสอบการเปลี่ยนแปลงระดับสายสัญญาณในเส้นทางต่อเชื่อมเกตแอนดนั้น การลดสายสัญญาณโดยเลือกตั้งเฉพาะสายหลักของการเปลี่ยนแปลงอาจทำให้ความหน่วงของวงจรตอบรับลดลงมากจนเกินไปจนทำให้วงจรมีข้อผิดพลาดความหน่วงได้ ดังนั้นการลดสายสัญญาณอาจทำโดยกำหนดค่าความแตกต่างของความหน่วงในชั้นทำงาน เพราะค่าความหน่วงโดยรวมลดลงทำให้ความหน่วงของสายที่มีความแตกต่างระหว่างการเปลี่ยนแปลงสัญญาณตอบรับกับวงจรวงคู่น้อยลงด้วย ซึ่งอาจเป็นสาเหตุของข้อผิดพลาดได้และการเปลี่ยนแปลงของอินพุตของเกตออร์ที่เร็วที่สุดมีผลต่อการเปลี่ยนแปลงในชั้นทำงานมักเป็นสาเหตุของข้อผิดพลาด จึงกำหนด “ค่ากำหนดความต่างความหน่วงการเปลี่ยนแปลงระดับสัญญาณขาขึ้น ( $T_p$ )” ซึ่งเป็นค่าความแตกต่างระหว่างการเปลี่ยนแปลงสัญญาณของวงจรวงคู่นับสัญญาณตอบรับในการเปลี่ยนแปลงในชั้นทำงานเป็นเกณฑ์ในการลด

สายสัญญาณ เพื่อเลือกลดเฉพาะสายที่มีความเสี่ยงต่อการเกิดข้อผิดพลาดก่อนในการลดปริมาณสายสัญญาณ หากสายสัญญาณทำให้เกิดการเปลี่ยนแปลงระดับสัญญาณในขาขึ้นนั้นมันมีค่าความแตกต่างน้อยกว่าค่ากำหนดความต่างความหน่วงการเปลี่ยนแปลงระดับสัญญาณขาขึ้น จะเลือกลดสายสัญญาณดังกล่าว โดยการปรับปรุงวงจรทำตามขั้นตอนในรูปที่ 4.2



รูปที่ 4.2 ขั้นตอนการปรับปรุงวงจรตอบรับ

#### 4.3 การปรับปรุงวงจรตอบรับในกรณีที่เกิดข้อผิดพลาดความหน่วง

ในการทดสอบข้อผิดพลาดความหน่วงตามข้อกำหนดของวงจรสมวารสามารถระบุถึงการเลือกดึงสายสัญญาณที่เป็นสาเหตุของข้อผิดพลาดความหน่วงได้ ข้อผิดพลาดความหน่วงเกิดจากสายสัญญาณที่เลือกไปสร้างวงจรตอบรับสร้างการเปลี่ยนแปลงระดับสัญญาณตอบรับเร็วกว่าการเปลี่ยนแปลงสัญญาณในวงจรรางคู่เสร็จสิ้น การระบุสายสัญญาณที่เป็นสาเหตุของข้อผิดพลาดความหน่วงสังเกตได้จากผลการทดสอบความหน่วงเส้นทางของสายสัญญาณที่มีการเลือกดึงเพื่อตรวจสอบสายสัญญาณใดที่มีผลต่อการเปลี่ยนแปลงระดับสัญญาณตอบรับที่ผิดพลาด สายสัญญาณเส้นนั้นเป็นสายสัญญาณที่ทำให้เกิดข้อผิดพลาดความหน่วง

การทดสอบข้อผิดพลาดความหน่วงเส้นทางสามารถระบุถึงสายสัญญาณเส้นที่มีการเลือกดึงและทำให้เกิดข้อผิดพลาดได้ โดยจากจุดที่มีการเลือกดึงสายสัญญาณผิดพลาด วิทยานิพนธ์เสนอการแก้ไขได้ดังนี้

- เลือกสายเคเบิลพุดของวงจรวางคู่เพื่อสร้างวงจรส่วนตอรับ โดยนำสายเคเบิลพุดของวงจรวางคู่กับสายสัญญาณเคเบิลพุดของวงจรตอรับเดิมมาต่อกับอุปกรณ์ชนิดซีเป็นสัญญาณตอรับเพื่อตรวจสอบการเปลี่ยนแปลงระดับสัญญาณที่ซ้ำที่สุดในการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงาน ซึ่งสามารถแก้ไขในกรณีที่มีข้อผิดพลาดความหน่วงในการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงาน
- กำจัดสายก่อให้เกิดความผิดพลาด เพื่อแก้ไขในกรณีที่มีข้อผิดพลาดความหน่วงในชั้นทำงาน โดยหากสายสัญญาณที่ก่อความผิดพลาดไม่เป็นสายหลักของการเปลี่ยนแปลงสำหรับการทำงานใด ๆ จึงสามารถละทิ้งได้และในการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงาน สายสัญญาณอื่นส่งผลให้มีการเปลี่ยนแปลงช้าลง จึงลดการเลือกตั้งสายสัญญาณดังกล่าว แต่การลดสายสัญญาณอาจทำให้การความหน่วงของวงจรตอรับลดลงและทำให้เกิดข้อผิดพลาดได้ นอกจากนี้สายสัญญาณบางเส้นที่ไม่สามารถสังเกตได้อาจเป็นสายที่ก่อให้เกิดข้อผิดพลาดความหน่วงใหม่ได้
- จัดลำดับสายใหม่ ลำดับของสายสัญญาณที่เรียงกันของเกตออร์วีในวงจรตอรับส่งผลต่อความหน่วงของสายสัญญาณ การจัดลำดับสายสัญญาณที่เหมาะสมทำให้ได้ความหน่วงที่ถูกต้อง แต่การจัดลำดับสายสัญญาณอาจทำให้การความหน่วงของวงจรตอรับเปลี่ยนแปลงและทำให้เกิดข้อผิดพลาดได้
- เพิ่มบัฟเฟอร์ (Buffer) ให้กับสายที่ก่อให้เกิดข้อผิดพลาดเพื่อให้ได้ความหน่วงที่ถูกต้องเหมาะสมกับการทำงาน หรืออาจเพิ่มความหน่วงกับวงจรตอรับโดยรวม
- เพิ่มสายสัญญาณ การเลือกตั้งสายสัญญาณเพิ่มเติม โดยเพิ่มค่า K ทำให้มีการเลือกตั้งสายเพื่อตรวจสอบสายสัญญาณเพิ่มขึ้น แต่การเพิ่มสายสัญญาณอาจทำให้การความหน่วงของวงจรตอรับเปลี่ยนแปลงหรือสายสัญญาณที่เลือกตั้งใหม่อาจทำให้เกิดข้อผิดพลาดความหน่วงได้

การปรับปรุงวงจรจำเป็นต้องมีการทดสอบข้อผิดพลาดความหน่วงวงจรอีกครั้ง เพื่อตรวจสอบความถูกต้องของวงจรที่ได้รับการปรับปรุง โดยการทดสอบข้อผิดพลาดความหน่วงในการทำงานสำหรับวงจรที่ได้รับการปรับปรุงสามารถทดสอบเช่นเดียวกับวงจรก่อนการปรับปรุง เนื่องจากการปรับปรุงวงจรไม่มีการเปลี่ยนแปลงในส่วนวงจรวางคู่

## บทที่ 5

### การทดลอง

บทนี้กล่าวถึง การทดลองการสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงานวงจรเชิงผสมแบบอสมวาร การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรรางคู่และวงจรตอบรับ และการเปรียบเทียบผลของวงจรหลังการปรับปรุง

การทดลองกับวงจรวัดเปรียบเทียบสมรรถนะของ MCNC ซึ่งจากวงจรเปรียบเทียบสมรรถนะนำมาสร้างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับโดยใช้วิธีการสร้างแผนภาพตัดสินใจแบบทวิภาคโดยเทคนิคการเรียนรู้ต้นไม้ตัดสินใจ [12] และออกแบบวงจรตอบรับโดยใช้การออกแบบวงจรตอบรับที่รู้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ [5] โดยใช้ภาษาวีเอสดีแอลในการอธิบายลักษณะของวงจร โดยทำการสังเคราะห์ด้วยโปรแกรม Leonardo Spectrum [30] เพื่อสร้างไฟล์สกุล .EDF และนำไปสังเคราะห์บนเอฟพีจีเอ XCV200Epq240-6 ด้วยโปรแกรม Xilinx ISE 5.2i [31] ซึ่งทำการสังเคราะห์ตามวิธีในการออกแบบไมโครโปรเซสเซอร์ 8 บิตที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ [6] และทดสอบวงจรที่ได้จากการสังเคราะห์ โดยใช้โปรแกรม Model Sim [32] ในการจำลองการทำงาน เพื่อทดสอบค่าความหน่วงของวงจรและการปรับปรุงวงจรตอบรับ โดยไม่ทำการทดสอบวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดเสมือน

#### 5.1 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงานสำหรับวงจรเชิงผสมแบบอสมวาร

การทดลองสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงานสำหรับวงจรเชิงผสมแบบอสมวารนั้น ปริมาณของเวกเตอร์ทดสอบของวงจรเชิงผสมแบบอสมวารแสดงดังตาราง 5.1 ซึ่งแสดงถึง ข้อตัวอย่างวงจรเปรียบเทียบสมรรถนะ จำนวนตัวแปร (ปริมาณอินพุตของวงจรมีค่าเป็น 2 เท่า) จำนวนฟังก์ชัน (ปริมาณเอาต์พุตของวงจรมีค่าเป็น 2 เท่า) เนื่องจากอินพุตและเอาต์พุตเป็นรหัสรางคู่ ขนาดของแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่สร้างโดยเทคนิคการเรียนรู้ต้นไม้ตัดสินใจ [12] ปริมาณของเส้นทางในแผนภาพตัดสินใจทวิภาคชนิดมีการลดทอนอันดับ เป็นปริมาณเส้นทางรวมทั้งหมดของทุกแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ และปริมาณของคู่เวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงานสำหรับวงจรเชิงผสมแบบอสมวาร โดยปริมาณคู่เวกเตอร์ทดสอบรวมทั้งการทดสอบในการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงานและการเปลี่ยนแปลงระดับสัญญาณในชั้นว่าง

ตารางที่ 5.1 ปริมาณเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงาน

วงจร	จำนวนตัวแปร (อินพุต)	จำนวนฟังก์ชัน (เอาต์พุต)	ขนาดของ แผนภาพ ตัดสินใจแบบ ทวิภาค	ปริมาณ เส้นทางใน แผนภาพ	ปริมาณของคู่ เวกเตอร์ ทดสอบ
9sym	9	1	33	220	440
alu4	14	8	692	2521	3146
b12	15	9	60	121	134
clip	9	5	93	428	476
con1	7	2	15	23	38
misex1	8	7	36	99	68
duke2	22	29	336	1595	1216
rd53	5	3	23	71	64
rd84	8	4	59	587	512
t481	16	1	32	1681	3362
xor5	5	1	9	32	64

จากผลการทดลองพบว่าปริมาณคู่เวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงานขึ้นอยู่กับปริมาณเส้นทางในแผนภาพตัดสินใจแบบทวิภาคชนิดที่มีการลดทอนอันดับโดยขนาดของแผนภาพตัดสินใจแบบทวิภาคส่งผลต่อขนาดของวงจร แต่ไม่ส่งผลต่อปริมาณคู่เวกเตอร์ทดสอบข้อผิดพลาดความหน่วงในการทำงาน เมื่อทดสอบวงจรที่ออกแบบตามแบบจำลองความหน่วงชนิดปรับมาตราส่วนได้บนเอฟพีจีเอ พบว่าวงจรมีข้อผิดพลาดในการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงาน ซึ่งอาจเนื่องมาจากการออกแบบวงจรไม่สามารถกำหนดค่าความหน่วงให้เป็นไปตามที่ต้องการได้ [6] และการเลือกตั้งสายสัญญาณเพื่อสร้างวงจรตอบรับไม่สามารถทำได้ตามวิธีในการออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมแบบอสถวารีที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ทั้งหมด เนื่องจากไม่สามารถเลือกตั้งสายภายในลुकซ์พเทเบิล (Lookup Table : LUT) ได้ แต่ในการทำงานของวงจรเชิงผสมการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงานมีการตรวจสอบอีกครั้งจากอุปกรณ์ชนิดซีเพื่อเปลี่ยนแปลงสัญญาณเอาต์พุตของวงจร หากวงจรไม่มีข้อผิดพลาดความหน่วงในการ

เปลี่ยนแปลงระดับสัญญาณในชั้นว่าง การทำงานของวงจรถูกต้อง แต่การนำสัญญาณตอบรับไปใช้ในการติดต่อกับส่วนอื่นอาจทำให้เกิดข้อผิดพลาดได้

## 5.2 การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทาง

การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรถึงผสมแบบผสมรวมทำการทดลองโดยแบ่งออกเป็น 2 ส่วน คือส่วนวงจรรางคู่และส่วนวงจรถอบรับ

### 5.2.1 ส่วนวงจรรางคู่

ตารางที่ 5.2 ปริมาณเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรรางคู่

วงจร	เส้นทางในแผนภาพ	เส้นทางในวงจรรางคู่	ปริมาณคู่เวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทาง	ปริมาณคู่เวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางโดยรวมเวกเตอร์ทดสอบในแผนภาพเดียวกัน
9sym	220	904	1808	1176
alu4	2521	27800	29156	21244
b12	121	482	598	392
clip	428	2072	2420	1664
con1	23	75	130	84
misex1	99	353	264	184
duke2	1595	10749	10908	8276
rd53	71	222	212	132
rd84	587	2001	1836	1206
t481	1681	6268	12536	6274
xor5	32	92	184	92

ในการทดลองนั้นมีการสร้างวงจรรางคู่ที่มีการออกแบบโดยแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับสามารถสร้างเวกเตอร์ทดสอบตามวิธีที่ได้นำเสนอตามตาราง 5.2 แสดงถึงปริมาณของคู่เวกเตอร์ทดสอบในวงจรรางคู่ เส้นทางทั้งหมดในวงจรรางคู่ และแสดงการเปรียบเทียบระหว่างปริมาณคู่เวกเตอร์ทดสอบที่ใช้วิธีการลดเวกเตอร์ทดสอบ โดยการใช้และไม่ใช้รวมเวกเตอร์ทดสอบภายในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเดียวกัน ซึ่งการสร้างเวกเตอร์ทดสอบทั้งสองมีการกำหนดเส้นทางด้านบนและรวมเวกเตอร์ทดสอบระหว่าง

แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเช่นเดียวกัน ปริมาณคู่เวกเตอร์ทดสอบเป็น ปริมาณคู่เวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางทั้งการเปลี่ยนแปลงระดับสัญญาณขา ขึ้นและการเปลี่ยนแปลงระดับสัญญาณขาลง

การทดสอบที่สร้างตามวิธีที่น่าเสนอเป็นการทดสอบแบบโรบัสต์และสามารถ ทดสอบได้ทั้งหมดของวงจร คือความสามารถในการทดสอบได้ 100 เปอร์เซ็นต์ การรวมการ ทดสอบภายในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับสามารถลดปริมาณคู่ เวกเตอร์ทดสอบได้

### 5.2.2 ส่วนวงจรตอบรับ

วงจรตอบรับที่มีการออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสม แบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้บนเอฟพีจีเอสามารถสร้างเวกเตอร์ ทดสอบได้ดังตารางที่ 5.3 แสดงถึงจำนวนสายที่เลือกตั้งจากวงจรวงคู่เพื่อสร้างวงจรตอบรับตาม วิธีเดิม [6], ปริมาณของเส้นทางทั้งหมดในวงจรตอบรับซึ่งเป็นปริมาณเส้นทางทั้งหมดไปยัง เอาท์พุทของวงจรตอบรับหรือสัญญาณตอบรับ ปริมาณของคู่เวกเตอร์ทดสอบข้อผิดพลาด ความหน่วงเส้นทางของวงจรตอบรับ โดยรวมทั้งการเปลี่ยนแปลงระดับสัญญาณขาขึ้นและการ เปลี่ยนแปลงระดับสัญญาณขาลง ความสามารถในการทดสอบได้ และอัตราส่วนของการทดสอบ แบบโรบัสต์

จากผลการทดลองพบว่าการสร้างเวกเตอร์ข้อผิดพลาดความหน่วงเส้นทาง สำหรับวงจรตอบรับ ปริมาณของเส้นทางของวงจรตอบรับ, ปริมาณของคู่เวกเตอร์ทดสอบและ ความสามารถในการทดสอบได้ขึ้นอยู่กับตำแหน่งของสายสัญญาณที่มีการเลือกตั้ง จากการสร้าง เวกเตอร์ทดสอบพบว่าอัตราส่วนของการทดสอบได้มีค่าต่ำ เนื่องจากการเลือกตั้งสายสัญญาณ บางเส้นภายในวงจรบนเส้นทางต่อเชื่อมของเกตแอนด์ส่งผลกระทบต่อกันทำให้บางเส้นทางไม่ สามารถกำหนดการทดสอบให้มีความแตกต่างกันได้ นอกจากนี้การทดสอบที่สร้างได้อัตราส่วน ของการทดสอบแบบโรบัสต์มีค่าต่ำ โดยส่วนมากเป็นการทดสอบแบบเนียนโรบัสต์ ซึ่งสามารถทดสอบ ข้อผิดพลาดความหน่วงเส้นทางได้หากเส้นทางอื่นไม่มีข้อผิดพลาดความหน่วงเส้นทางซึ่งในการ ทดสอบจริงแล้วเส้นทางที่สามารถทดสอบได้อาจมีค่าน้อยกว่าค่าความสามารถในการทดสอบได้ ในตาราง อย่างไรก็ตามเส้นทางที่ไม่สามารถทดสอบได้ไม่มีผลต่อการเปลี่ยนแปลงสัญญาณตอบ รับในการทำงาน แต่ไม่สามารถทดสอบข้อผิดพลาดความหน่วงเส้นทางเพื่อทดสอบข้อกำหนด ความหน่วงตามแบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้



ตารางที่ 5.3 ปริมาณเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรตอบรับ

วงจร	ปริมาณสายสัญญาณที่ถูกเลือกตั้ง	ปริมาณเส้นทางของวงจรตอบรับ	ปริมาณคู่เวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทาง	ความสามารถในการทดสอบได้ %	อัตราส่วนของการทดสอบแบบโรบัสต์ %
9sym	55	1770	882	24.92	1.02
b12	102	793	284	17.91	3.78
clip	179	4323	936	10.83	0.42
con1	31	100	76	38	14
misex1	86	528	166	15.72	2.84
rd53	37	258	108	20.93	3.88
rd84	94	3399	792	11.65	0.47
xor5	16	82	76	46.34	12.20

### 5.3 การเปรียบเทียบผลของวงจรหลังการปรับปรุง

จากการทดลองปรับปรุงวงจรตอบรับตารางที่ 5.4 แสดงถึงผลการเปรียบเทียบวงจร ในปริมาณสายสัญญาณที่ถูกเลือกตั้ง, เวลาเฉลี่ยของการทำงานสำหรับการทำงานรูปแบบหนึ่งเป็นเวลารวมขึ้นว่างและขึ้นทำงาน ปริมาณเวกเตอร์ทดสอบความหน่วงเส้นทาง ปริมาณเวกเตอร์ทดสอบความหน่วงในการทำงาน ความสามารถในการทดสอบได้และอัตราส่วนของการทดสอบแบบโรบัสต์ของวงจรตอบรับที่ได้จากการปรับปรุง

ปริมาณเวกเตอร์ทดสอบความหน่วงเส้นทางเป็นปริมาณเวกเตอร์ทดสอบของวงจรวางคู่กับวงจรตอบรับที่จำเป็นต้องพิจารณารวมกัน โดยเงื่อนไขในการทดสอบเป็นการทดสอบทุกเส้นทางไปยังเอาต์พุตของวงจรวางคู่ ดังนั้นปริมาณเวกเตอร์ทดสอบในวงจรวางคู่จึงเป็นเวกเตอร์สำหรับเส้นทางทั้งหมดจากเส้นสัญญาณที่เลือกตั้งไปยังเอาต์พุตของวงจรวางคู่ โดยกำหนดอินพุตต้นทางเป็นอินพุตของบัพที่ใกล้ที่สุดและในกรณีที่เป็นเอาต์พุตของเกตออร์เลือกเส้นทางที่ไม่ซ้ำกับเส้นทางอื่นเพื่อให้สามารถกำหนดเวกเตอร์ทดสอบได้ ซึ่งการกำหนดทดสอบข้อผิดพลาดความหน่วงเส้นทางในวงจรวางคู่นั้นใช้วิธีการลดปริมาณเวกเตอร์ทดสอบโดยการรวมการทดสอบทั้งการรวมการทดสอบระหว่างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับและภายในแผนภาพแบบทวิภาคชนิดมีการลดทอนอันดับเดียวกัน

ความสามารถในการทดสอบได้และอัตราส่วนของการทดสอบแบบโรบัส เป็นการทดสอบที่สร้างได้ทั้งหมดต่อการเปลี่ยนแปลงตามเส้นทางทั้งหมดในวงจรตอบรับ ซึ่งรวมถึงเส้นทางต่าง ๆ ที่ไม่ได้จำเป็นต้องทดสอบตามเงื่อนไขที่กำหนดด้วย

ตัวอย่างการปรับปรุงวงจรเปรียบเทียบสมรรถนะประกอบด้วย 3 ส่วน

\* คือ วงจรเริ่มต้นที่มีการสร้างตามวิธีปกติ [6]

\*\* คือ วงจรที่ลดปริมาณสายสัญญาณตามค่ากำหนดความต่างของความหน่วงในการเปลี่ยนแปลงระดับสัญญาณขาขึ้น ( $T_p$ ) สำหรับแต่ละตัวอย่างเป็น 10 เปอร์เซ็นต์ของค่าเวลาเฉลี่ยในการเปลี่ยนแปลงในชั้นทำงาน เนื่องจากการทดสอบความหน่วง พบว่ามีสายสัญญาณจำนวนมากที่ไม่สามารถสังเกตได้ และเมื่อกำหนดค่า  $T_p$  ให้มีค่ามากขึ้นมักไม่ส่งผลต่อการลดสาย เพราะสายที่ไม่สามารถสังเกตได้นั้น ไม่ได้นำมาใช้ในการพิจารณาการลด หากลดสายสัญญาณดังกล่าวจะทำให้มีการลดลงจำนวนมากจนใกล้เคียงกับการดึงเฉพาะสายหลักของการเปลี่ยนแปลง และถ้ากำหนดค่ามากจนเกินไปจะต้องลดการดึงสายเกือบทุกสาย ดังนั้นจึงเลือกค่า  $T_p$  เป็น 10 เปอร์เซ็นต์ของค่าเวลาเฉลี่ยในการเปลี่ยนแปลงในชั้นทำงาน

\*\*\* คือ วงจรตอบรับที่มีการลดสายทั้งหมดให้เหลือดึงเฉพาะสายหลักของการเปลี่ยนแปลง

หากวงจรมีข้อผิดพลาดความหน่วงในการเปลี่ยนแปลงในชั้นทำงานแต่มีความถูกต้องของความหน่วงในการเปลี่ยนแปลงในชั้นว่าง การทำงานของวงจรจะถูกต้อง โดยแสดงถึงค่าข้อผิดพลาดความหน่วงในการเปลี่ยนแปลงในชั้นทำงานไว้ด้วยสีเทาเข้มและตัวอักษรสีเข้มในค่าเวลาเฉลี่ยในการทำงาน ในกรณีที่สายหลักของการเปลี่ยนแปลงเป็นสาเหตุที่ทำให้เกิดข้อผิดพลาดหรือเป็นสายสัญญาณที่สามารถละทิ้ง ในการปรับปรุงวงจรทั้งวงจรที่ลดปริมาณสายสัญญาณตามค่า  $T_p$  และวงจรตอบรับที่มีการลดสายทั้งหมดให้เหลือดึงเฉพาะสายหลักของการเปลี่ยนแปลง ในการปรับปรุงวงจรมีการจัดลำดับของสายสัญญาณใหม่ โดยให้สายสัญญาณดังกล่าวให้อยู่ในระดับบนขึ้นเพื่อเพิ่มความหน่วง โดยการเพิ่มบัฟเฟอร์ของวงจรรวมวารบนเอฟพีจีเอนั้น เครื่องมือที่ใช้ในวิทยานิพนธ์ไม่สามารถทำได้ และไม่สามารถเลือกดึงสายเพิ่มได้ เนื่องจากไม่สามารถเลือกดึงสายภายในลูคัฟเทเบิลได้ และไม่ใช้การปรับปรุงโดยเลือกสายเอาท์พุทของวงจรวางคู่เพื่อสร้างวงจรส่วนตอบรับโดยอุปกรณ์ชนิดซี เนื่องจากในวิทยานิพนธ์เลือกทดสอบเฉพาะวงจรตอบรับที่มีการออกแบบโดยไม่ใช้อุปกรณ์ชนิดซีเท่านั้น

ตารางที่ 5.4 ผลการเปรียบเทียบวงจรตอบรับที่ได้รับการปรับปรุง

วง จ ร		ปริมาณสาย สัญญาณที่ เลือกตั้ง	เวลาเฉลี่ยใน การทำงาน (ns)	ปริมาณ เวกเตอร์ ทดสอบ ความหน่วง เส้นทาง	ปริมาณ เวกเตอร์ ทดสอบ ความหน่วง ในการ ทำงาน	ความ สามารถ ในการ ทดสอบได้ %	อัตราการ ทดสอบแบบ โรบัสต์ %
9sym	*	55	36.578	1286	440	24.92	1.02
	**	30	35.582	310	440	96.81	5.39
	***	8	39.41	38	440	99.23	91.11
b12	*	102	40.176	596	134	17.91	3.78
	**	78	39.5	472	134	37.98	4.11
	***	38	38.493	288	134	65.79	4.78
clip	*	179	42.136	2022	476	10.83	0.42
	**	123	42.702	658	476	56.64	2.84
	***	42	41.763	250	476	73.52	6.56
con1	*	31	34.197	146	38	38	14
	**	31	34.197	146	38	38	14
	***	14	30.939	76	38	93.44	14.75
misex1	*	86	40.413	356	68	15.72	2.84
	**	86	40.413	356	68	15.72	2.84
	***	37	39.064	210	68	35.84	2.39
rd53	*	37	33.143	206	64	20.93	3.88
	**	21	32.467	82	64	64.25	15.84
	***	13	35.906	46	64	72.51	28.07
rd84	*	94	41.174	1392	512	11.65	0.47
	**	60	41.17	634	512	45.22	0.53
	***	22	40.157	458	512	74.52	0.75
xor5	*	16	32.325	124	64	46.34	12.20
	**	16	32.325	124	64	46.34	12.20
	***	6	29.628	80	64	66.67	8.33

จากการปรับปรุงวงจรสามารถลดปริมาณการเลือกดึงสายสัญญาณในการสร้างวงจรตอบรับได้ โดยเฉพาะการออกแบบโดยการเลือกดึงเฉพาะสายหลักของการเปลี่ยนแปลงสามารถลดปริมาณการเลือกดึงสายของวงจรลงจากการออกแบบปกติมากและขนาดของวงจรตอบรับจึงลดลง ในวงจรเปรียบเทียบสมรรถนะ con1, misex1 และ xor5 การลดสายตามค่า  $T_p$  พบว่าไม่มีสายสัญญาณที่ต้องลด เนื่องจากสายสัญญาณบางเส้นทางไม่สามารถทดสอบได้หรือค่าความหน่วงที่สามารถสังเกตได้มีค่ามากกว่า  $T_p$  หรือเป็นสายหลักของวงจร จึงไม่สามารถละทิ้งสายสัญญาณใดได้

จากผลการทดสอบพบว่า มีบางวงจรเปรียบเทียบสมรรถนะมีข้อผิดพลาดความหน่วงในการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงาน แต่วงจรทั้งหมดมีความถูกต้องในการเปลี่ยนแปลงระดับสัญญาณในชั้นว่าง ซึ่งถือว่าวงจรทำงานได้ถูกต้อง พิจารณาตัวอย่างวงจรเปรียบเทียบสมรรถนะ 9sym และ rd53 เมื่อลดปริมาณสายสัญญาณตามค่า  $T_p$  เวลาเฉลี่ยในการทำงานของวงจรลดลง แต่เมื่อลดปริมาณสายสัญญาณให้เลือกดึงเฉพาะสายหลักของการเปลี่ยนแปลงเวลาเฉลี่ยในการทำงานมากขึ้นและวงจรมีความถูกต้องทั้งในการเปลี่ยนแปลงในชั้นทำงานและชั้นว่าง เพราะเวลาในการเปลี่ยนแปลงในชั้นทำงานมากขึ้น แต่ในการปรับปรุงตัวอย่างวงจรเปรียบเทียบสมรรถนะ clip, rd53 และ rd84 พบว่ามีสายหลักของการเปลี่ยนแปลงซึ่งไม่สามารถละทิ้งได้เป็นสาเหตุของข้อผิดพลาดความหน่วง จึงการจัดลำดับกลุ่มสายสัญญาณที่ก่อให้เกิดความผิดพลาดให้อยู่ในระดับต้นของเกตออร์ในวงจรตอบรับ ซึ่งในตัวอย่งวงจรเปรียบเทียบสมรรถนะ rd53 วงจรมีการลดปริมาณสายตามค่า  $T_p$  มีข้อผิดพลาดความหน่วงในการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงาน เนื่องจากเมื่อลดปริมาณสายสัญญาณบางเส้นทางที่ไม่สามารถสังเกตได้จะสามารถสังเกตได้ และสายเหล่านั้นส่งผลต่อการเปลี่ยนแปลงระดับสัญญาณขาขึ้นของสัญญาณตอบรับซึ่งเป็นสาเหตุของข้อผิดพลาด แต่เมื่อลดปริมาณสายให้เลือกดึงเฉพาะสายหลักของการเปลี่ยนแปลง วงจรมีความถูกต้องทั้งในการเปลี่ยนแปลงในชั้นทำงานและชั้นว่าง โดยค่าเวลาเฉลี่ยในการทำงานมีค่ามากขึ้น เนื่องจากเวลาในการเปลี่ยนแปลงระดับสัญญาณขาขึ้นมีค่ามากขึ้นเพราะการเปลี่ยนแปลงระดับสัญญาณขาขึ้นขึ้นอยู่กับสายที่มีความหน่วงมากกว่า ส่วนในวงจรเปรียบเทียบสมรรถนะ clip และ rd84 มีข้อผิดพลาดความหน่วงในการเปลี่ยนแปลงในชั้นทำงาน แม้ลดปริมาณสายสัญญาณลงให้เลือกดึงเฉพาะสายหลักของการเปลี่ยนแปลง โดยทั้ง 2 วงจร เมื่อลดปริมาณสายสัญญาณพบว่าเวลาเฉลี่ยในการทำงานลดลง ทั้งในการเปลี่ยนแปลงในชั้นว่างและชั้นทำงาน ส่วนการทดสอบกับวงจรเปรียบเทียบสมรรถนะ b12 พบว่ามีข้อผิดพลาดความหน่วงในการเปลี่ยนแปลงในชั้นทำงาน เมื่อทำการทดสอบไม่สามารถสังเกตค่า

ความหน่วงเส้นทางในการเปลี่ยนแปลงระดับสัญญาณขาขึ้นของสายหลักของการเปลี่ยนแปลงได้ในวงจรที่ออกแบบตามปกติ เมื่อลดปริมาณสายสัญญาณทำให้ความหน่วงของวงจรตอบรับลดลงและเวลาเฉลี่ยในการทำงานลดลง พบว่าวงจรมีข้อผิดพลาดความหน่วงในชั้นทำงานและสายหลักของการเปลี่ยนแปลงเป็นสาเหตุของข้อผิดพลาด และสำหรับวงจรเปรียบเทียบสมรรถนะ con1, misex1 และ xor5 เมื่อทำการทดสอบพบว่ามีความถูกต้องในการทำงานในชั้นว่างและชั้นทำงาน การปรับปรุงโดยการลดปริมาณสายสัญญาณ พบว่าเวลาเฉลี่ยในการทำงานของวงจรลดลงและวงจรมีความถูกต้องในการทำงานในชั้นว่างและชั้นทำงาน

เมื่อลดปริมาณการดึงสายทำให้ปริมาณเส้นทางของวงจรตอบรับลดลงดังนั้นปริมาณเส้นทางที่ต้องทดสอบลดลง ซึ่งทำให้จำนวนเวกเตอร์ที่ต้องทดสอบตามข้อผิดพลาดความหน่วงเส้นทางมีค่าลดลงด้วย อย่างไรก็ตามในการทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรตอบรับบางเส้นทางไม่สามารถทดสอบได้

วงจรที่ได้จากการปรับปรุง ปริมาณการทดสอบข้อผิดพลาดความหน่วงในการทำงานมีปริมาณเท่าเดิม เพราะไม่มีการปรับปรุงวงจรรางคู่ ดังนั้นการทดสอบข้อผิดพลาดความหน่วงในการทำงานสำหรับวงจรหลังการปรับปรุงสามารถทดสอบได้เช่นเดิม

วงจรที่ได้จากการปรับปรุง พบว่าการสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางนั้นความสามารถในการทดสอบได้ของวงจรมีค่าสูงขึ้น เนื่องจากการเลือกดึงสายบนเส้นทางต่อเชื่อมของเกตแอนด์ส่งผลต่อกันทำให้ไม่สามารถสร้างเวกเตอร์ทดสอบได้ การลดปริมาณสายสัญญาณทำให้เส้นทางที่ต้องทดสอบมีน้อยลงและสามารถกำหนดเวกเตอร์ทดสอบได้มากขึ้น

อัตราส่วนของการทดสอบแบบโรบัสต์จะเพิ่มขึ้นเมื่อลดปริมาณสายสัญญาณเนื่องจากปริมาณเส้นทางที่ต้องการทดสอบลดลง แต่ตัวอย่างวงจรเปรียบเทียบสมรรถนะ misex1 และ xor5 อัตราส่วนของการทดสอบแบบโรบัสต์ลดลง เนื่องจากการเลือกดึงสายอินพุตลดลงทำให้การทดสอบแบบโรบัสต์ลดลง

## บทที่ 6

### สรุปผลและข้อเสนอแนะ

#### 6.1 สรุปผล

วิทยานิพนธ์นี้นำเสนอการทดสอบข้อผิดพลาดความหน่วงวงจรสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ ที่มีการออกแบบจากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ ซึ่งสามารถสร้างเวกเตอร์ทดสอบได้จากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่ใช้ในการออกแบบ จึงสามารถสร้างเวกเตอร์ทดสอบพร้อมกับการออกแบบได้ การทดสอบข้อผิดพลาดความหน่วงของวงจรของวงจรสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้สามารถทำการทดสอบจากการทดสอบข้อผิดพลาดความหน่วงในการทำงานและการทดสอบข้อผิดพลาดความหน่วงเส้นทาง

การทดสอบข้อผิดพลาดความหน่วงในการทำงานเป็นการทดสอบตามข้อกำหนดความหน่วงในการทำงานของวงจรเชิงผสม วงจรจะทำงานถูกต้องก็ต่อเมื่อสัญญาณตอบรับมีการเปลี่ยนแปลงระดับสัญญาณหลังจากทุกสายสัญญาณในวงจรรางคู่มีการเปลี่ยนแปลงเสร็จสิ้นแล้ว โดยทดสอบตามลักษณะการทำงานตามการทำงานรางคู่แบบสองชั้นชนิดกลับคู่ศูนย์ โดยทดสอบด้วยการสร้างเวกเตอร์ทดสอบเพื่อตรวจสอบการทำงาน ในการทดสอบสามารถลดการทดสอบโดยทดสอบเฉพาะค่าอินพุตตามเส้นทางทั้งหมดในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับจึงสร้างเวกเตอร์ทดสอบได้จากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่ใช้ในการออกแบบ โดยปริมาณของคู่เวกเตอร์ทดสอบขึ้นอยู่กับปริมาณของเส้นทางในแผนภาพตัดสินใจแบบทวิภาค

การทดสอบข้อผิดพลาดความหน่วงเส้นทางเป็นการทดสอบเพื่อตรวจสอบค่าความหน่วงเส้นทางในการตรวจสอบตามข้อกำหนดความหน่วง โดยการสร้างเวกเตอร์ทดสอบแบ่งเป็นการทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรรางคู่และวงจรตอบรับซึ่งสามารถสร้างได้จากแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับเช่นเดียวกัน การทดสอบข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรรางคู่สามารถทดสอบข้อผิดพลาดความหน่วงเส้นทางได้ทุกเส้นทางในวงจร คือความสามารถในการทดสอบได้เป็น 100 เปอร์เซ็นต์ และสามารถลดปริมาณการทดสอบได้โดยทดสอบเส้นทางมากกว่าหนึ่งเส้นทางพร้อม ๆ กัน โดยการรวมการทดสอบสามารถทำได้จากระหว่างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับและภายในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ การสร้างเวกเตอร์ทดสอบ

ข้อผิดพลาดความหน่วงเส้นทางสำหรับวงจรตอบรับสามารถสร้างได้จากการสร้างการเปลี่ยนแปลงระดับสัญญาณถึงบัปในแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่สร้างเป็นสายสัญญาณที่ถูกเลือกดึงสาย ความสามารถในการทดสอบได้และอัตราส่วนของการทดสอบแบบโรบัสของการออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้มีค่าต่ำ เนื่องจากการเลือกดึงสายสัญญาณส่งผลต่อกันทำให้ไม่สามารถทดสอบบางเส้นทางได้ ดังนั้นการออกแบบตามวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้จึงไม่สนับสนุนการทดสอบข้อผิดพลาดความหน่วงเส้นทาง โดยความสามารถในการทดสอบได้และอัตราการทดสอบแบบโรบัสของวงจรตอบรับขึ้นอยู่กับตำแหน่งที่เลือกดึงสายสัญญาณ

การสร้างเวกเตอร์ทดสอบข้อผิดพลาดความหน่วงเส้นทางสามารถตรวจสอบสายสัญญาณเป็นสาเหตุข้อผิดพลาดความหน่วงในวงจรเพื่อการปรับปรุงวงจรตอบรับ การทดสอบความหน่วงเส้นทางของวงจรตอบรับพบว่าสายสัญญาณที่มีการเลือกดึงสายบางเส้นไม่มีผลต่อการเปลี่ยนแปลงของสัญญาณตอบรับจึงสามารถลดสายสัญญาณได้ จึงทำการปรับปรุงวงจรตอบรับเพื่อลดปริมาณสายสัญญาณโดยไม่ลดสายหลักของการเปลี่ยนแปลง จากการปรับปรุงวงจรเชิงผสมแบบอสมวารที่สร้างบนแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับบนเอฟพีจีเอ พบว่าเมื่อลดปริมาณสายสัญญาณลงความสามารถในการทดสอบได้และอัตราการทดสอบแบบโรบัสมีค่าเพิ่มขึ้น เวลาเฉลี่ยในการทำงานอาจเพิ่มขึ้นหรือลดลงขึ้นอยู่กับตำแหน่งของสายสัญญาณที่ละทิ้ง เนื่องจากการเปลี่ยนแปลงระดับสัญญาณตอบรับขึ้นอยู่กับตำแหน่งที่เลือกดึง ซึ่งหากการเปลี่ยนแปลงขึ้นกับสายที่มีการเปลี่ยนแปลงช้ากว่าเดิมจะทำให้การเปลี่ยนแปลงระดับสัญญาณตอบรับช้าลงได้ นอกจากนี้การลดสายสัญญาณสามารถปรับปรุงวงจรให้ความถูกต้องได้

## 6.2 ข้อเสนอแนะ

1. ในการออกแบบวงจรอสมวารบนเอฟพีจีเอพบว่าการทดสอบข้อผิดพลาดความหน่วงในการทำงานวงจรมักมีความผิดพลาดในการเปลี่ยนแปลงระดับสัญญาณในชั้นทำงาน เนื่องจากการกำหนดค่าความหน่วงประมาณให้กับเกต และสายในวงจรไม่สามารถทำได้นอกจากนี้การออกแบบวงจรอสมวารบนเอฟพีจีเอไม่สามารถทำการออกแบบได้ตรงตามแบบจำลองความหน่วงชนิดปรับมาตราส่วนได้ เนื่องจากไม่สามารถเลือกดึงสายภายในลูกอัปเดตเบิ้ลได้

2. การลดปริมาณคู่แข่งทดสอบในข้อผิดพลาดความหวังเส้นทางของวงจรรางคู่ อาจลดปริมาณคู่แข่งทดสอบได้ โดยการทดสอบจากอินพุตต้นทางที่มากกว่าหนึ่งได้ เนื่องจากการรวมการทดสอบข้อผิดพลาดความหวังเส้นทางในการทดสอบในวงจรรางคู่ ตามวิธีที่นำเสนอมีอินพุตต้นทางอินพุตเดียวที่มีการเปลี่ยนแปลงระดับสัญญาณ การเปลี่ยนแปลงระดับสัญญาณจากอินพุตต้นทางที่มากกว่าหนึ่งอาจเพิ่มความเป็นไปได้ในการลดปริมาณคู่แข่งทดสอบได้
3. การทดสอบกับวงจรเชิงผสมแบบผสมวาร์ที่ไม่ไวต่อความหวังชนิดเสมือน ในการทดสอบข้อผิดพลาดความหวังอาจเพิ่มประสิทธิภาพในการทดสอบได้ โดยการพิจารณาตามการทดสอบวงจรเชิงลำดับได้



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย



## รายการอ้างอิง

1. S. Hauck. Asynchronous design Methodologies: An overview. Proceeding of IEEE 83, 1 (October 1997) : 66-93.
2. A. Takamura, M. Imai, T. Fuji, M. Ozawa, I. Fukasaku, Y. Ueno and T. Nanya. TITAC-2: An asynchronous 32-bit microprocessor based on Scalable-Delay-Insensitive Model. Proceeding of ICCD IEEE (October 1997) : 288-294.
3. T. Nanya, A. Takamura, M. Kuwako, M. Imai, M. Ozawa, M. Ozcan, R. Morizawa and H. Nakamura. Scalable-Delay-Insensitive Design: A High-performance Approach to Dependable Asynchronous Systems (Invited paper). Proceedings of International Symposium on Future of Intellectual Integrated Electronics (March 1999) : 531-540.
4. T. Nanya, Y. Ueno, H. Kagontani, M. Kuwako and A. Takamura. TITAC: Design of a Quasi-Delay-Insensitive Microprocessor. IEEE Design & Test of Computers 11, 2 (1994) : 50-63.
5. รัชดา นุตจรัส. การออกแบบวงจรตอบรับที่ไร้อุปกรณ์ชนิดซีสำหรับวงจรเชิงผสมแบบอสถวารีที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้. วิทยานิพนธ์ปริญญาโทมหาบัณฑิต สาขาวิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย, 2542.
6. ปัญญา เรื่องสินทรัพย์. การออกแบบไมโครโปรเซสเซอร์ 8 บิต ที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้โดยใช้เอฟพีจีเอ. วิทยานิพนธ์ปริญญาโทมหาบัณฑิต สาขาวิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย, 2544.
7. S. Yang. Logic Synthesis and Optimization Benchmarks User Guide Version 3.0. [Online]. Research Triangle Park, NC: Microelectronics Center of North Carolina, 1991. Available from: <http://www.cbl.ncsu.edu/> (February 2004).
8. C. L. Seitz. Introduction of VLSI Systems. New York : Addison Wesley, 1981.
9. R. E. Bryant. Symbolic Boolean Manipulation with Order Binary Decision Diagrams. ACM Computing Survey 24, 3 (September 1992) : 293-318.
10. R. E. Bryant. Graph-based Algorithms for Boolean Function Manipulation. IEEE Transaction On Computer C-35, 8 (August 1986) : 677-691.

11. S.B. Aker. Binary Decision diagram. IEEE transaction on computer C-27, 6 (June 1978) : 509-516.
12. ศิริพรรณ วิญญนนท์กุล. การสร้างแผนภาพตัดสินใจแบบทวิภาคโดยเทคนิคการเรียนรู้ต้นไม้ตัดสินใจ. วิทยานิพนธ์ปริญญาโทมหาบัณฑิต สาขาวิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย, 2544.
13. G. L. Smith. Model for Delay Faults Based upon Paths. Proceedings of International Test Conference (September 1985) : 342-349.
14. A. K. Majhi, and V. D. Agrawal. Delay Fault Models and Coverage. Proceedings of Eleventh International Conference on VLSI Design (January 1998) : 364-369.
15. A.K. Pramanick and S.M. Reddy. On Multiple Path Propagating Tests for Path Delay Fault. International Test Conference (October 1991) : 393-402.
16. C. J. Lin and S. M. Reddy. On Delay Fault Testing in Logic Circuits. IEEE Transactions on Computer-Aided Design (September 1987) : 694-703.
17. Michael Kishinevsky, Alex Kondratyev, Luciano Lavagno, Alex Saldanha and Alexander Taubin. Partial-Scan Delay Fault Testing of Asynchronous Circuits. IEEE Transactions on Computer-Aided Design of Integrated Circuits and System 11, 17 (November 1998) : 1184-1199.
18. Henrik Hulgaard, Steven M. Burns and Gaetano Borriello. Testing Asynchronous Circuits: A Survey. Integration: VLSI Journal 19, 3 (December 1995) : 111-131.
19. O.A. Petlin and S.B. Furber. Scan Testing of Micropipelines. Proceeding of 13th IEEE VLSI Test Symposium, (May 1995).
20. Doug Edwards and Will Toms, Design, Automation and Test for Asynchronous Circuits and Systems [Online]. ACID-WG Group Report, Available from <http://www.scism.sbu.ac.uk/ccsv/ACiD-WG>, (February 2004).
21. S.M. Nowick, N.K. Jha and Fu-Chiung Cheng, Synthesis of Asynchronous Circuits for Stuck-At and Robust Path Delay Fault Testability, 8th International Conference on VLSI Design, (January 1995) : 171-176.

22. I. Pomeranz and S.M. Reddy. An Efficient Nonenumerative Method to Estimate The Path Delay Fault Coverage in Combinational Circuits, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems 13, 2 (February 1994) : 240-250.
23. S. Tragoudas, Accurate Path Delay Fault Coverage Is Feasible, Proceedings of International Test Conference, (1999) : 201-210.
24. S. Padmanaban, M.K. Michael, and S. Tragoudas. Exact Path Delay Fault Coverage with Fundamental ZBDD Operations, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems 22, 3 (March 2003) : 305-316
25. B. Kapoor and V. S. S. Nair. Computing Exact Path Delay Fault Coverage using OBDDs, Proceedings of IEEE Midwest Symposium on Circuit and Systems, (August 1994)
26. W. K. Lam, A. Saldhana, R. K. Brayton and A. L. Sangiovanni-Vincentelli. Delay Fault Coverage, Test Set Size, and Performance Tradeoffs. IEEE Transactions on Computer Aided Design 14, 1 (January 1995) : 32-44.
27. K. T. Cheng and H. Chen. Delay Testing for Non-robust Untestable Circuits. Proceeding of International Test Conference, (October 1993) : 954-961.
28. K. T. Cheng and H. C. Chen. Classification and Test Generation for Path-Delay Faults using Single Stuck-Fault Tests. Journal Electronic Testing: Theory and Applications 11, 1 (August 1997) : 55-67.
29. M. Sivaraman and A. J. Strojwz. Primitive Path Delay Fault Identification. Proceeding of 10th International Conference on VLSI Design (January 1997) : 95-100.
30. Exemplar Logic Incorporation. [Online], Available from: <http://www.mentor.com/leonardospectrum>., (February 2003).
31. Xilinx Incorporation. [Online], Available from: <http://www.xilinx.com>., (February 2003).
32. Model Technology. [Online], Available from: <http://www.model.com>., (February 2003).



ภาคผนวก

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

## ภาคผนวก ก

### รูปแบบเพิ่มข้อมูลนำเข้าของวงจรเปรียบเทียบสมรรถนะ

รูปแบบเพิ่มข้อมูลนำเข้า [7] ESPRESSO เป็นรูปแบบเพิ่มข้อมูลนำเข้าที่ใช้อธิบายฟังก์ชันตรรกะ โดยอธิบายในรูปแบบเมทริกซ์ (Matrix) และมีคำหลัก (Keyword) ที่ใช้อธิบายลักษณะของฟังก์ชัน เครื่องหมาย # ที่อักขระแรกของบรรทัดเพื่อระบุว่าบรรทัดนั้นเป็นหมายเหตุ (Comment) และแต่ละแถวของพีแอลเอ (PLA) เป็นหนึ่งบรรทัดของเพิ่มข้อมูลนำเข้า ซึ่งคำหลักในเพิ่มข้อมูลนำเข้ามีดังต่อไปนี้ ให้ [d] แทนเลขฐานสิบ และ [s] แทนสายอักขระ รูปแบบของพีแอลเอเป็นดังต่อไปนี้

- .i [d] ระบุจำนวนตัวแปรอินพุต
- .o [d] ระบุจำนวนฟังก์ชันเอาต์พุต
- .type [s] กำหนดการแปลความหมายทางตรรกะของเมทริกซ์อักขระ ซึ่งสายอักขระ [s] ถูกระบุด้วยสายอักขระ f, r, fd, fr, dr หรือ fdr อันใดอันหนึ่ง
- .phase [s] สายอักขระ [s] ระบุจำนวน 0 หรือ 1 ของฟังก์ชันเอาต์พุตเพื่อประโยชน์ในการลดขนาด
- .p [d] ระบุจำนวนของผลคูณ (Product Terms)
- .e (.end) กำหนดจุดสิ้นสุดของส่วนอธิบายพีแอลเอ

รูปแบบของเมทริกซ์พีแอลเอแต่ละบรรทัดหมายถึงผลคูณหนึ่งพจน์ โดยประกอบด้วยสองส่วน คือส่วนซ้ายและขวาซึ่งคั่นด้วยช่องว่าง ส่วนซ้ายหมายถึงค่าอินพุต และส่วนขวามุ่งถึงฟังก์ชันเอาต์พุต ค่าแต่ละตำแหน่งของส่วนอินพุตคือค่าของตัวแปรอินพุตแต่ละตัว โดยอักขระ 0 แสดงตัวแปรอินพุตในรูปแบบส่วนเติมเต็มในผลคูณ อักขระ 1 แสดงตัวแปรอินพุตในรูปแบบปกติในผลคูณ และอักขระ - แสดงตัวแปรอินพุตไม่ปรากฏในผลคูณ

เนื่องจากความหมายของฟังก์ชันตรรกะสามารถอธิบายได้ โดยการใช้การแบ่งกลุ่มของผลคูณอินพุต ซึ่งแบ่งเป็น 3 กลุ่ม คือ เซตเปิด (ON-set), เซตปิด (OFF-set) และเซตไม่สนใจค่า (DC-set) เซตเปิดของฟังก์ชันตรรกะคือเซตของผลคูณที่ทำให้ฟังก์ชันเอาต์พุตให้ผลลัพธ์เป็นค่า 1 เซตปิดคือ เซตของผลคูณที่ทำให้ฟังก์ชันเอาต์พุตให้ผลลัพธ์เป็นค่า 0 และเซตไม่สนใจค่าคือ เซตผลคูณที่ไม่ระบุผลลัพธ์ของฟังก์ชันเอาต์พุต ดังนั้นความหมายของส่วนฟังก์ชันเอาต์พุตมีความหมายดังนี้

ตรรกะประเภท  $f$  สำหรับฟังก์ชันเอาต์พุตแต่ละฟังก์ชัน อักขระ 1 คือ ผลคูณนั้นเป็นสมาชิกของเซตเปิด และอักขระ 0 และ  $-$  คือ ผลคูณนั้นไม่มีผลต่อค่าของฟังก์ชัน

ตรรกะประเภท  $fd$  สำหรับฟังก์ชันเอาต์พุตแต่ละฟังก์ชัน อักขระ 1 คือ ผลคูณนั้นเป็นสมาชิกของเซตเปิด อักขระ 0 คือ ผลคูณนั้นไม่มีผลต่อค่าของฟังก์ชัน และ อักขระ  $-$  คือ ผลคูณนั้นเป็นสมาชิกของเซตไม่สนใจค่า

ตรรกะประเภท  $fr$  สำหรับฟังก์ชันเอาต์พุตแต่ละฟังก์ชัน อักขระ 1 คือ ผลคูณนั้นเป็นสมาชิกของเซตเปิด อักขระ 0 คือ ผลคูณนั้นเป็นสมาชิกของเซตปิด และอักขระ  $-$  คือ ผลคูณนั้นไม่มีผลต่อค่าของฟังก์ชัน

ตรรกะประเภท  $fdr$  สำหรับฟังก์ชันเอาต์พุตแต่ละฟังก์ชัน อักขระ 1 คือ ผลคูณนั้นเป็นสมาชิกของเซตเปิด อักขระ 0 คือ ผลคูณนั้นเป็นสมาชิกของเซตปิด และอักขระ  $-$  ผลคูณนั้นเป็นสมาชิกของเซตไม่สนใจค่า อักขระ  $\sim$  คือ ผลคูณนั้นไม่มีผลต่อค่าของฟังก์ชัน

ตัวอย่างเพิ่มข้อมูลนำเข้า con1.pla

.i 7

.o 2

.p 9

-1--1-- 10

1-11--- 10

-001--- 10

01---1- 10

-0--0-- 01

1---0-- 01

0----0 01

01--1-- 01

10-0--- 01

.e

## ภาคผนวก ข

### การสร้างแผนภาพตัดสินใจแบบทวิภาคโดยเทคนิคการเรียนรู้ต้นไม้ตัดสินใจ

การสร้างแผนภาพตัดสินใจแบบทวิภาคโดยเทคนิคการเรียนรู้ต้นไม้ตัดสินใจ [12] เป็นการนำเสนอวิธีการสร้างแผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับที่มีขนาดเล็ก โดยการหาลำดับตัวแปรเริ่มต้นของแผนภาพตัดสินใจแบบทวิภาค จากนั้นใช้การแลกเปลี่ยนลำดับตัวแปรของการพัฒนาที่ละชั้น

การเรียนรู้ต้นไม้ตัดสินใจเป็นวิธีการเรียนรู้จากตัวอย่างและแทนความรู้ที่ได้ในรูปแบบต้นไม้ตัดสินใจ ซึ่งสามารถสร้างต้นไม้ตัดสินใจได้หลายต้นขึ้นอยู่กับการเลือกคุณลักษณะของการไม่แบ่งพวกที่แตกต่างกัน โดยต้นไม้ตัดสินใจควรมีขนาดเล็กเพื่อการเลือกคุณลักษณะไม่แบ่งพวกที่ใช้แบ่งตัวอย่างแล้ว ค่าความสามารถในการแบ่งตัวอย่างเรียกว่า Gain ซึ่งความสามารถในการแบ่งตัวอย่างจะลดลง เมื่อค่า Gain เพิ่มขึ้น เมื่อนำมาประยุกต์กับการสร้างแผนภาพตัดสินใจแบบทวิภาคสามารถทำได้โดยการแทนข้อมูลการสอนของการเรียนรู้ต้นไม้ตัดสินใจด้วยตารางค่าความจริง ซึ่งเป็นทุกตัวอย่างที่เป็นไปได้ของฟังก์ชันตรรกะ และในต้นไม้ตัดสินใจมีการลดทอนส่วนที่ซ้ำแตกต่างกัน ความสามารถในการแยกตัวอย่างจึงแตกต่างกัน และเรียกค่าความสามารถในการแบ่งตัวอย่างในการคำนวณว่า Modify\_Gain

$$\text{Modify\_Gain (คุณลักษณะการไม่แบ่งพวก)} = \sum_b \left[ \left( \frac{n_b}{n_t} \right) \times \left( \sum_c - \frac{n_{bc}}{n_b} \log_2 \frac{n_{bc}}{n_b} \right) \right]$$

โดย  $n$  เป็นจำนวนแถวทั้งหมดของตารางค่าความจริงก่อนการแยกตัวอย่าง สำหรับทุกฟังก์ชันรวมกัน  $n_b$  เป็นจำนวนแถวของตารางค่าความจริง  $b$  ที่ได้หลังการแยกตัวอย่างแล้ว และ  $n_{bc}$  เป็นจำนวนแถวที่มีค่าคำตอบของฟังก์ชันเป็น  $c$  ในตารางความจริง  $b$

ขั้นตอนการสร้างแผนภาพตัดสินใจแบบทวิภาคโดยเทคนิคการเรียนรู้ต้นไม้ตัดสินใจ สามารถทำได้ดังนี้

ขั้นที่ 1 ทดลองแบ่งตารางค่าความจริงและคำนวณค่า Modify\_Gain สำหรับทุกตัวแปร

ขั้นที่ 2 เลือกตัวแปรที่มีค่า Modify\_Gain น้อยที่สุดเป็นลำดับถัดไปของแผนภาพตัดสินใจทวิภาค

โดยทั้ง 2 ขั้นตอนมีการทำซ้ำ จนกระทั่งในแต่ละตารางค่าความจริงย่อยมีคำตอบของฟังก์ชันเหมือนกันทั้งหมด

การพัฒนาที่ละเอียดขึ้นเป็นการหาลำดับที่ดี โดยการแลกเปลี่ยนลำดับของตัวแปร เพื่อลดขนาดของแผนภาพตัดสินใจแบบทวิภาค โดยขั้นตอนวิธีสำหรับพัฒนาที่ละเอียดได้แก่ AD2, AD3, AD4, AR, ARSA และ SIFTING

AD $m$  ( $m = 2, 3$  และ  $4$ ) เป็นการแลกเปลี่ยนลำดับตัวแปร  $m$  ตัวที่อยู่ติดกันในแผนภาพตัดสินใจแบบทวิภาคโดยการเรียงสับเปลี่ยนลำดับของตัวแปร  $m$  ตัวนั้น แล้วสร้างแผนภาพตัดสินใจแบบทวิภาคทั้งหมด  $m!$  แผนภาพ จากนั้นเลือกแผนภาพที่มีขนาดเล็กที่สุด และทำซ้ำจนกระทั่งไม่สามารถหาแผนภาพที่เล็กกว่าได้

AR และ ARSA เป็นการแลกเปลี่ยนลำดับของตัวแปร 2 ตัวใด ๆ แบบสุ่มของแผนภาพตัดสินใจแบบทวิภาค แล้วสร้างแผนภาพตัดสินใจแบบทวิภาค เปรียบเทียบกับขนาดของแผนภาพที่ได้จากนั้นเลือกแผนภาพที่มีขนาดเล็ก โดยใน ARSA ยอมให้เลือกแผนภาพที่มีขนาดใหญ่ได้บ้างสำหรับการพัฒนา และทำซ้ำจนกระทั่งครบจำนวนครั้งของการแลกเปลี่ยนตัวแปร

SIFTING เป็นการหาค่าตำแหน่งที่เหมาะสมสำหรับตัวแปรหนึ่งของแผนภาพตัดสินใจแบบทวิภาคที่มี  $n$  ตัวแปร โดยเลื่อนตำแหน่งของตัวแปรไป  $n$  ตำแหน่งที่เป็นไปได้ แล้วสร้างแผนภาพตัดสินใจแบบทวิภาคทั้งหมด จากนั้นเลือกแผนภาพที่มีขนาดเล็กที่สุด และทำซ้ำจนกระทั่งไม่สามารถหาแผนภาพที่เล็กกว่าได้



ภาคผนวก ค  
ศัพท์เทคนิคที่ใช้ในวิทยานิพนธ์

<u>ภาษาไทย</u>	<u>ภาษาอังกฤษ</u>
กราฟไม่มีวงที่ระบุทิศทาง	Direct Acyclic Graph: DAG
การแกว่งของสัญญาณนาฬิกา	Clock Skew
การแจกแจงข้อผิดพลาดความหน่วงเส้นทาง	Path Delay Fault Enumeration
การทดสอบแบบนอนโรบัสต์	Non-Robust Test
การทดสอบแบบโรบัสต์	Robust Test
การทดสอบแบบสแกน	Scan Testing
การทำงานที่ช้าที่สุด	Worst-Case Delay Operation
การทำงานรางคู่แบบสองชั้นชนิดกลับสู่ศูนย์	2-Rail 2-Phase Return-To-Zero Operation
การประเมินค่าขั้นต่ำ	Pessimistic
การเปลี่ยนแปลงระดับสัญญาณขาขึ้น	Rising Transition
การเปลี่ยนแปลงระดับสัญญาณขาลง	Falling Transition
การเปลี่ยนระดับสัญญาณทางเดียว	Monotonic Change
การเปลี่ยนสถานะหรือการเปลี่ยนระดับสัญญาณ	Transition
การเรียนรู้ต้นไม้ตัดสินใจ	Decision Tree Learning: DTL
การเลื่อนบิต	Shift Bit
การสแกนมาตรฐาน	Standard Scan
การสังเคราะห์	Synthesis
การสิ้นเปลืองพลังงาน	Power Dissipation
การออกแบบมอดูลาร์	Modular Design
การออกแบบวงจรระดับเลย์เอาท์	Layout Circuit Implementation
กำจัดบัพที่ซ้ำกัน	Remove Duplicate Non-terminals
กำจัดไบที่ซ้ำกัน	Remove Duplicate Terminals
กำจัดส่วนที่ซ้ำซ้อน	Remove Redundant Tests
กิ่ง	Branch
กิ่งของสาย	Fork
เกตผกผัน	NOT Gate

เกตออร์	OR Gate
เกตแอนด์	AND Gate
ข้อกำหนดแบบบับเบิล	Bundling Constraint Violations
ข้อผิดพลาดความหน่วงเส้นทาง	Path Delay Fault: PDF
ขั้นตอนวิธี	Algorithm
ขั้นทำงาน	Working Phase
ขั้นว่าง	Idle Phase
ความครอบคลุมความผิดพลาด	Fault Coverage
ความแปรปรวนความหน่วงสูงสุด	Maximum Delay Variation Ratio: K
ความผิดพลาดแบบติดค่าคงที่	Stuck-At Fault
ความสามารถในการควบคุมและการสังเกตได้	Controllability and Observability
ความสามารถในการทดสอบได้	Testability
ความหน่วงจริงสัมพัทธ์	Actual Relative Delay: $D_a$
ความหน่วงประมาณสัมพัทธ์	Estimated Relative Delay: $D_e$
ค่าความหน่วงของกิ่งของสายเทียบเท่ากันตลอดช่วง	Isochronic Fork
ค่าแบ่งรอบการทำงาน	Spacer
คำหลัก	Keyword
ช่วงเวลาระหว่างของสัญญาณนาฬิกา	Clock Interval
เซตปิด	OFF-set
เซตเปิด	ON-set
เซตไม่สนใจค่า	DC-set
บัพ	Node / Non-Terminal
บัพลูก	Child node
บัพเฟอร์	Buffer
แบบจำลองกล่องดำ	Black Box Model
แบบจำลองการทดลองสิ่งแวดล้อม	Environment Operation Model
แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วง	Scalable-Delay-Insensitive: SDI
ชนิดปรับมาตราส่วนได้	
แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วงชนิดเสมือน	Quasi-Delay-Insensitive: QDI
แบบจำลองความหน่วงที่ไม่ไวต่อความหน่วง	Delay-Insensitive: DI

แบบจำลองความหน่วง	Delay Model
ใบ	Leaf / Terminal
แผนภาพตัดสินใจแบบทวิภาค	Binary Decision Diagram
แผนภาพตัดสินใจแบบทวิภาคชนิดมีการลดทอนอันดับ	Reduced-Ordered-Binary Decision Diagram: ROBDD
แผนภาพตัดสินใจแบบทวิภาคชนิดมีอันดับ	Ordered-Binary Decision Diagram: OBDD
พาเซี่ยลสแกน	Partial scan
พีแอลเอ	PLA
เมทริกซ์	Matrix
ไมโครไพพ์ไลน์	Micropipeline
รหัสรางคู่	Dual-Rail Codeword / 2-Rail Codeword
ราก	Root
ลอจิกแบบสองระดับ	Two-Level Logic
ลอจิกหลายระดับ	Multi-Level Logic
ลुकซ์พีเทเบิล	Lookup Table: LUT
แลตช์	Latch
วงจรเชิงผสมแบบอสมวาร	Asynchronous Combinational Circuits
วงจรเชิงลำดับ	Sequential Circuits
วงจรถอบรับ	Acknowledgement Circuits
วงจรเปรียบเทียบสมรรถนะ	Benchmark Circuits
วงจรรางคู่	Dual-Rail Circuits
วงจรสุมวาร	Synchronous Circuits
วงจรอสมวาร	Asynchronous Circuits
วิถี/เส้นทาง	Path
วิธีการพัฒนาทีละขั้น	Gradual Improvement Method
วีเอชดีแอล	VHDL
เวกเตอร์ทดสอบ	Test Vector

ส่วนเติมเต็ม	Complement
สัญญาณตอบรับ	Acknowledgement Signal: ACK
สัญญาณแสดงความสมบูรณ์	Completion Signal
เส้นทางส่งผ่านสัญญาณ	Signal Path Propagate
หน่วยควบคุม	Control Logic
หน่วยประมวลผล	Processing Logic
โหลด	Load
ออฟพาทอินพุต	Off-Path Sensitizing Input
อัตราส่วนความหน่วงสัมพัทธ์	Relative Delay Ratio: R
อินพุต	Input
อุปกรณ์ชนิดซี	C-Element
เอฟพีจีเอ	FPGA
เอ็มเกต	Majority Gate: M-gate
เอ็มอินพุต	M - Input
เอาท์พุต	Output
ฮาซาร์ด	Hazard
ฮาซาร์ดแบบสถิต	Static Hazard

สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

ภาคผนวก ง  
ผลงานที่ตีพิมพ์จากวิทยานิพนธ์

ส่วนหนึ่งของงานวิทยานิพนธ์นี้ได้ตีพิมพ์เป็นบทความทางวิชาการในหัวข้อ  
“Delay Test Generation for Asynchronous Combinational Circuits by Binary Decision  
Diagram” โดย ดนัย สุขจินดาเสถียร และ อาทิตย์ ทองทักษ์ ในงานประชุมวิชาการ “The 4th  
Information and Computer Engineering Postgraduate Workshop 2004 (ICEP 2004)” ซึ่งจัด  
โดย ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสงขลานครินทร์ ณ  
มหาวิทยาลัยสงขลานครินทร์ วิทยาเขตภูเก็ต ในวันที่ 22-23 มกราคม 2547



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย

# Delay Test Generation for Asynchronous Combinational Circuits by Binary Decision Diagram

Danai Sukjindasathian and Arthit Thongtak  
Department of Computer Engineering  
Chulalongkorn University

254 Phayathai Road, Patumwan, Bangkok 10330, Thailand.

Email: danai.s@student.netserv.chula.ac.th, Arthit.T@chula.ac.th

## Abstract

According to the timing assumption based global clock; the approach of delay testing for asynchronous combinational circuits in data-path differs from the delay testing for synchronous one. Moreover, it is necessary on delay testing for designed circuits with delay estimation. This paper proposes the delay testing method for asynchronous circuits using acknowledgement signal in acknowledgement network. We show that two-pattern testing for synchronous circuits can be applied for delay testing on the asynchronous combinational circuits, which are implemented to 2-rail 2-phase operation. In particular, the circuits designed by Reduced-Ordered-Binary Decision Diagrams (ROBDDs) are fully delay testable based on circuits' function. Test patterns so can be generated directly without circuits analysis. However, we have to use path delay testing for the circuits to analysis delay constraint for other issues, such as fault location and design aid. The experiments show that the test patterns for functional delay testing depend on the number of path in ROBDDs. The test patterns for path delay testing for dual-rail network depends on the characteristic of ROBDDs. The path delay test pattern for acknowledgement network depends on the selection of wires in the dual-rail network to construct the acknowledgement network.

## 1. Introduction

Asynchronous circuits have been proven as an efficient implementation since wire-delay becomes the dominant term in the layout design. The dominant wire-delay causes many functional restrictions on synchronous design such as global synchronization and clock timing control. Eliminating of global clock, asynchronous design can offer the solution on these problems. In addition, we can achieve ease of modular composition, potentially fast operation with average-case delay, and low power consumption. However, asynchronous circuits are hard to

design due to their sensitivity to all signal changes.

There are delay faults in synchronous circuits if they have any paths with a total delay exceeding the global clock interval. In contrast, asynchronous circuits do not use global clock, so delay faults vary occurring in asynchronous circuits if there are delays in circuit miss timing assumption. (Figure 1, acknowledgement signal change while dual-rail network is stable)

Delay model [1] plays an essential role in asynchronous circuit design as a layout abstraction. In the unbounded delay model, Delay Insensitive (DI) and Quasi-Delay Insensitive (QDI)[2] does not have any delay estimation. All unlikely transitions of the logic design must be carefully validated. This makes the circuit tolerate on a harsh environment but it's suffered from much hardware cost. On the other hand, circuits designed by Scalable-Delay-Insensitive (SDI) [3][4], that is the novel delay model based on timing reliability, are smaller and faster, but possibly have an error operation. In particular, a SDI model is constructed to increase performance. Some delay faults may have an effect on the correctness; hence, the circuits are necessary to be testable.

In this paper, we propose a test strategy based on the functional analysis of dual-rail network for the hazard-free SDI combinational circuits by Reduced-Ordered-Binary Decision Diagrams (ROBDDs) implementation. Our work uses an acknowledgement network approach from [9].

This paper is organized as follows. Section 2 gives a brief overview of asynchronous combinational circuit, dual-rail code, SDI model, acknowledgement network and path delay fault (PDF). Section 3 present a strategy for test SDI model by ROBDDs implementation. Section 4 provides experimental results. Finally, Section 5 gives conclusions.

## 2. Preliminaries

### 2.1 Asynchronous Combinational Circuit

Dual-rail code technique [5] is generally used for asynchronous combinational circuits design. The

logic data 0 and 1 are represented as 2-rail codeword (0,1) and (1,0) in each pair wire (x,x'), respectively. The non-codeword (0,0) (spacer) is used to separate the operational cycle because there is no clock in the system. Each operational cycle is composed of working phase and idle phase alternately performed that is called 2-rail 2-phase (return-to zero) operation [5]. The asynchronous combinational circuit is illustrated by figure 1 and figure 2 shows its operation.

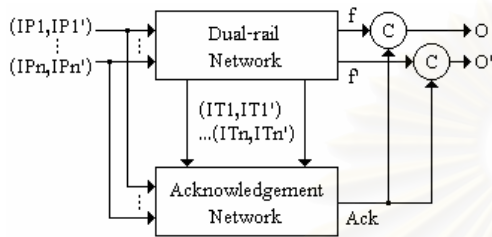


Figure 1. Asynchronous combinational circuit

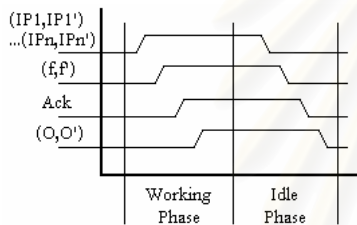


Figure 2. 2-rail 2-phase(return-to-zero) operation

In working phase, dual-rail network computes the codeword output function (f, f') as the output of Boolean function corresponding to the applied input pattern. In idle phase, all wires must be reset to spacer. The circuits that works in this operation has only rising transition (0→1) in working phase and falling transition (1→0) in idle phase. This is called monotonic change property, which is hazard-free equivalence. In figure 1, the dual-rail network is a ROBDDs Implementation [2] (see in figure 3) of Boolean function. The acknowledgement network generates an acknowledgement signal (ACK) to indicate the completion of dual-rail network. In working or idle phase, the rising or falling transition of acknowledgement signal is used to propagate the codeword output function (f,f') to the output circuit (o,o') through C-Elements.

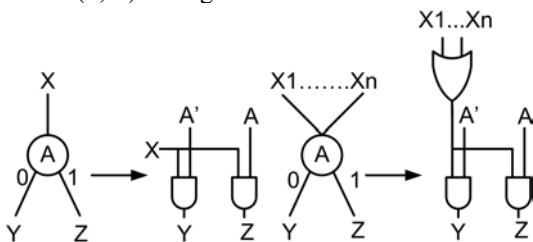


Figure 3. Dual-rail network implementation by ROBDDs

2.2 Scalable-Delay-Insensitive Model

SDI is an unbounded delay model with the bounded relative variation ratio (R). R is the ratio of Actual Relative Delay (Da) and Estimated Relative Delay (De). Da denotes the realized delay through system lifetime. De denotes the estimate delay at design phase. R represents the estimation error that, in the circuits implementation, is bounded to Maximum Variation Ratio (K) as  $1/K < R < K$ . It makes the circuit design easier.

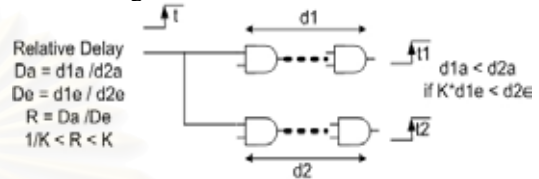


Figure 4. SDI circuit implementation

In the specification of a circuit, two transitions have to occur in sequence. The circuit is implemented as two paths operate sequentially as shown in figure. 4 based on SDI. Although t1 is K times slower, the result circuit still operate correctly. Hence, the essential K value can be used to obtain timing reliability.

Acknowledgement network from [9] can be implemented by only OR gates. Acknowledgement network implemented by selected wires. All of selected wires are input of OR gates that ordered by delay approximate values. The output of OR gates is acknowledgement signal as shown in figure 5.

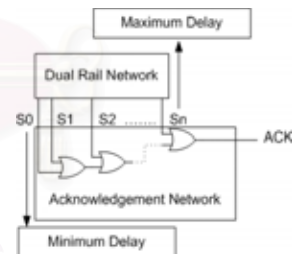


Figure 5. Synthesized acknowledgement network [9]

2.3 Path Delay Fault

The path delay fault model was first proposed by Smith [6]. This model has received greater attention than the gate delay and transition fault models, and has been quite extensively studied [7]. A considerable amount of research has already been reported on various aspects of test generation and fault simulation of path delay faults. In path delay fault model, any path with a total delay exceeding the global clock interval is said to have a path delay fault. These models distributed defects that affect an entire path. There are two corresponding delay paths in each physical path P that connects a primary input to a primary output of the circuits. The rising path (falling path) is the path traversed by a transition

that is initiated as a rising (falling) transition at the input of path P and changes the direction of transition whenever it passes through an inverting gate. They present the following definitions that are frequently used in path delay fault testing [8].

Definition 1: Let G be a gate on path P in a logic circuit, and let r be an input to gate G; r is called an off-path sensitizing input if r is not on path P.

Definition 2: A two-pattern test  $\langle V1, V2 \rangle$  is called a robust test for a delay fault on path P if the test detects that fault independently of all other delays in the circuit.

Definition 3: A two-pattern test  $\langle V1, V2 \rangle$  is called a non-robust test for a delay fault on path P if it detects the fault under the assumption that no other path in the circuit involving the off-path inputs of gates on P has a delay fault [7].

Many logic systems have been proposed for generating robust tests. This paper use the following logic value [8].

S1(S0): signal initial and final values as 1(0), such that signal is static hazard-free.

U1(U0): signal with final value of 1(0), there is also be hazard in time interval.

The condition of off-path input to robust test propagate is shown in Table 1.

Table 1. Off-path sensitizing input for robust test propagate

On-path Signal	Gate Type	
	AND/NAND	OR/NOR
Rising Transition	U1	S0
Falling Transition	S1	U0

### 3. Test Strategy

Delay test for asynchronous circuits can be tested correctly by functional delay testing and path delay fault testing. Functional delay testing is a testing method based on circuit operation. However, some timing assumptions (for example, assumption of SDI model) can't be tested by circuit operation that can use path delay fault for testing. The information about delay in circuits must be tested to ensure correct operation. This paper presents the path delay test generation for all circuits paths.

#### 3.1 Functional delay test generation

Asynchronous circuits don't operate according to timing assumption that is delay fault. The delay fault of asynchronous combinational circuits is defined as follow;

$$T_{ack} \geq T_{max}(\text{dual-rail network}) \quad (1)$$

$T_{ack}$  : occurs when acknowledgement signal has a transition.

$T_{max}(\text{dual-rail network})$  : occurs when the last signal in dual-rail network has a transition.

If acknowledgement signal senses its transition after the transition of every signal in dual-rail network is stable, the circuits can work correctly.

Dual-rail network implemented by ROBDDs is only one circuit design of function for one variable order of ROBDDs. The circuits work with monotonic change property and only one path group of AND gate propagate to output as same as path in ROBDDs. The circuits operate with 2-rail 2-phase operation work alternately in working phase and idle phase. If all input patterns work correctly, the circuits are satisfied. However, inputs that are not found in ROBDDs path will not affect to signal transition in dual-rail networks. For the reason, other input pattern covered by input pattern that has the same value as path in ROBDDs that have the same operation in dual-rail network. Accordingly, unnecessary test case can be reduced by testing only input pattern on path in ROBDDs. In acknowledgement network, transition have monotonic change likewise dual-rail network. Wires in circuits are selected to implement acknowledgement network affect to acknowledgement signal transition.

#### 3.1.1 Testing for delay fault in rising transition

In rising transition, circuit will be satisfied if output from dual-rail network is slower than acknowledgement signal because every wire in dual-rail network is stable when output complete. Thus, it can guarantee that circuits operate correctly for rising transition, if all of possible operations are satisfied.

Test pattern can be generated by setting test pattern in following assign for every path in ROBDDs and assigning test pattern with dual-rail codeword.

V1: assign all variables logic value to be Spacer (0,0).

V2: assign variables value to be the value in path of ROBDDs. If value is absent, set it to invalid (1,1).

Don't care inputs value (inputs aren't present in test path) are set to invalid value (1,1) because the wires affect to acknowledgement signal if this wires are selected for acknowledgement network. The acknowledgement network is implemented by only OR gate, so the fastest path delay in acknowledgement network is delayed for the operation. For that reason, inputs are set to invalid for fastest acknowledgement signal transition to cover all possible input in this case.

#### 3.1.2 Testing for delay fault in falling transition

Falling transition will be satisfied if acknowledgement signal is slower than maximum delay in every wire because it confirms that every part of paths is clear.

Test pattern can be generated by setting test pattern in following assign for every path in ROBDDs.



V1: Assign variables value to the value in path of ROBDDs. If input value is don't care set to (0,0).

V2: Assign all variables to (0,0).

Don't care inputs values are set to (0,0) because the wire affects to acknowledgement signal if these wires are selected for acknowledgement network. If selected wire of don't care input affect to delay, it causes more delay. Therefore, the fastest path delay in acknowledgement network is delayed for the operation. Hence, inputs are set to (0,0) for fastest acknowledgement signal transition to cover all possible input in this case.

Slowest delay to compare delay of acknowledgement signal transition is considered. However, we will estimate delay by test path delay if it can not to observe internal signal.

Path delay fault generation for falling transition for consider path in dual-rail network is discussed in 3.2.1. Nevertheless slowest can't to observe so it is estimate by assumption delay vary entire path.

### 3.2 Path delay test generation

Path delay test is used for test some timing assumption. Moreover, fault location and acknowledgement network design aid are the additional usage of the path delay fault. Circuits are implemented by ROBDDs can be generated path delay test by ROBDDs too. This paper proposes generation test vector in two parts, First part is test vector generating for dual-rail network, and second part is acknowledgement network.

#### 3.2.1 Test generation for dual-rail network

Dual-rail network are implemented by every nodes in ROBDDs. Node variable used to implement circuits is an input of AND gate, and wire to node is another output of AND gate. Output of AND gate of this node is input for AND gate of child node. Path in circuits from input of node to output is the same path from this node to leaf of ROBDDs. Test generation for every path in dual-rail network is test vector for every path from every node in ROBDDs. Path from node to leaf is likes group of AND gate of all input of node on path in ROBDDs. For robust test, condition for AND gate off-input is U1, S1 for rising transition and falling transition. All off-path input is 1 if we set variable input to same value in path of ROBDDs with dual-rail codeword. Also, ROBDDs can generate test patterns.

- Rising Transition:

V1: Assign variables value to value in path of ROBDDs, on-input set to 0.

V2: Assigning is likely V1, but change on-input to 1.

- Falling Transition

V1: Assign variables value to value in path of ROBDDs.

V2: Assigning is likely V1, but change on-input to 0.

Combinational circuit with many outputs can test several paths simultaneously. Absent Inputs on target path of ROBDDs do not affect to delay transition. Consequently, this path can be tested by same vectors that value is as same as value path and have value of absent inputs.

For second level below of variable order in ROBDDs, input of AND gate from above circuit may have more than one path. For propagate transition, if only one above logic path to node is 1, it can propagate transition with robust test. This paper proposes to select above path that mostly found in other ROBDDs because it is possible to reduce test sets.

#### 3.2.2 Test generation for acknowledgement network

Acknowledgement network is a group of OR gate of every selected wires from dual-rail network. Acknowledgement signal changes when only one selected wire changes. As a result, the transition propagates acknowledgement signal when it reaches selected wire. Path delay test in Acknowledgement network is generated by propagating transition from input to selected wires that propagate acknowledgement signal transition. Path in circuits from considerate input to selected wire is the same path in ROBDDs from node of considerate input to node of selected wire.

Selected wires can be one of these; output of AND gate of node, output of OR gate and input. If selected wires are input, input can propagate transition to test path delay directly by setting only input that is selected. If selected wires, are output of AND gate and output of OR gate, input value is assigned to the same value of path in ROBDDs to reach this node that propagate transition to selected wire. Every paths that reached selected wires is all path delay test for acknowledgement signal output of this selected wire and its value same as every paths that reach consider node, that is output of AND gate implemented circuit selected. Output of OR gates are all output of AND gates of all nodes that connects it. All path delay tests is all paths in ROBDDs that reach all nodes.

However, selected wires that have above selected wires can not be tested because above selected wire affect to acknowledgement signal. In rising transition, selected wires can not be changed if logic input of this AND gate from above path is 0. If logic input from above path is 1, every logic wires in above path is 1 because circuit works

like group of AND gate. It set acknowledgement signal to 1; thus, the transition can not be propagated. It is conflict to test path delay for this selected wire. This paper proposes to generate test pattern by assigning input of selected wire and selected input wire to 0.

- Rising Transition:

V1: Assign variables value to value in path of ROBDDs, on-input, input of selected wire and selected input wire set to 0.

V2: Assigning is likely V1, but change on-input, input of selected wire and selected input wire to 1.

In falling transition, selected signals that have above selected wire can not be tested because above selected wires affect to acknowledgement signal. Acknowledgement signal can not be changed if all off-input of OR gate in acknowledgement network is not 0. Selected wire can not be 1 when off-input from above select wires is 0. It is conflict to test path delay for this selected wire. Hence, Test pattern is assign as follow by:

- Falling Transition

V1: Assign variables value to the value in path of ROBDDs to reach this node.

V2: Assigning is likely V1, but change on-input, input of selected wire and selected input wire to 0.

Don't care inputs are assigned to (0,0) because they do not affect to acknowledgement signal. However, some test pattern are untestable delay fault because off-path input propagation arrives after on-path input propagation arrives. Some test patterns are same value so they affect more then one path concurrently, therefore it is only one path is testable.

#### 4. Experiments and Results

The experimental results present the amount of the functional test patterns and path delay test patterns for several example circuits that we chose from the MCNC benchmark set [12]. The example circuits is implemented to ROBDDs that minimization based on decision tree learning technique [11]. This experiment design on FPGA and acknowledgement network design approach from [9,10]. For different design model of acknowledgement network has different amount of path delay test patterns for acknowledgement network. Table 2 shows the test generation for functional delay testing and path delay fault testing for dual-rail network experimental result. Column 1 describes circuit name. Column 2 and 3 show input and output of circuit. Column 4 describes the number of nodes in ROBDDs that inform the size of the circuits. Column 5 shows

the number of paths in ROBDDs. Column 6 and 7 give amount of test patterns from our propose strategy. Test patterns so can be generated directly from ROBDDs without any circuits analysis. The number of function delay tests only depends on the number of paths in ROBDDs that don't depend on the number of nodes (circuits size). And the number of path delay testing depends on the characteristic of ROBDDs that is number of nodes, number of path and shape of ROBDDs. Table 3 presents the result of path delay test generation for acknowledgement network. Column 2 gives the number of wire that selected to implement acknowledgement network. Column 3 shows the number of physical circuits paths in acknowledgement network. Column 4 give amount of path delay test patterns from our propose strategy. ROBDDs can generate path delay test in acknowledgement network. However, the number of path delay fault is depended on position of selected wires in ROBDDs that is the position of selected wires on circuits. Some test patterns are same so only one path can be tested so some circuits paths are untestable. Untestable path delay tests are depended on actual delay.

**Table 2. Test generation in dual-rail network (ROBDD analysis)**

Circuit	I	O	Node	BDD Paths	NO. Function Tests	NO. Path Delay Tests
9sym	9	1	33	220	440	1808
alu4	14	8	692	2521	3146	29156
b12	15	9	60	121	134	598
clip	9	5	93	428	476	2420
con1	7	2	15	23	38	130
misex1	8	7	36	99	68	264
duke2	22	29	336	1595	1216	10908
rd53	5	3	23	71	64	212
rd84	8	4	59	587	512	1836
t481	16	1	32	1681	3362	12536
xor5	5	1	9	32	64	184

**Table 3. Test generation in cknowledgement network (Circuit analysis)**

Circuit	NO. Selected Wires	No. Circuit Paths	NO. path Delay Tests
9sym	55	1770	882
b12	102	793	284
clip	179	4323	936
con1	31	100	76
misex1	84	505	162
rd53	37	258	108
rd84	94	3400	792
t481	73	11731	6172
xor5	16	82	76

Functional delay test result of experiment circuit is false in many rising transitions because acknowledgement network on FPGA can not design fully same in [9]. Design on FPGA can not set delay directly, so it can not set delay according estimate to delay. In rising transition, asynchronous circuit use C-element to check output that protect fault rising signal, but some handshake (for example, bundle data handshake) signal use acknowledgement signal directly that maybe cause of missing operation.

## 5. Conclusions

This paper presents a test strategy for test generation of delay faults and path delay for SDI asynchronous combinational circuits that are implemented by ROBDDs. Test generation use ROBDDs to generate test vector for test delay in ROBDDs path. In the further work, we try to reduce the test sets to increase its performance. Dual-rail network implemented by ROBDDs, is fully robust path delay testable. All robust test for every path can be assigned according to path in ROBDDs. Nevertheless, some path delay faults in acknowledgement network are untestable. Therefore, the testability is reduced, so we can conclude that the design of acknowledgement network [9] may make the circuits untestable. Test result from our proposed strategy can identify the selected wires of the acknowledgement network, which can be redesigned due to the correctness of circuits and can cause the better performance.

## 6. References

[1] Scott Hauck, "Asynchronous Design Methodologies : An overview," Proceedings of the IEEE, Vol.83, No.1, January 1995, pp.69-93.

- [2] T. Nanya, Y. Ueno, H. Kagotani, M. Kuwako, and A. Takamura, "TITAC: Design of a Quasi-Delay-Insensitive Microprocessor," IEEE Design & Test of Computers , Volume: 11 Issue: 2 , Summer 1994, pp. 50 –63.
- [3] A. Takamura, M. Imai, T. Fuji, M. Ozawa, I. Fukasaku, Y. Ueno, and T. Nanya, "TITAC-2: An Asynchronous 32-bit Microprocessor Based on Scalable-Delay-Insensitive Model," ICCD '97. Proceedings of IEEE International Conference, 1997, pp. 288 –294.
- [4] T. Nanya, A. Takamura, M. Kuwako, M. Imai, M. Ozawa, M. Ozcan, R. Morizawa, and H. Nakamura, "Scalable-Delay-Insensitive Design: A High-performance Approach to Dependable Asynchronous Systems (Invited paper)," Proceedings of International Symposium on Future of Intellectual Integrated Electronics, Sendai, Japan, March 1999, pp.531-540.
- [5] Ilana David, Ran Ginosar, and Michael Yoeli, "An Efficient Implementation of Boolean Functions as Self-Timed Circuits," IEEE Transactions on Computers, January 1992, 41(1) ,pp. 2-11.
- [6] G. L. Smith. "Model for Delay Faults Based upon Paths," In Proceedings of International Test Conference, September 1985, pp. 342-349.
- [7] A.K. Majhi, and V.D. Agrawal, "Delay Fault Models and Coverage," Proceedings of VLSI Design 1998. 1998 Eleventh International Conference, Chennai, India, 4-7 January 1998, pp. 364 – 369
- [8] C. J. Lin, and S. M. Reddy, "On Delay Testing in Logic Circuits," IEEE Transactions on Computer-Aided Design, 6 , September 1987, pp. 694-703.
- [9] Raschada Nootjarat, A Design of A C-Element Free Acknowledgement Circuit for Scalable-Delay-Intensive Asynchronous Combinational Circuit, Department of Computer Engineering, Chulalongkorn University, 1999. (THAI version)
- [10] Phunjapa Ruangsinsup. Design of 8-bit Scalable-Delay-Insensitive Microprocessor using FPGA, Department of Computer Engineering, Chulalongkorn University, 2001. (THAI version)
- [11] S. Vinyoonuntakul, B. Kijirikul, and A. Thongtak, "Binary Decision Diagrams Minimization Based on Decision Tree Learning. Proceeding of the IEEE International Symposium on Intelligent Signal Processing and Communication Systems, 1999.
- [12] S. Yang. "Logic Synthesis and optimization benchmarks user guide version 3.0 [Online]" ,Research Triangle Park, NC: Microelectronics Center of North Carolina, 1991. Available from: <http://www.cbl.ncsu.edu/> [2002, December]

## ประวัติผู้เขียนวิทยานิพนธ์

นายदनัย สุขจินดาเสถียร เกิดเมื่อวันที่ 27 ตุลาคม พ.ศ. 2522 ที่จังหวัด นครราชสีมา สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมคอมพิวเตอร์ จากภาควิชาวิศวกรรมคอมพิวเตอร์ มหาวิทยาลัยขอนแก่น ในปีการศึกษา 2543 และได้เข้าศึกษา ต่อในหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมคอมพิวเตอร์ ที่ภาควิชาวิศวกรรม คอมพิวเตอร์ คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2544



สถาบันวิทยบริการ  
จุฬาลงกรณ์มหาวิทยาลัย