

รายการอ้างอิง

1. โททม. อารียา. อิเล็กทรอนิกส์กำลัง. เอกสารประกอบการเรียน วิชาอิเล็กทรอนิกส์กำลัง ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย กรุงเทพมหานคร 2537
2. เอกชัย ลีลารัมย์. คู่มือการใช้งาน LDK 6.0 ซอฟต์แวร์สำหรับวิเคราะห์วงจรอิเล็กทรอนิกส์เชิงเส้นแบบท่อน. ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย กรุงเทพมหานคร, 2534
3. ศักดิ์สิทธิ์ สุนทรเกษม. เครื่องทำความร้อนแบบเหนี่ยวนำ. โครงการงาน Senior Project ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย กรุงเทพมหานคร 2538
4. เกริกชัย ทองหนู. การออกแบบและสร้างเครื่องมือวัด. ศูนย์เครื่องมือวิทยาศาสตร์ มหาวิทยาลัยสงขลานครินทร์ วิทยาเขตหาดใหญ่ สงขลา, 2536
5. คู่มือ ไอซี CMOS 4000 SERIES. บริษัทซีเอ็ดยูเคชั่นจำกัด ,2532
6. ยุทธนา กุลวิฑิต. การออกแบบหม้อแปลงและตัวเหนี่ยวนำ. เอกสารประกอบการเรียน วิชาอิเล็กทรอนิกส์กำลัง ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย กรุงเทพมหานคร , 2534
7. John G. Kasskian, Martin F. Schlecht, George C. Verghese. Principle of Power Electronics. Massachusetts Institute of Technology, by Addison Wesley Publishing Company, Inc. 1991.

8. Somboon Sooksatra. A Unified Approach to the Classification and Analysis of Resonant Converter. Ph.D.Thesis, Electrical Engineering and Science University of Illinois at Chicago, March 1991.
9. I.J. Pitel. Phase-Modulated Resonant Power Conversion Techniques for High-Frequency Link Inverter. IEEE Trans.on Industrial Application Vo. IA-22, No-6, pp.1044-1051, Nov./Dec 1986.
10. V.Rajagopalan, K.S. Rajashekara and K. Al Haddad. Analysis and Design of a Dual Series Resonant Converter for Utility Interface. University du Quebec a Trois-Rivieres, Trois-Rivieres,Que., Canada, G9A-5H7, 1987.
11. M.E.VAN VALKENBURG. Network Analysis 3rd Ed. Prentice Hall of India Private Limited, New Delhi, 110001, 1986
12. Paul H. Young Electronic Communication Techniques, second edition, Arizona State University, MERILL, An Imprint of Macmillan Publishing Company, New York, 1987

ภาคผนวก

# 2MBI50-060(50A)

富士パワーモジュール

## IGBT モジュール IGBT MODULE

### ■ 特長 : Features

- 高速スイッチング High Speed Switching
- 低飽和電圧 Low Saturation Voltage
- 高入力ゲート抵抗(MOSゲート構造) High Input Impedance
- モジュールパッケージ Module Packaging

### ■ 用途 : Applications

- 汎用インバータ General Purpose Inverter
- 無停電電源 Uninterruptible Power Supply
- NC工作機械 Servo & Spindle Drive for NC Machine Tools
- ロボット Robotics (Servo Drive for Robots)
- 溶接機等のスイッチング電源  
Switching Power Supplies for Welding Machines

### ■ 定格と特性 : Maximum Ratings and Characteristics

#### ● 絶対最大定格 : Absolute Maximum Ratings

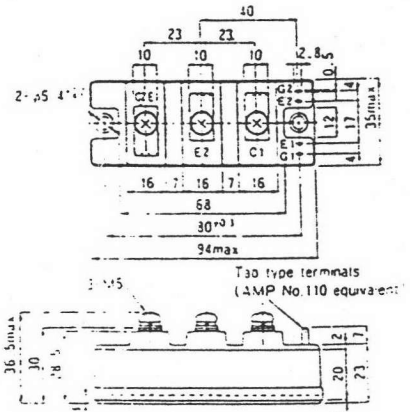
Items	Symbols	Ratings	Units
コレクタ・エミッタ間電圧	$V_{CE}$	250	V
ゲート・エミッタ間電圧	$V_{GE}$	±15	V
コレクタ電流	連続	50	A
	1ms	100	A
	連続 1ms	50 100	A
最大損失	$P_D$	250	W
接合部温度	$T_j$	150	°C
保存温度	$T_{stg}$	-40 ~ +125	°C
重量		210	g
絶縁耐量 AC 1min.	$V_{iso}$	2500	V
締付けトルク	Mounting * 1	35	N·m
	Terminals * 1	35	N·cm

\* 推奨値 : Recommendable value 25 °C (room temp)

#### ● 電気的特性 : Electrical Characteristics ( $T_c = 25^\circ\text{C}$ )

Items	Symbols	Test Condition	Min	Typ	Max	Units
コレクタ・エミッタ間遮断電流	$I_{CES}$	$V_{GE} = 0V$ $V_{CE} = 600V$ $T_c = 25^\circ\text{C}$			10	mA
		$V_{GE} = 0V$ $V_{CE} = 600V$ $T_c = 125^\circ\text{C}$				mA
ゲート・エミッタ間漏れ電流	$I_{GES}$	$V_{CE} = 0V$ $V_{GE} = \pm 20V$			100	mA
ゲート・エミッタ間しきい値電圧	$V_{GE(th)}$	$V_{CE} = 20V$ $I_c = 50mA$	3.0		6.0	V
コレクタ・エミッタ間飽和電圧	$V_{CE(sat)}$	$V_{GE} = 15V$ $I_c = 50A$		3.5	5.0	V
入力容量	$C_{is}$	$V_{GE} = 0V$		3000		pF
出力容量	$C_{os}$	$V_{CE} = 10V$				pF
帰還容量	$C_{rs}$	$f = 1MHz$				pF
ターンオン時間	$t_{on}$	$V_{CE} = 300V$		0.6	1.0	μs
		$I_c = 50A$		0.3	0.8	μs
ターンオフ時間	$t_{off}$	$V_{GE} = \pm 15V$		0.9	1.5	μs
		$R_G = 50\Omega$		0.5	1.0	μs
ダイオード順電圧	$V_F$	$-I_c = 50A$ , $V_{GE} = 0V$			2.5	V
逆回復時間	$t_r$	$-I_c = 50A$ , $-di/dt = 100A/\mu s$ $V_{GE} = 0V$		100	160	ns

### ■ 外形寸法 : Outline Drawings

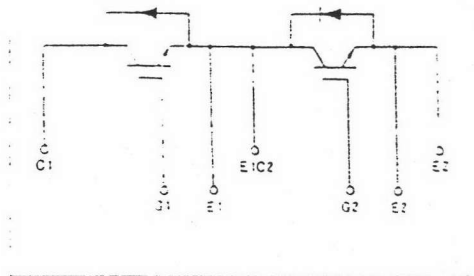


CASE	M211
UL	E82988(M)

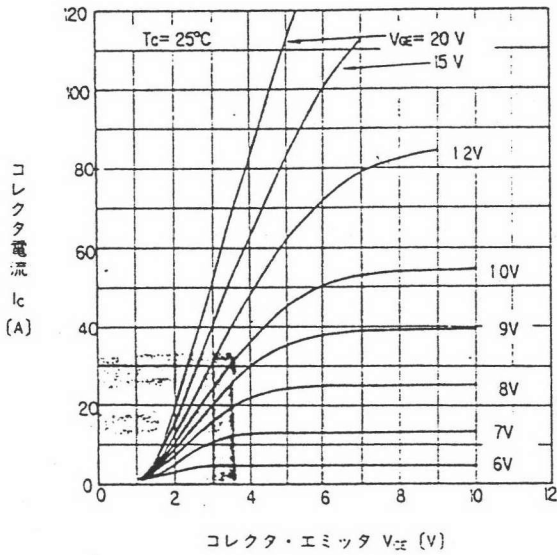
### ■ 等価回路 :

### Equivalent Circuit Schematic

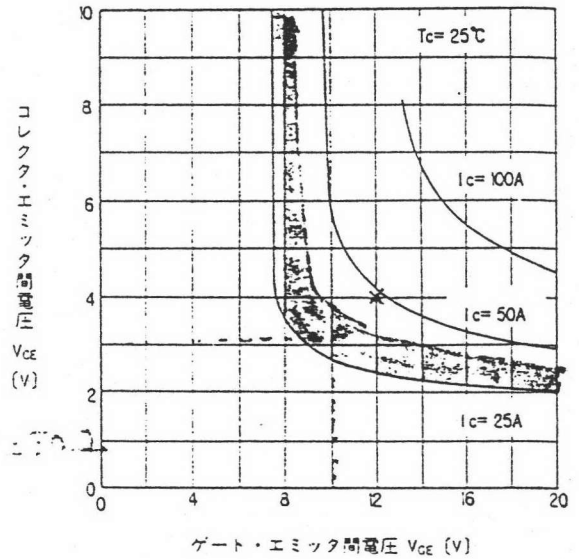
Fig. F2



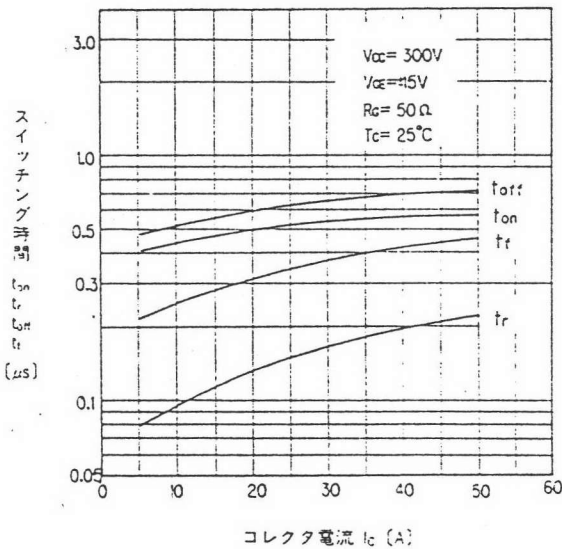




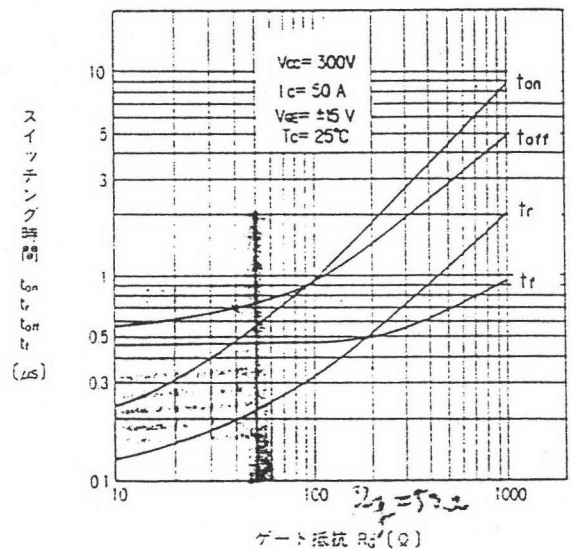
コレクタ電流-コレクタ・エミッタ間電圧特性  
Collector Current vs. Collector-Emitter Voltage



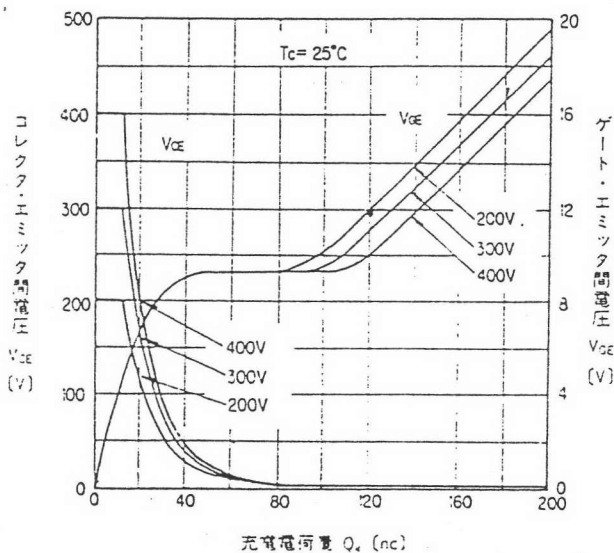
コレクタ・エミッタ間電圧-ゲート・エミッタ間電圧特性  
Collector-Emitter Voltage vs. Gate-Emitter Voltage



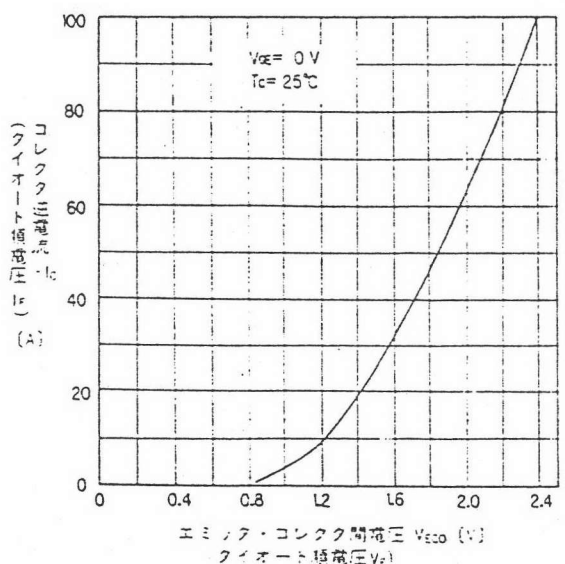
スイッチング時間-コレクタ電流特性  
Switching Time



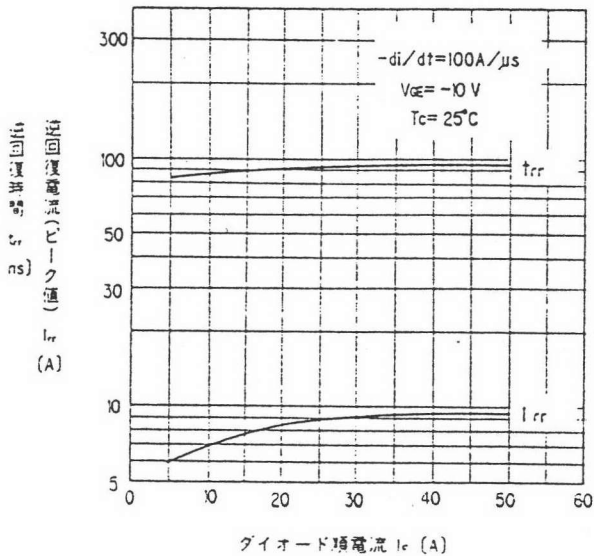
スイッチング時間-ゲート抵抗特性  
Switching Time-Gate Resistance



ダイナミック入力特性  
Dynamic Input Characteristic

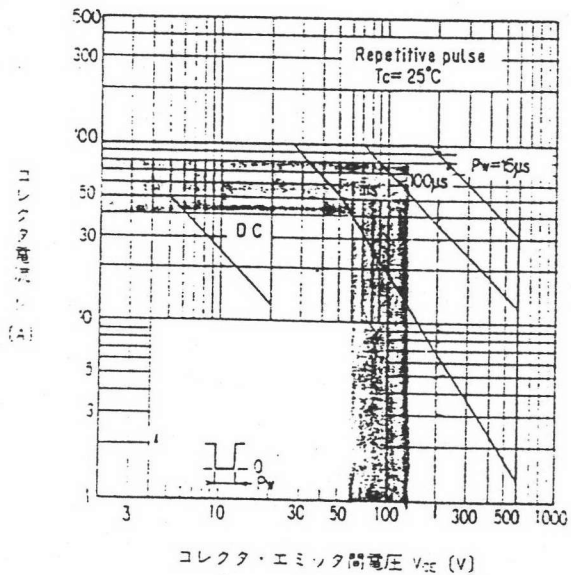


高速フリーホイールダイオード順電圧特性  
Forward Voltage of Free Wheel Diode



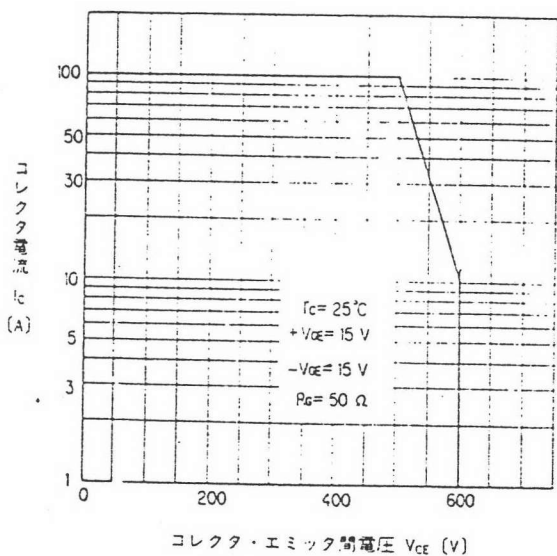
ダイオード順電流  $I_c$  (A)

$t_{rr}$ ,  $I_{rr}$ - $I_c$ 特性  
 $t_{rr}$ ,  $I_{rr}$ - $I_c$



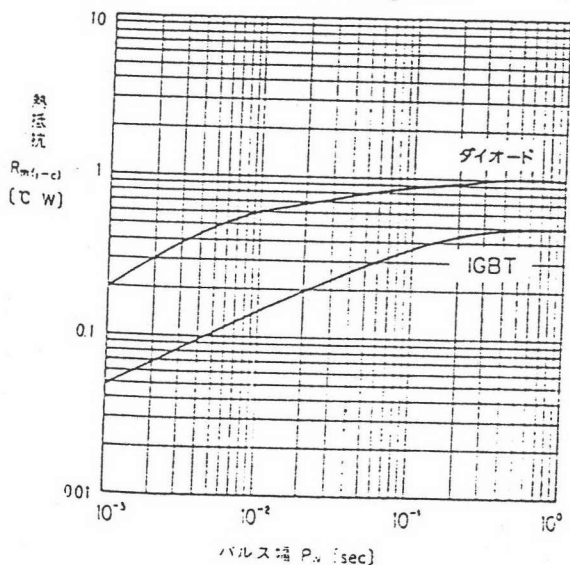
コレクタ・エミッタ間電圧  $V_{ce}$  (V)

安全動作領域(繰り返り)  
Safe Operating Area



コレクタ・エミッタ間電圧  $V_{ce}$  (V)

安全動作領域(逆バイアス)  
Reverse Biased Safe Operating Area



熱抵抗  
 $R_{th(j-c)}$   
( $^\circ\text{C}/\text{W}$ )

パルス幅  $P_w$  (sec)

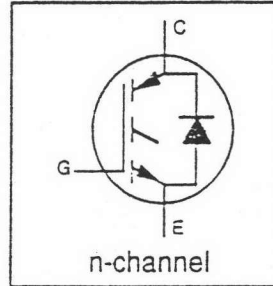
過渡熱抵抗  
Transient Thermal Resistance

INSULATED GATE BIPOLAR TRANSISTOR  
WITH ULTRAFAST SOFT RECOVERY

Short Circuit Rated  
Fast CoPack IGBT

**DIODE  
Features**

- Short circuit rated -10µs @ 125°C, V<sub>GE</sub> = 15V
- Switching-loss rating includes all "tail" losses
- HEXFRED™ soft ultrafast diodes
- Optimized for medium operating frequency (1 to 10kHz) See Fig. 1 for Current vs. Frequency curve

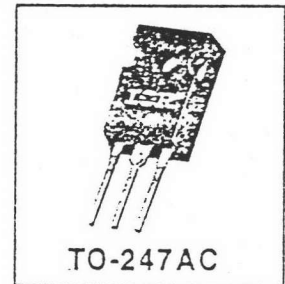


V<sub>CES</sub> = 1200V  
V<sub>CE(sat)</sub> ≤ 2.9V  
@ V<sub>GE</sub> = 15V, I<sub>C</sub> = 23A

**Description**

Co-packaged IGBTs are a natural extension of International Rectifier's well known IGBT line. They provide the convenience of an IGBT and an ultrafast recovery diode in one package, resulting in substantial benefits to a host of high-voltage, high-current, applications.

These new short circuit rated devices are especially suited for motor control and other applications requiring short circuit withstand capability.



**Absolute Maximum Ratings**

	Parameter	max.	Units
V <sub>CES</sub>	Collector-to-Emitter Voltage	1200	V
I <sub>C</sub> @ T <sub>C</sub> = 25°C	Continuous Collector Current	42	A
I <sub>C</sub> @ T <sub>C</sub> = 100°C	Continuous Collector Current	23	
I <sub>CM</sub>	Pulsed Collector Current $\Phi$	84	
I <sub>LM</sub>	Clamped Inductive Load Current $\Phi$	84	
I <sub>F</sub> @ T <sub>C</sub> = 100°C	Diode Continuous Forward Current	16	
I <sub>FM</sub>	Diode Maximum Forward Current	84	
t <sub>sc</sub>	Short Circuit Withstand Time	10	µs
V <sub>GE</sub>	Gate-to-Emitter Voltage	± 20	V
P <sub>D</sub> @ T <sub>C</sub> = 25°C	Maximum Power Dissipation	200	W
P <sub>D</sub> @ T <sub>C</sub> = 100°C	Maximum Power Dissipation	78	
T <sub>J</sub>	Operating Junction and	-55 to +150	°C
T <sub>STG</sub>	Storage Temperature Range		
	Soldering Temperature, for 10 sec.	300 (0.063 in. (1.6mm) from case)	
	Mounting torque, 6-32 or M3 screw.	10 lbf•in (1.1 N•m)	

**Thermal Resistance**

	Parameter	Min.	Typ.	Max.	Units
R <sub>θJC</sub>	Junction-to-Case - IGBT	—	—	0.64	°C/W
R <sub>θJC</sub>	Junction-to-Case - Diode	—	—	0.83	
R <sub>θCS</sub>	Case-to-Sink, flat, greased surface	—	0.24	—	
R <sub>θJA</sub>	Junction-to-Ambient, typical socket mount	—	—	40	
Wt	Weight	—	6 (0.21)	—	g (oz)

## IRGPH50MD2

Electrical Characteristics @  $T_J = 25^\circ\text{C}$  (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(BR)CES}$	Collector-to-Emitter Breakdown Voltage <sup>①</sup>	1200	—	—	V	$V_{GE} = 0V, I_C = 250\mu A$
$\Delta V_{(BR)CES}/\Delta T_J$	Temperature Coeff. of Breakdown Voltage	—	1.1	—	V/°C	$V_{GE} = 0V, I_C = 1.0mA$
$V_{CE(on)}$	Collector-to-Emitter Saturation Voltage	—	2.3	2.9	V	$I_C = 23A$ $I_C = 42A$ $I_C = 23A, T_J = 150^\circ\text{C}$ $V_{GE} = 15V$ See Fig. 2, 5
		—	3.0	—		
		—	2.8	—		
$V_{GE(th)}$	Gate Threshold Voltage	3.0	—	5.5		$V_{CE} = V_{GE}, I_C = 250\mu A$
$\Delta V_{GE(th)}/\Delta T_J$	Temperature Coeff. of Threshold Voltage	—	-13	—	mV/°C	$V_{CE} = V_{GE}, I_C = 250\mu A$
$g_{fe}$	Forward Transconductance <sup>②</sup>	11	15	—	S	$V_{CE} = 100V, I_C = 23A$
$I_{CES}$	Zero Gate Voltage Collector Current	—	—	250	$\mu A$	$V_{GE} = 0V, V_{CE} = 1200V$
		—	—	6500		$V_{GE} = 0V, V_{CE} = 1200V, T_J = 150^\circ\text{C}$
$V_{FM}$	Diode Forward Voltage Drop	—	2.5	3.0	V	$I_C = 16A$ See Fig. 13
		—	2.1	2.5		$I_C = 16A, T_J = 150^\circ\text{C}$
$I_{CES}$	Gate-to-Emitter Leakage Current	—	—	100	nA	$V_{GE} = \pm 20V$

Switching Characteristics @  $T_J = 25^\circ\text{C}$  (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions	
$Q_g$	Total Gate Charge (turn-on)	—	89	130	nC	$I_C = 23A$ $V_{CC} = 400V$ See Fig. 8	
$Q_{ge}$	Gate - Emitter Charge (turn-on)	—	22	33			
$Q_{gc}$	Gate - Collector Charge (turn-on)	—	26	39			
$t_{d(on)}$	Turn-On Delay Time	—	100	—	ns	$T_J = 25^\circ\text{C}$ $I_C = 23A, V_{CC} = 960V$ $V_{GE} = 15V, R_G = 5.0\Omega$ Energy losses include "tail" and diode reverse recovery. See Fig. 9, 10, 11, 18	
$t_r$	Rise Time	—	140	—			
$t_{d(off)}$	Turn-Off Delay Time	—	510	770			
$t_f$	Fall Time	—	470	730			
$E_{on}$	Turn-On Switching Loss	—	3.0	—			
$E_{off}$	Turn-Off Switching Loss	—	8.0	—	mJ		
$E_{ts}$	Total Switching Loss	—	11	17			
$t_{sc}$	Short Circuit Withstand Time	10	—	—	$\mu s$	$V_{CC} = 720V, T_J = 125^\circ\text{C}$ $V_{GE} = 15V, R_G = 5.0\Omega$	
$t_{d(on)}$	Turn-On Delay Time	—	86	—	ns	$T_J = 150^\circ\text{C}$ , See Fig. 9, 10, 11, 18 $I_C = 23A, V_{CC} = 960V$ $V_{GE} = 15V, R_G = 5.0\Omega$ Energy losses include "tail" and diode reverse recovery	
$t_r$	Rise Time	—	130	—			
$t_{d(off)}$	Turn-Off Delay Time	—	800	—			
$t_f$	Fall Time	—	920	—			
$E_{ts}$	Total Switching Loss	—	20	—	mJ		
$L_E$	Internal Emitter Inductance	—	13	—	nH	Measured 5mm from package	
$C_{ies}$	Input Capacitance	—	1900	—	pF	$V_{GE} = 0V$ $V_{CC} = 30V$ See Fig. 7 $f = 1.0MHz$	
$C_{oes}$	Output Capacitance	—	140	—			
$C_{res}$	Reverse Transfer Capacitance	—	24	—			
$t_{rr}$	Diode Reverse Recovery Time	—	90	135	ns	$T_J = 25^\circ\text{C}$ See Fig. 14 $T_J = 125^\circ\text{C}$ 14	$I_F = 16A$ $V_R = 200V$ $di/dt = 200A/\mu s$
		—	164	245			
$I_{rr}$	Diode Peak Reverse Recovery Charge	—	5.8	10	A	$T_J = 25^\circ\text{C}$ See Fig. 15 $T_J = 125^\circ\text{C}$ 15	
		—	8.3	15			
$Q_{rr}$	Diode Reverse Recovery Charge	—	260	675	nC	$T_J = 25^\circ\text{C}$ See Fig. 16 $T_J = 125^\circ\text{C}$ 16	
		—	680	1838			
$di_{(rec)}/dt$	Diode Peak Rate of Fall of Recovery During $t_b$	—	120	—	A/ $\mu s$	$T_J = 25^\circ\text{C}$ See Fig. 17 $T_J = 125^\circ\text{C}$ 17	
		—	76	—			

## Notes:

① Repetitive rating;  $V_{GE} = 20V$ , pulse width limited by max. junction temperature. ( See fig. 20 )

②  $V_{CC} = 80\%(V_{CES}), V_{GE} = 20V, L = 10\mu H, R_G = 5.0\Omega$ , ( See fig. 19 )

③ Pulse width  $\leq 80\mu s$ ; duty factor  $\leq 0.1\%$ .

④ Pulse width 5.0 $\mu s$ , single shot.



IRGPH50MD2

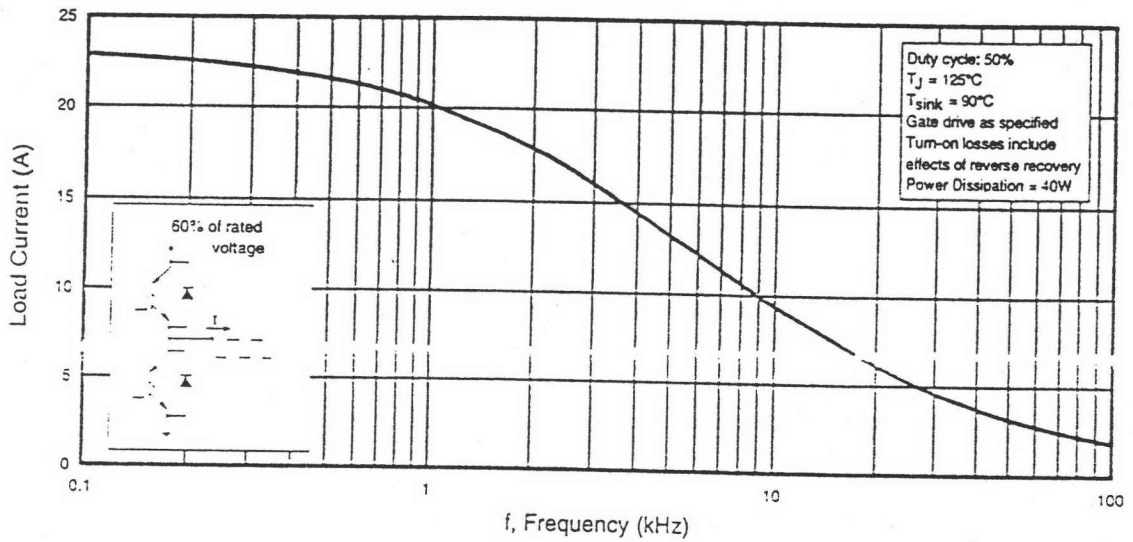


Fig. 1 - Typical Load Current vs. Frequency  
 (Load Current =  $I_{\text{RMS}}$  of fundamental)

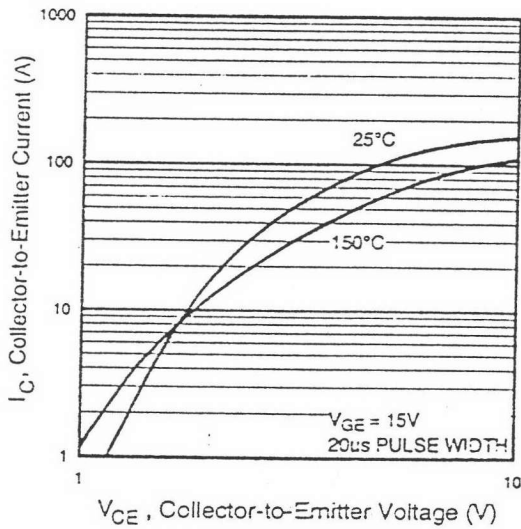


Fig. 2 - Typical Output Characteristics

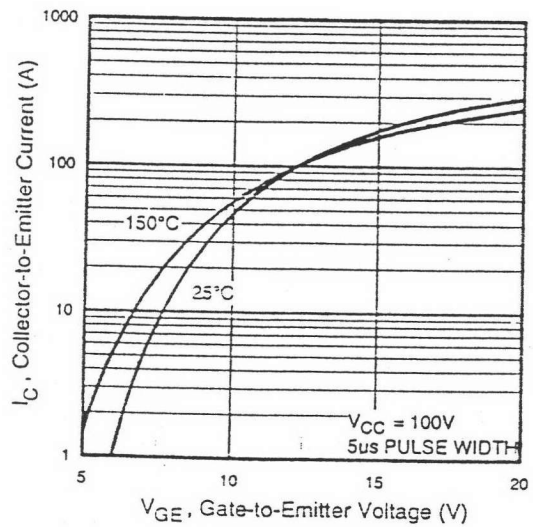


Fig. 3 - Typical Transfer Characteristics

# IRGPH50MD2

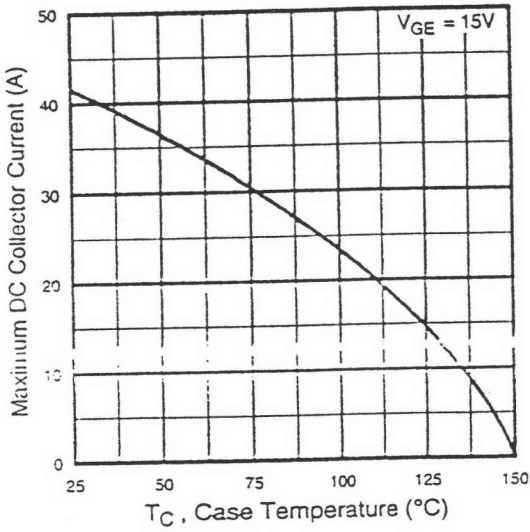


Fig. 4 - Maximum Collector Current vs. Case Temperature

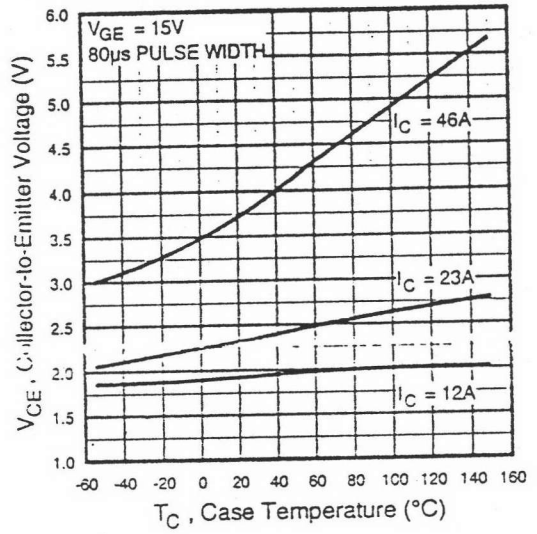


Fig. 5 - Collector-to-Emitter Voltage vs. Case Temperature

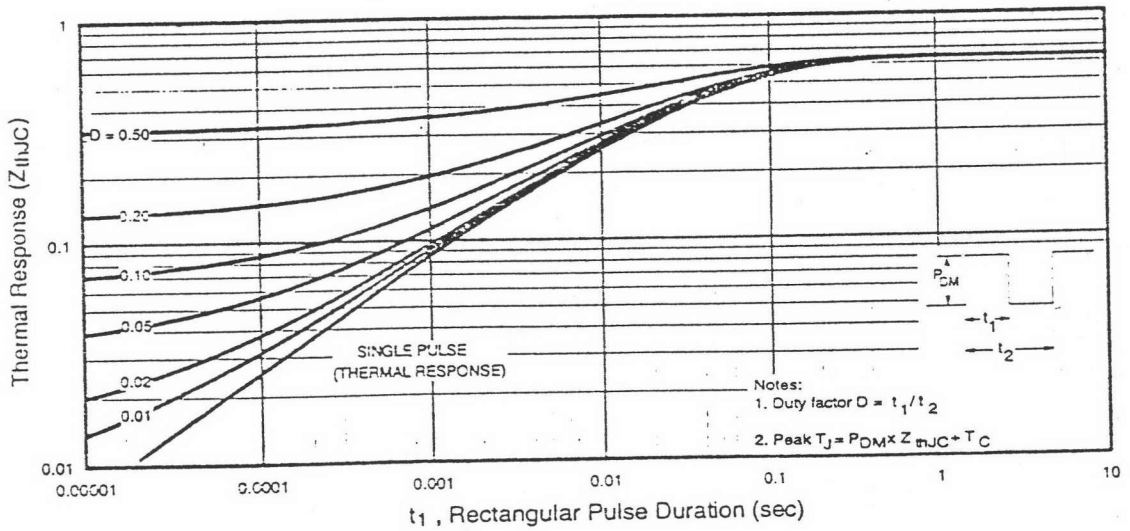


Fig. 6 - Maximum IGBT Effective Transient Thermal Impedance, Junction-to-Case





# IRGPH50MD2

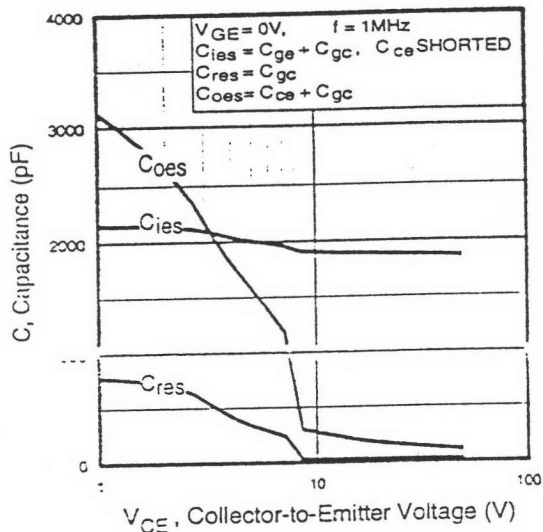


Fig. 7 - Typical Capacitance vs. Collector-to-Emitter Voltage

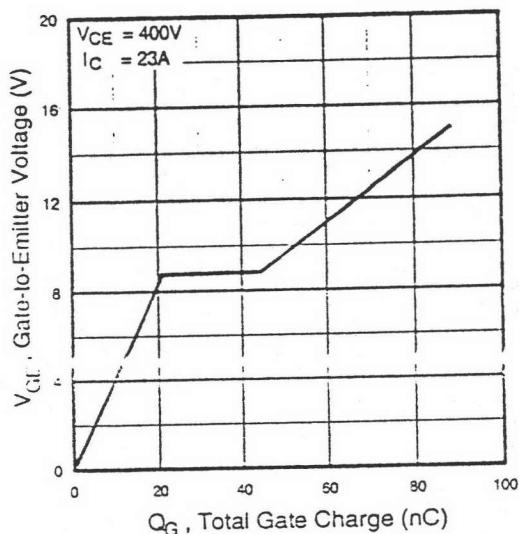


Fig. 8 - Typical Gate Charge vs. Gate-to-Emitter Voltage

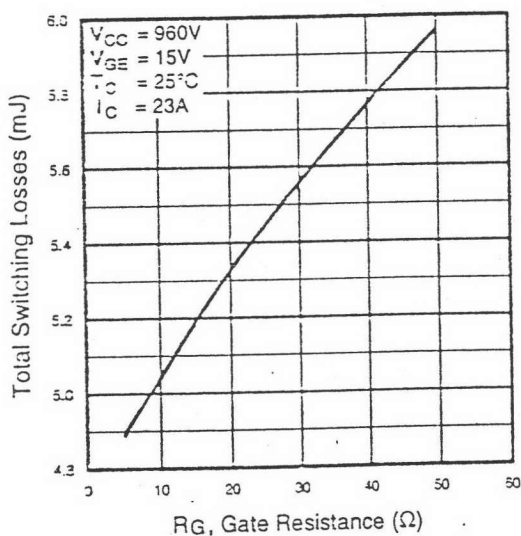


Fig. 9 - Typical Switching Losses vs. Gate Resistance

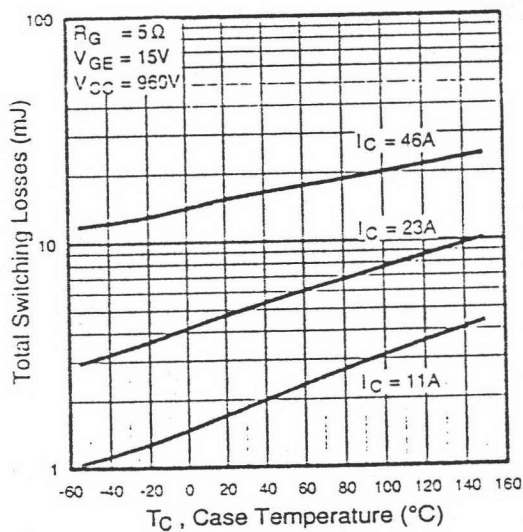


Fig. 10 - Typical Switching Losses vs. Case Temperature

# IRGPH50MD2

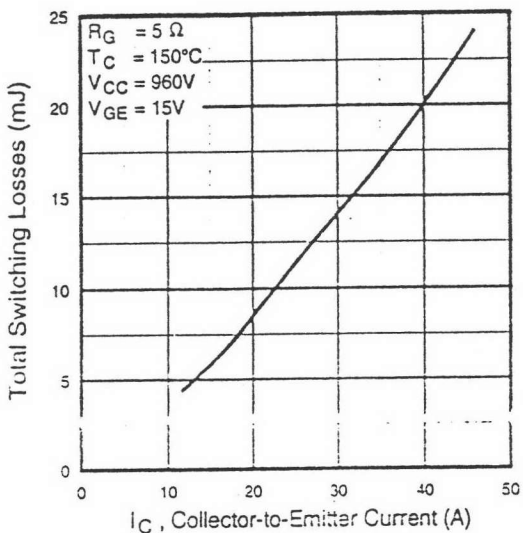


Fig. 11 - Typical Switching Losses vs. Collector-to-Emitter Current

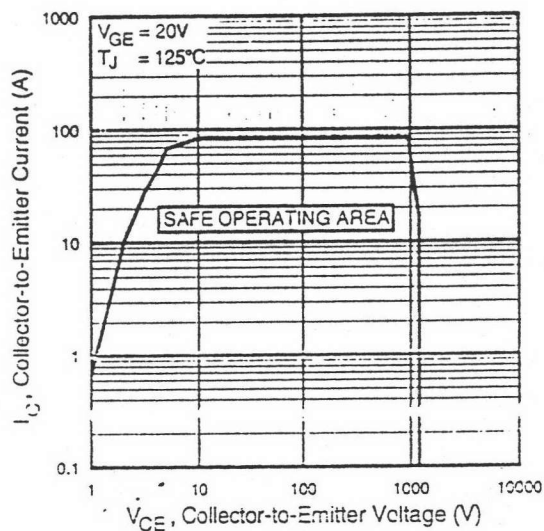


Fig. 12 - Turn-Off SOA

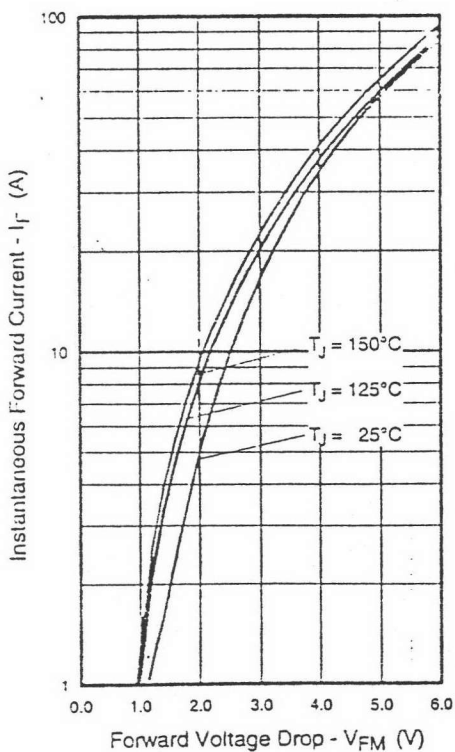


Fig. 13 - Maximum Forward Voltage Drop vs. Instantaneous Forward Current





# IRGPH50MD2

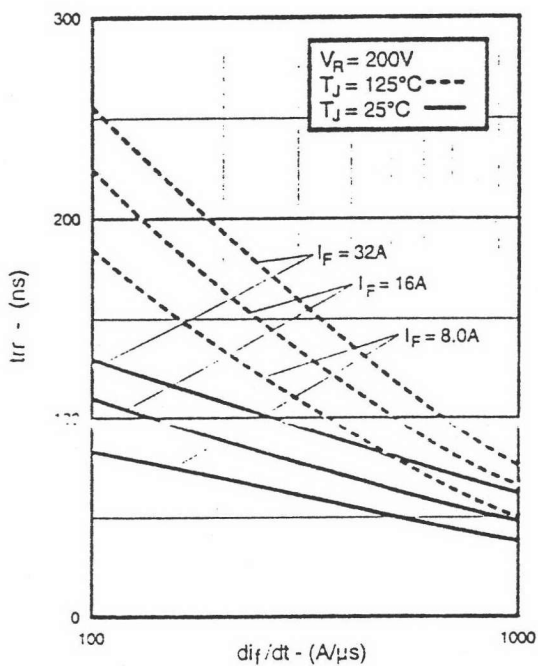


Fig. 14 - Typical Reverse Recovery vs.  $di_f/dt$

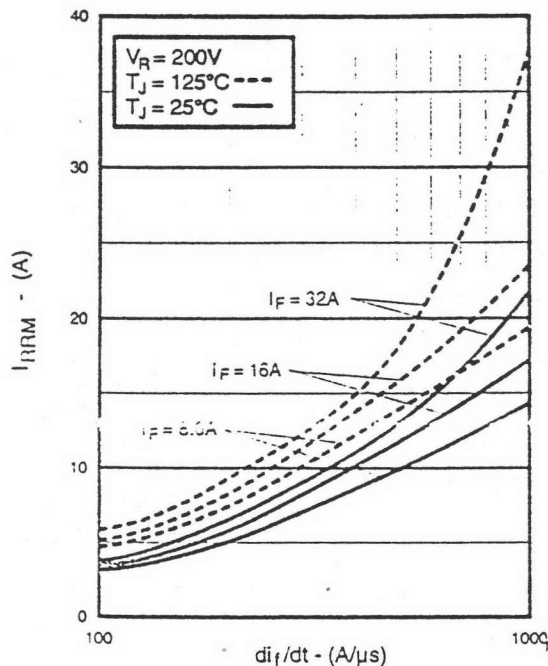


Fig. 15 - Typical Recovery Current vs.  $di_f/dt$

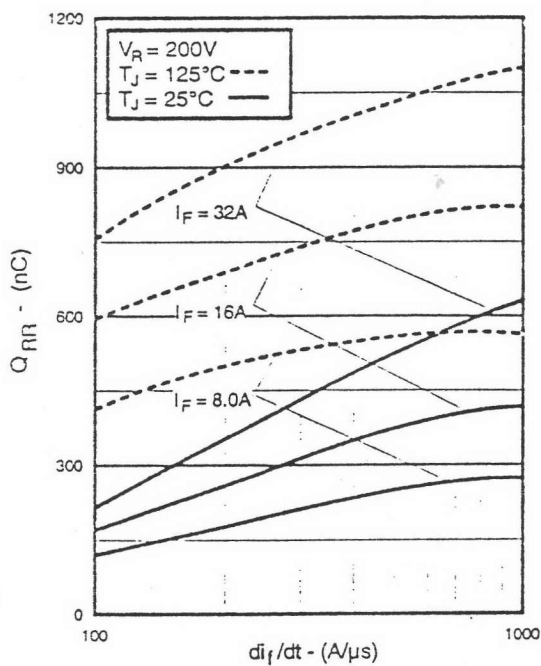


Fig. 16 - Typical Stored Charge vs.  $di_f/dt$

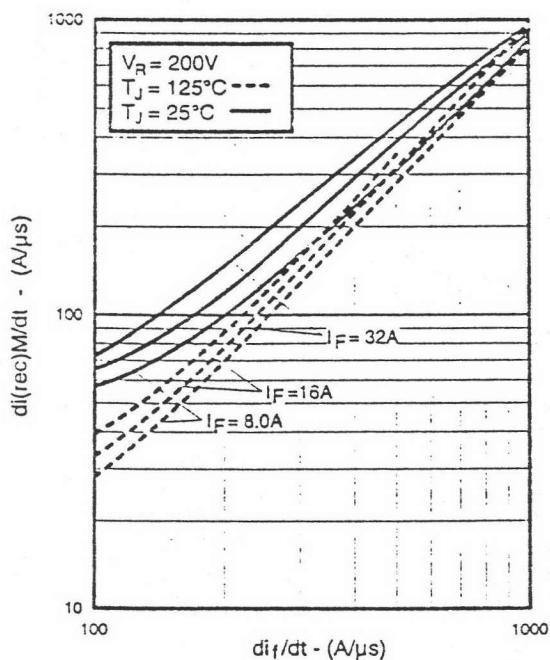


Fig. 17 - Typical  $di_{(rec)M}/dt$  vs.  $di_f/dt$

# HIGH VOLTAGE MOS GATE DRIVER

# IR2110

## General Description

The IR2110 is a high voltage, high speed MOS-gated power device driver with independent high side and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS outputs or with LSTTL outputs using pull-up resistors. Output drivers use low impedance totem-pole arrangement designed for low cross-conduction current spike. Propagation delays for the two channels are matched to simplify use in high frequency application. The floating channel can be used to drive a N-channel power MOSFET or IGBT in the high side configuration that operates off high voltage rail up to 500 volts.

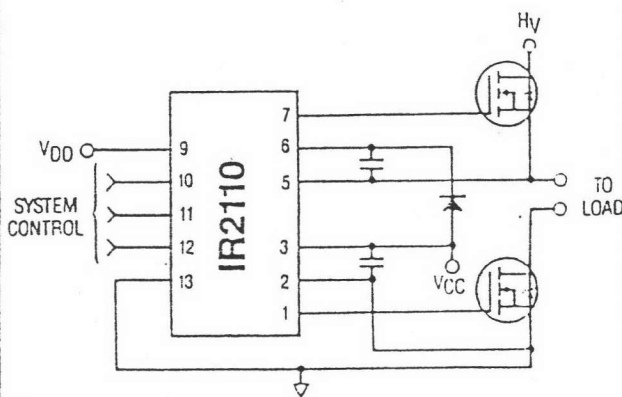
## Applications

- High frequency switch-mode power supply
- DC and AC motor drives
- Electronic lamp ballast
- Battery charger
- Induction heating and welding
- Switching amplifier

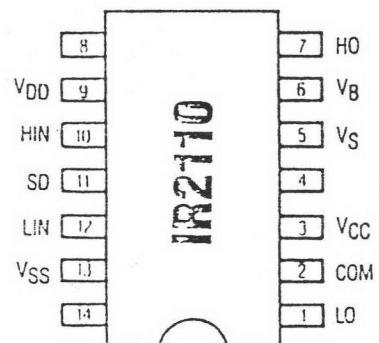
## Features

- Floating supply designed for bootstrap operation
  - Operating offset range from -4 to +500V
  - dv/dt immunity rated at  $\pm 50\text{V/ns}$
  - Quiescent power dissipation of 1.6mW at 15V
- Wide output operating gate drive supply range from 10 to 20V
- Separate logic supply to interface with logic signal
  - Operating supply range from 5 to 20V
  - Logic, and power ground operating offset range from -5 to +5V
- CMOS Schmitt-triggered inputs with hysteresis and pull-down
- Cycle by cycle edge-triggered shutdown logic
- Undervoltage lockout with hysteresis for both channels
- Output totem-pole driver designed to drive MOS-gated power devices
  - Peak current capability at 2A minimum
  - Switching time of 25ns typical into 1000pf load
- Matched propagation delay time for both channels
  - Typical 120ns turn-on delay and 94ns turn-off delay
  - Maximum rated matching differential of  $\pm 10\text{ns}$
- Latch immune CMOS. Withstand >2A reverse current at I/O pins

## Typical Connection



## Pinout Assignment



For mechanical specifications see back page

Symbol	Parameter	Min	Max	Units
V <sub>B</sub>	High Side Floating Supply Absolute Voltage	-0.5	V <sub>S</sub> + 20	V
V <sub>S</sub>	High Side Floating Supply Offset Voltage	—	500	
V <sub>HO</sub>	High Side Output Voltage	V <sub>S</sub> - 0.5	V <sub>B</sub> + 0.5	
V <sub>CC</sub>	Low Side Fixed Supply Voltage	-0.5	20	
V <sub>LO</sub>	Low Side Output Voltage	-0.5	V <sub>CC</sub> + 0.5	
V <sub>DD</sub>	Logic Supply Voltage	-0.5	V <sub>SS</sub> + 20	
V <sub>SS</sub>	Logic Supply Offset Voltage	V <sub>CC</sub> - 20	V <sub>CC</sub> + 0.5	
V <sub>IN</sub>	Logic Input Voltage (HIN, LIN & SD)	V <sub>SS</sub> - 0.5	V <sub>DD</sub> + 0.5	
dV <sub>S</sub> /dt	Allowable Offset Supply Voltage Transient (Fig. 16)	—	50	
P <sub>D</sub>	Package Power Dissipation @ T <sub>A</sub> ≤ 25°C (Fig. 19)	—	1.6	W
R <sub>thJA</sub>	Thermal Resistance, Junction to Ambient	—	75	°C/W
T <sub>j</sub>	Junction Temperature	-55	150	°C
T <sub>S</sub>	Storage Temperature	-55	150	
T <sub>L</sub>	Lead Temperature (Soldering, 10 seconds)	—	300	

### Recommended Operating Conditions

The Input/Output Logic Timing diagram is shown in Fig. 1. For proper operation the device should be used within the recommended conditions.

The V<sub>S</sub> and V<sub>SS</sub> offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in Fig. 2 and 3.

Symbol	Parameter	Min	Max	Units
V <sub>B</sub>	High Side Floating Supply Absolute Voltage	V <sub>S</sub> + 10	V <sub>S</sub> + 20	V
V <sub>S</sub>	High Side Floating Supply Offset Voltage	-4	500	
V <sub>HO</sub>	High Side Output Voltage	V <sub>S</sub>	V <sub>B</sub>	
V <sub>CC</sub>	Low Side Fixed Supply Voltage	10	20	
V <sub>LO</sub>	Low Side Output Voltage	0	V <sub>CC</sub>	
V <sub>DD</sub>	Logic Supply Voltage	V <sub>SS</sub> + 5	V <sub>SS</sub> + 20	
V <sub>SS</sub>	Logic Supply Offset Voltage	-5	5	
V <sub>IN</sub>	Logic Input Voltage (HIN, LIN & SD)	V <sub>SS</sub>	V <sub>DD</sub>	

### Dynamic Electrical Characteristics

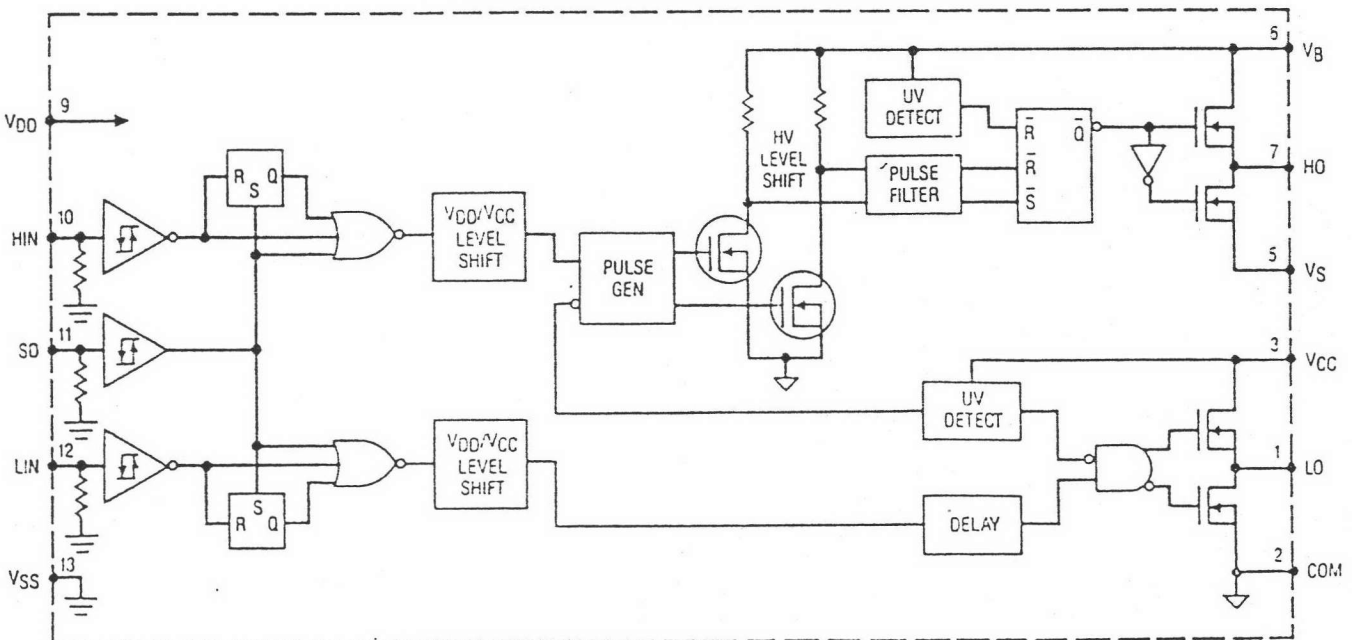
V<sub>BIAS</sub> (V<sub>CC</sub>, V<sub>BS</sub>, V<sub>DD</sub>) = 15V and V<sub>SS</sub> = COM unless otherwise specified.

The dynamic electrical characteristics are measured using the test circuit as shown in Fig. 11.

Symbol	Parameter	T <sub>j</sub> = 25°C			T <sub>j</sub> = -55 to 150°C		Units	Test Conditions	Reference
		Min	Typ	Max	Min	Max			
t <sub>on</sub>	Turn-On Propagation Delay	—	120	150	—	260	ns	V <sub>S</sub> = 0V	Fig. 12
t <sub>off</sub>	Turn-Off Propagation Delay	—	94	125	—	220		V <sub>S</sub> = 500V	
t <sub>sd</sub>	Shutdown Propagation Delay	—	110	140	—	235		V <sub>S</sub> = 500V	
t <sub>r</sub>	Turn-On Rise Time	—	25	35	—	50	ns	C <sub>L</sub> = 1000pf	Fig. 13
t <sub>f</sub>	Turn-Off Fall Time	—	17	25	—	40		C <sub>L</sub> = 1000pf	
Mt <sub>on</sub>	Delay Matching, HS and LS Turn-On	—	—	10	—	—	ns	Ht <sub>on</sub> - Lt <sub>on</sub>	Fig. 14
Mt <sub>off</sub>	Delay Matching, HS and LS Turn-Off	—	—	10	—	—		Ht <sub>off</sub> - Lt <sub>off</sub>	
DHt <sub>on</sub>	Deadtime, LS Turn-Off to HS Turn-On	16	26	36	—	—	ns	(Ht <sub>on</sub> - Lt <sub>off</sub> )	Fig. 15
DLt <sub>on</sub>	Deadtime, HS Turn-Off to LS Turn-On	16	26	36	—	—		(Lt <sub>on</sub> - Ht <sub>off</sub> )	

Symbol	Parameter	T <sub>j</sub> = 25°C			T <sub>j</sub> = -55 to 150°C		Units	Test Conditions	Reference	
		Min	Typ	Max	Min	Max				
V <sub>IH</sub>	Logic "1" Input Voltage	3.1	—	—	3.3	—	V	V <sub>DD</sub> = 5V	Fig. 4	
		6.4	—	—	6.8	—		V <sub>DD</sub> = 10V		
		9.5	—	—	10	—		V <sub>DD</sub> = 15V		
		12.6	—	—	13.3	—		V <sub>DD</sub> = 20V		
V <sub>IL</sub>	Logic "0" Input Voltage	—	—	1.8	—	1.7	V	V <sub>DD</sub> = 5V		
		—	—	3.8	—	3.6		V <sub>DD</sub> = 10V		
		—	—	6	—	5.7		V <sub>DD</sub> = 15V		
		—	—	8.3	—	7.9		V <sub>DD</sub> = 20V		
V <sub>OH</sub>	High Level Output Voltage, V <sub>BIAS</sub> -V <sub>O</sub>	—	0.7	1.2	—	1.5	V	V <sub>IN</sub> = V <sub>IH</sub> , I <sub>O</sub> = 0A	Fig. 10	
V <sub>OL</sub>	Low Level Output Voltage, V <sub>O</sub>	—	—	0.1	—	0.1		V <sub>IN</sub> = V <sub>IL</sub> , I <sub>O</sub> = 0A		
I <sub>LK</sub>	Offset Supply Leakage Current	—	—	50	—	250	μA	V <sub>B</sub> = V <sub>S</sub> = 500V	Fig. 5	
I <sub>QBS</sub>	Quiescent V <sub>BS</sub> Supply Current	—	125	230	—	500		V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>	Fig. 6	
I <sub>QCC</sub>	Quiescent V <sub>CC</sub> Supply Current	—	180	340	—	600		V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>	Fig. 7	
I <sub>QDD</sub>	Quiescent V <sub>DD</sub> Supply Current	—	5	30	—	60		V <sub>IN</sub> = V <sub>IH</sub> or V <sub>IL</sub>		
I <sub>IN+</sub>	Logic "1" Input Bias Current	—	15	30	—	70		V <sub>IN</sub> = 15V	Fig. 8	
I <sub>IN-</sub>	Logic "0" Input Bias Current	—	—	1	—	10		V <sub>IN</sub> = 0V		
V <sub>BSUV+</sub>	V <sub>BS</sub> Supply Undervoltage Positive Going Threshold	7.7	8.7	9.7	—	—		V		Fig. 9
V <sub>BSUV-</sub>	V <sub>BS</sub> Supply Undervoltage Negative Going Threshold	7.3	8.3	9.3	—	—				
V <sub>CCUV+</sub>	V <sub>CC</sub> Supply Undervoltage Positive Going Threshold	7.6	8.6	9.6	—	—				
V <sub>CCUV-</sub>	V <sub>CC</sub> Supply Undervoltage Negative Going Threshold	7.2	8.2	9.2	—	—				
I <sub>O+</sub>	Output High Short Circuit Pulsed Current	2	—	—	—	—	A	V <sub>OUT</sub> = 0V, V <sub>IN</sub> = 15V, PW ≤ 10 μs		
I <sub>O-</sub>	Output Low Short Circuit Pulsed Current	2	—	—	—	—		V <sub>OUT</sub> = 15V, V <sub>IN</sub> = 0V, PW ≤ 10 μs		

Functional Block Diagram



### Typical Performance Characteristics

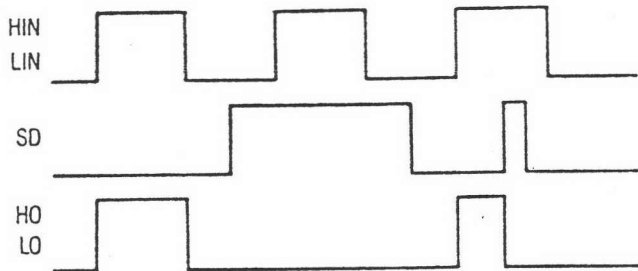


Fig. 1 — Input/Output Timing Diagram

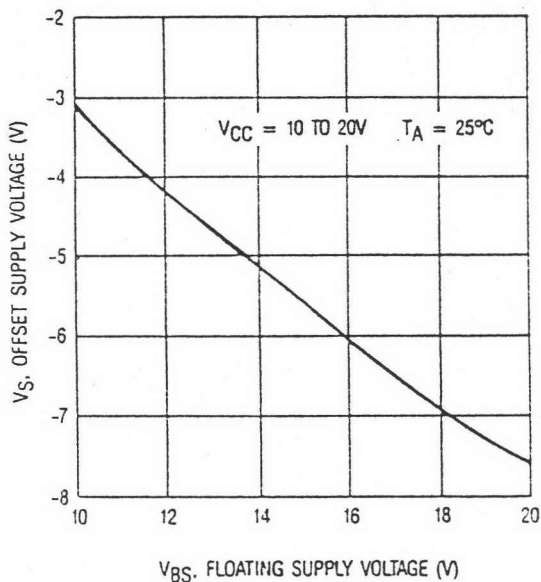


Fig. 2 — Maximum  $V_S$  Negative Offset vs.  $V_{BS}$  Supply Voltage

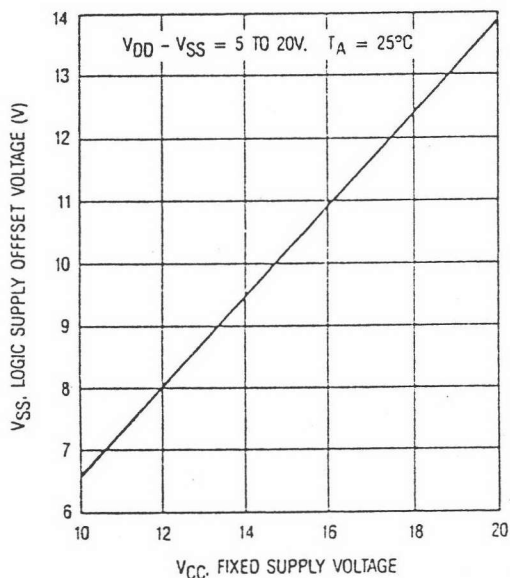


Fig. 3 — Maximum  $V_{SS}$  Positive Offset Voltage vs.  $V_{CC}$  Supply Voltage

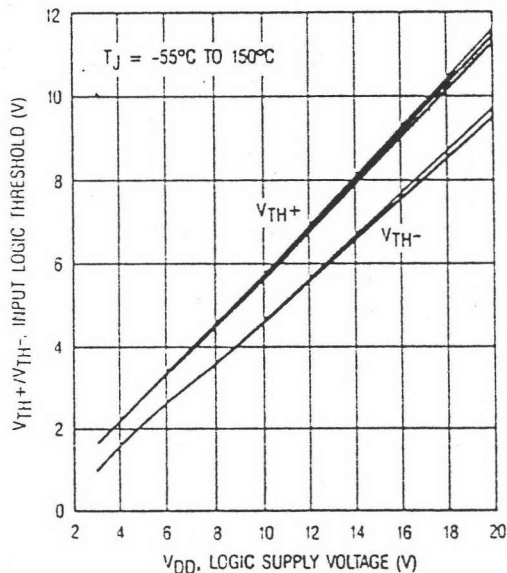


Fig. 4 — Input Logic Threshold vs.  $V_{DD}$  Supply Voltage

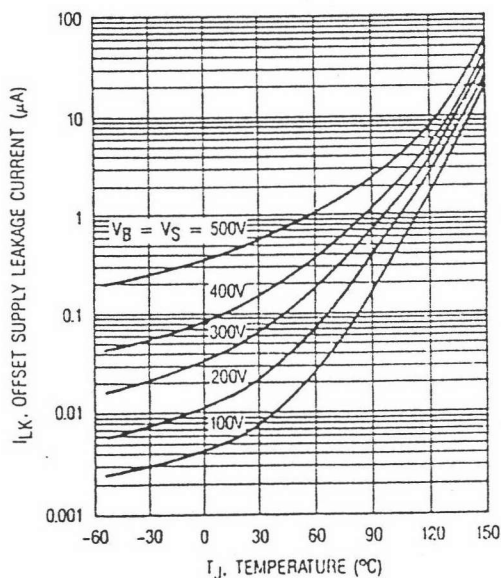


Fig. 5 — Offset Supply Leakage Current vs. Temperature

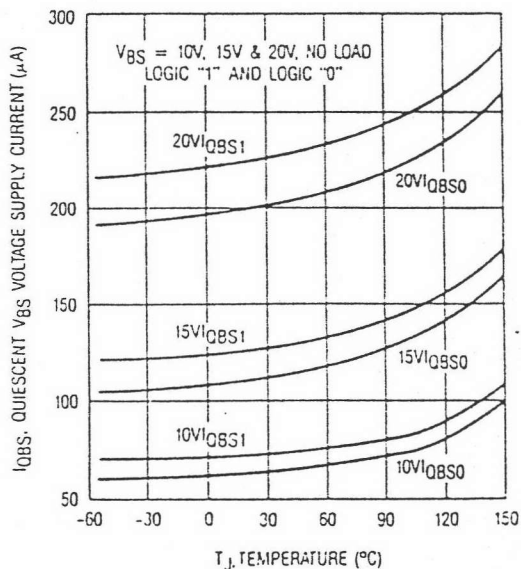


Fig. 6 — Quiescent  $V_{BS}$  Supply Current vs. Temperature

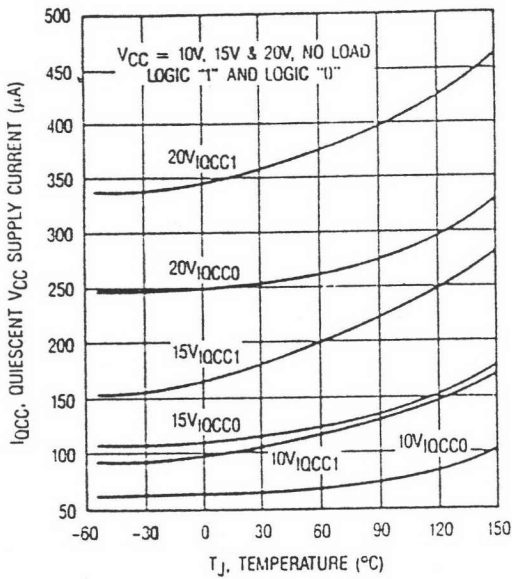


Fig. 7 — Quiescent V<sub>CC</sub> Supply Current vs. Temperature

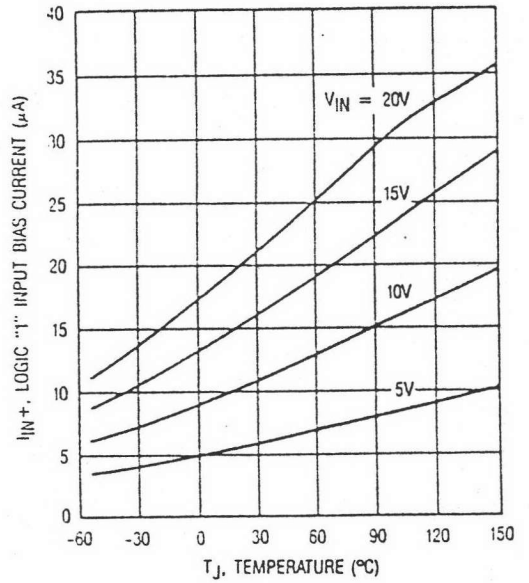


Fig. 8 — Logic "1" Input Bias Current vs. Temperature

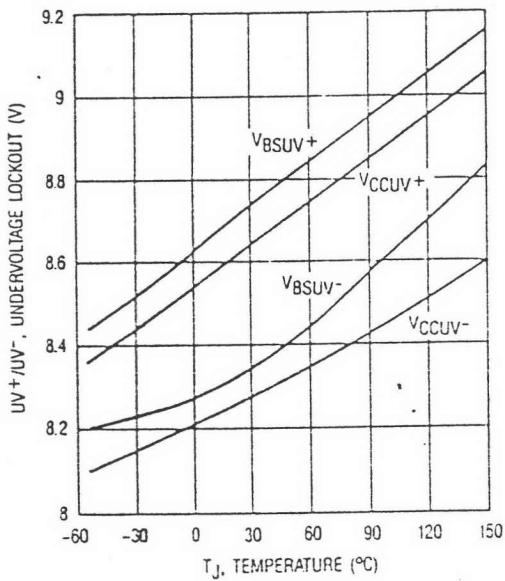


Fig. 9 — Undervoltage Lockout vs. Temperature

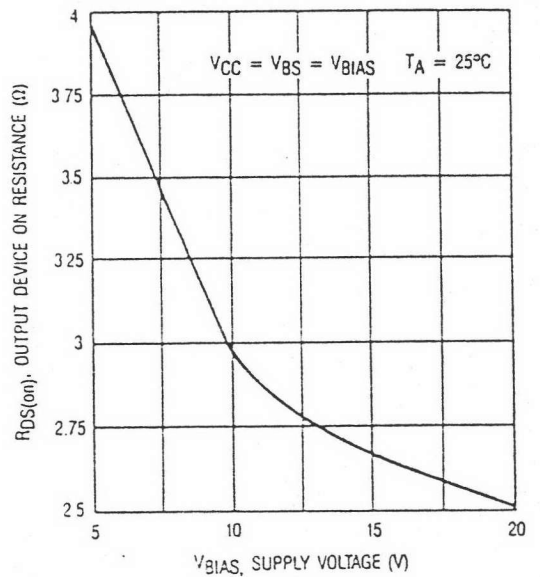


Fig. 10 — Output Device On Resistance vs. Supply Voltage

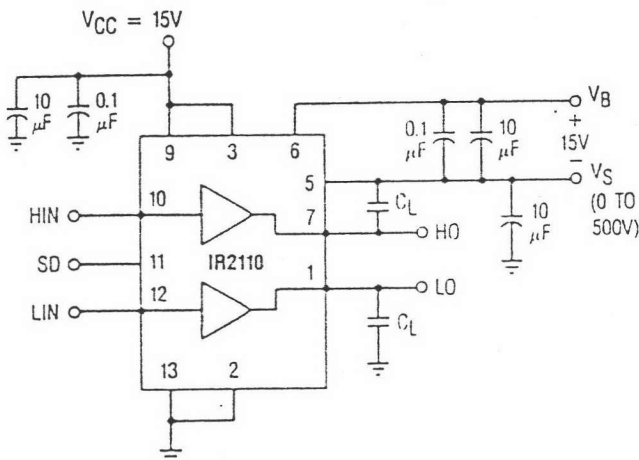


Fig. 11a — Switching Time Test Circuit

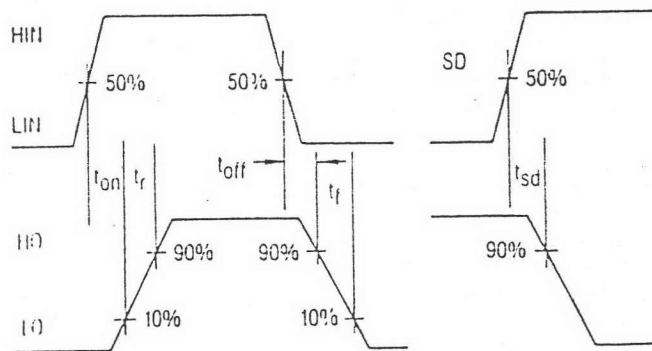


Fig. 11b — Switching Time Waveform Definition



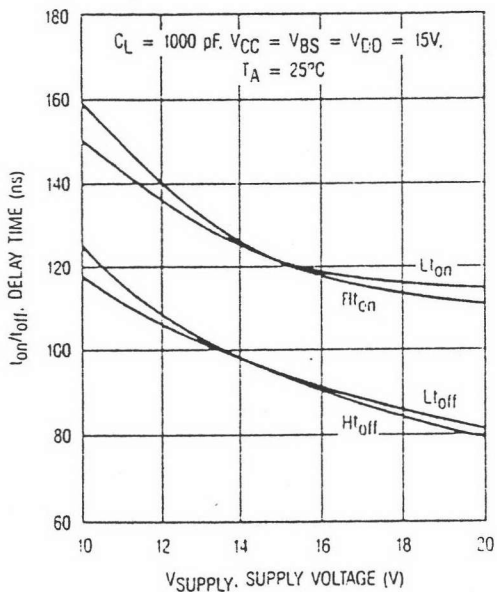


Fig. 12a — Delay Time vs. Supply Voltage

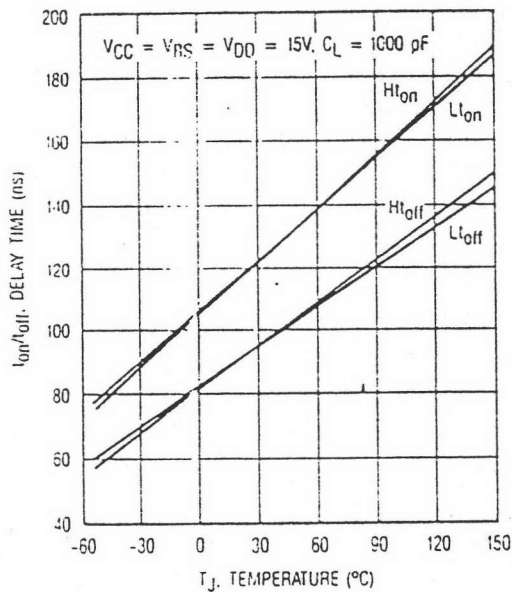


Fig. 12b — Delay Time vs. Temperature

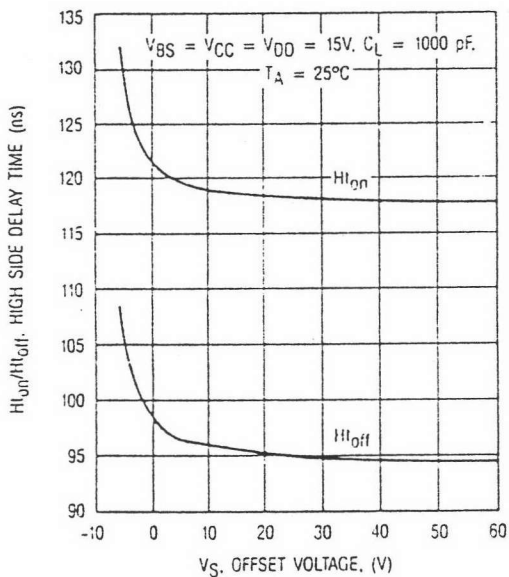


Fig. 12c — High Side Delay Time vs.  $V_S$  Offset Voltage

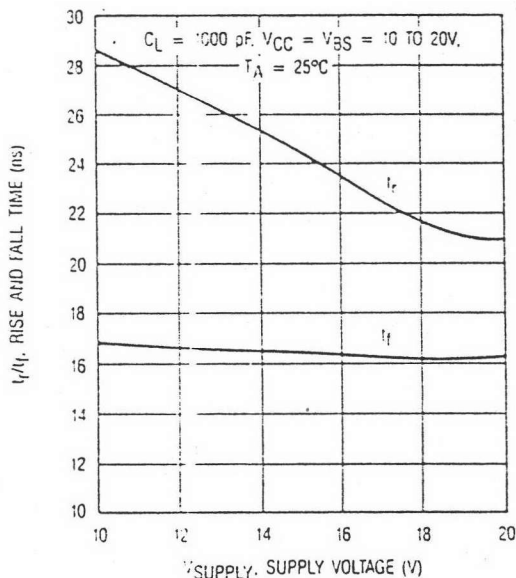


Fig. 13a — Rise and Fall Time vs. Supply Voltage

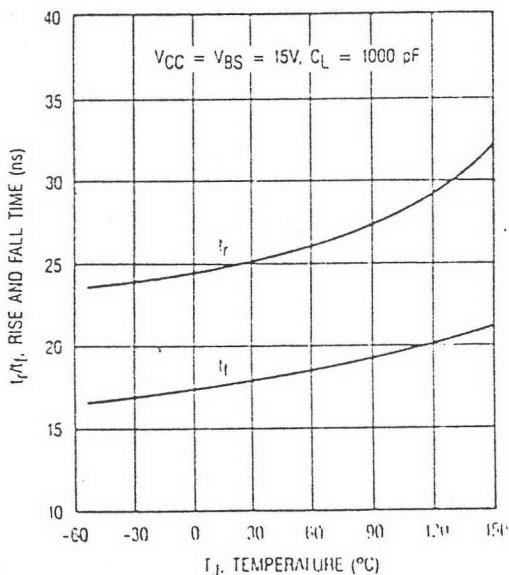


Fig. 13b — Rise and Fall Time vs. Temperature

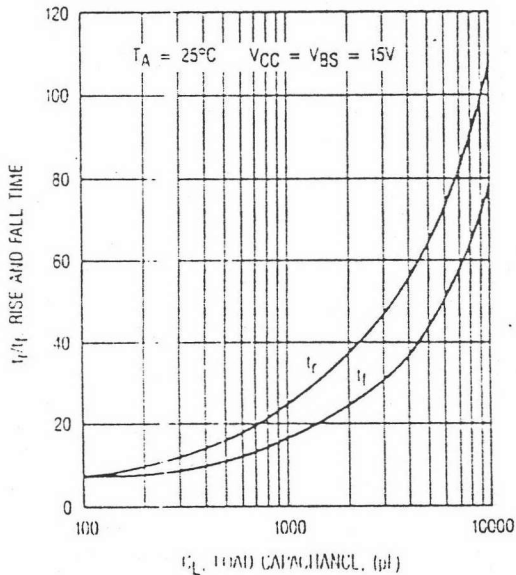
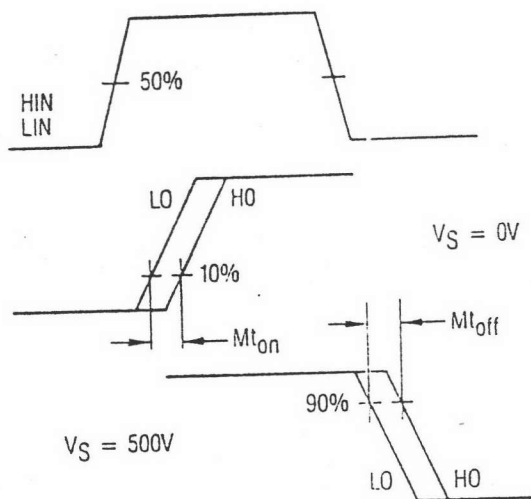
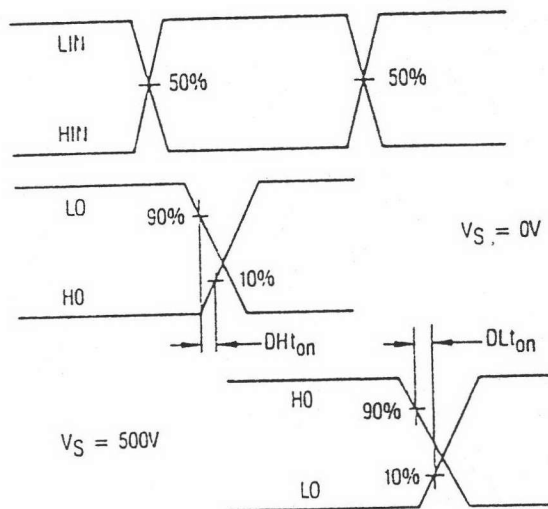


Fig. 13c — Rise Time/Fall Time vs. Load Capacitance



TYPICAL  $Mt_{on} = Mt_{off} = 0$  ns

Fig. 14 — Delay Matching Waveform Definitions



TYPICAL  $DH_{ton} = DL_{ton} = 26$  ns

Fig. 15 — Deadtime Waveform Definitions

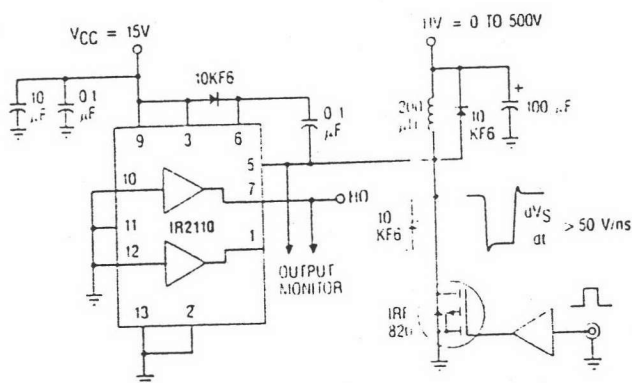


Fig. 16 — Floating Supply Voltage Transient Test Circuit

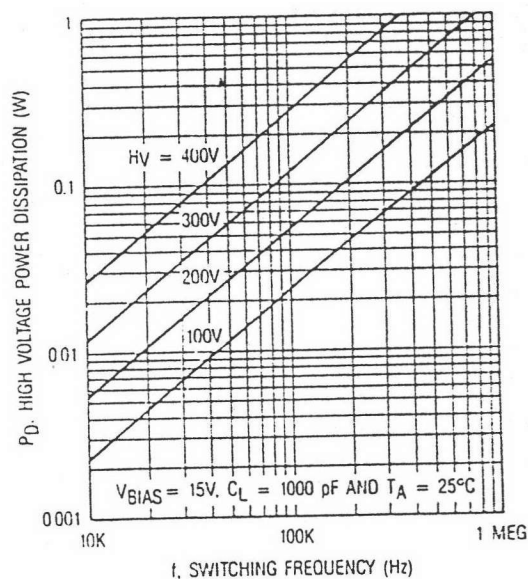
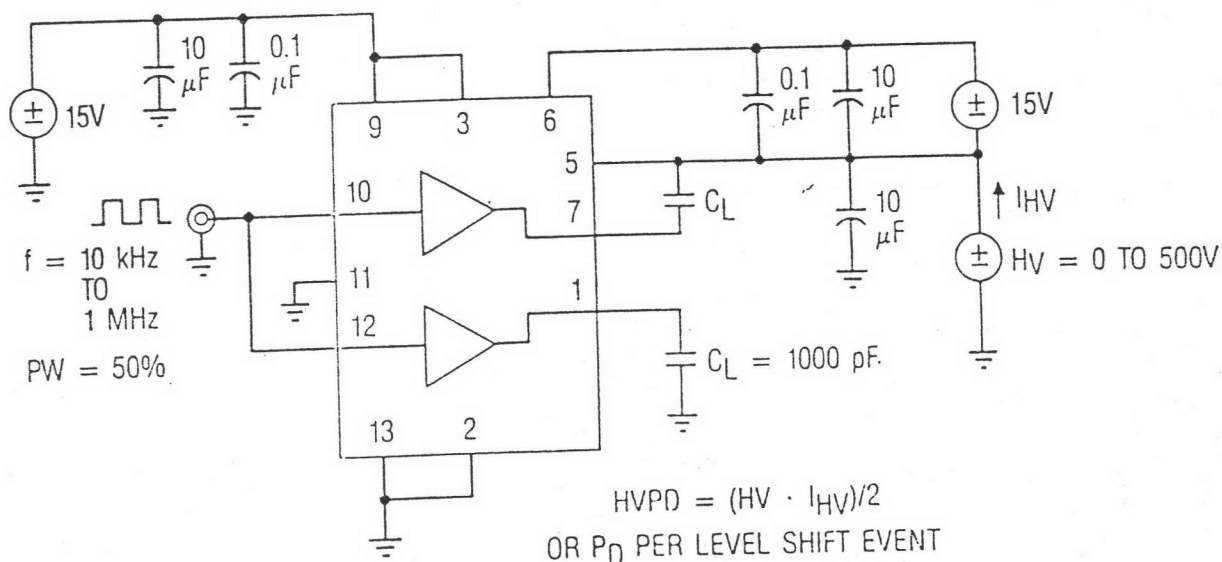


Fig. 17a — High Voltage Power Dissipation vs. Switching Frequency



$$HVPD = (HV \cdot I_{HV})/2$$

OR  $P_D$  PER LEVEL SHIFT EVENT

Fig. 17b — High Voltage Power Dissipation Test Circuit



## Functional Description

The IR2110 is a monolithic high voltage, high speed two channel power MOSFET or IGBT driver. Refer to the section on Functional Block Diagram for the internal partitioning of the various circuit blocks. The driver translates logic input signals into corresponding "in-phase" low impedance outputs. The low side channel output (LO) is referenced to a fixed rail ( $V_{CC}$ ) and the high side channel output (HO) is referenced to a floating rail ( $V_{BS}$ ) with offset capability up to 500V.

The logic circuit provides the control pulses for the two output channels corresponding to the logic inputs as indicated by the Input/Output Timing Diagram in Fig. 1. The HO and LO outputs are in phase with the HIN and LIN logic inputs. The two outputs will turn off when the SD input switches high and the outputs will remain off even after the SD input returns to low until the next rising edge of the respective inputs. In the case when  $V_{CC}$  is below the undervoltage trip point the UV detect circuit will send a shutdown signal to disable both channels. Also a separate UV detect block is used to disable the high side channel when  $V_{BS}$  is below its own undervoltage trip point. The logic inputs use Schmitt trigger circuits with a hysteric band of  $0.1 \cdot V_{DD}$  to provide high noise immunity and can accept inputs with slow rise time. The logic circuit is referenced to its own logic supply to allow the use of a lower supply voltage than the output operating supply voltage. A high noise immunity  $V_{DD}/V_{CC}$  level-shifting circuit is used to translate logic signal to the output drivers. With a  $\pm 5V$  rated offset capability between the logic ground ( $V_{SS}$ ) and power ground (COM), the logic circuit is unaffected by the noise coupling generated by the switching action of the output drivers.

Propagation delay for the two channels are matched using the low side delay circuit to simplify the timing requirements of the control pulses. The turn-on delay is matched at 120ns for the low side channel ( $Lt_{ON}$ ) and the high side channel ( $Ht_{ON}$ ) with  $V_S$  at 0V since the high side turn-on command is usually executed when  $V_S$  is at or near 0V. The turn-off delay is matched at 94ns for the low side channel ( $Lt_{OFF}$ ) and the high side channel ( $Ht_{OFF}$ ) with  $V_S$  at 500V since the high side turn-off command is usually executed after the high side power MOSFET is "on" and  $V_S$  is at or near the high voltage rail.

Both channels use identical low cross-conduction totem pole output connected transistors. The output driver consists of two N-channel MOSFETs with peak current capability above 2A and on resistance of less than 3 ohms (Fig. 10). One output MOSFET is connected as a source follower and the other in common source configuration. Because of the totem pole arrangement the rise time is slower than the fall time driving capacitive load. For a typical 3300pf load the rise and fall times are 50ns and 33ns respectively.

For the high side channel, narrow "On" and "Off" pulses triggered respectively by the rising and the falling edge of HIN are generated by the pulse generator. The respective pulses are used to drive separate high voltage DMOS level translators that set or reset a RS latch operating off the floating rail. Level shifting of the ground reference. HIN signal is thus accomplished by transposing the signal references to the floating rail. Because each high voltage DMOS level

translator is turned on for only the duration of the short "On" or "Off" pulses with each set or reset event, power dissipation is minimized. False triggering of the RS latch from fast  $dv/dt$  transients on the  $V_S$  node is effectively differentiated from normal pull-down pulses through a pulse discriminator circuit such that the high side channel is essentially immune to any magnitude of  $dv/dt$  value. Also the high voltage level shifting circuit is designed to function normally even when the  $V_S$  node swings more than 4V below the COM pin. This condition can often occur during the recirculation period of the output free-wheeling diode.

## Application Guidelines

(Also see Application Note AN-978A for details)

The IR2110 is typically used to drive two high voltage N-channel power MOSFETs or IGBTs configured in half-bridge, dual-forward or other topologies. The fixed rail referenced output is used to drive a low side connected power MOSFET. The floating output channel is used to drive a power MOSFET in the high side configuration that requires an over-rail gate drive. Refer to the section on Typical Applications for the various circuit topologies where the IR2110 is applicable.

Typically, the floating supply is derived from the fixed supply using a bootstrap technique as shown in the section on Typical Connection. The charging diode must have a voltage withstand capability higher than the peak HV bus voltage. To minimize power dissipation a fast recovery diode is recommended. The value of the bootstrap capacitor depends on the switching frequency, duty cycle and gate charge requirement of the power MOSFET. The voltage across the capacitor should not be allowed to drop below the under-voltage lockout threshold, otherwise protective shutdown will occur. A 0.1  $\mu F$  capacitor is usually suitable for applications switching above 5 KHz.

Supply bypass capacitors between  $V_{CC}$  and COM and between  $V_{DD}$  and  $V_{SS}$  are required to supply the transient current needed for switching the capacitive loads. These capacitors, together with the reservoir capacitor across  $V_B$  and  $V_S$ , must be connected close to the device. A 0.1  $\mu F$  ceramic disk capacitor in parallel with a 1  $\mu F$  tantalum capacitor is recommended for  $V_{CC}$  bypass. A 0.1  $\mu F$  ceramic disk capacitor is usually adequate for the logic supply.

The outputs of the IR2110 are designed to deliver gate drives for fast switching speed even for high current power MOSFETs with relatively high gate charge requirement. The typical switching speed for various standard power MOSFET sizes is shown in Fig. 20. To minimize inductance in the gate drive loop, each MOSFET should have its own dedicated connection going to Pin 2 and 5 of the IR2110 for the return of the gate drive signal. For smaller power MOSFETs a series gate resistor for each output is recommended to limit switching speed. The value of the gate resistor depends on EMI requirement, switching losses and the maximum allowable  $dv/dt$ .

The total power dissipation of the IR2110 is a function of HV bus voltage,  $V_{CC}$  and  $V_{DD}$  voltages, switching frequency, duty cycle, delivered gate drives charge, and operating junction temperature. The total dissipation can be divided into two categories: High voltage and low voltage switching.

The high voltage dissipation can be calculated by the following formula:

$$PD(HV) = \underbrace{HV \cdot I_{LK} \cdot d}_{\text{static}} + \underbrace{(V_{B_{on}} + V_{B_{off}}) \cdot Q_p \cdot f}_{\text{dynamic}}$$

with HV the high voltage bus voltage,  $I_{LK}$  the leakage current of  $V_B$  to ground,  $d$  the duty cycle of the high side switch,  $Q_p$  the pulsed charge of high voltage level shifter,  $V_{B_{on}}$  the average voltage of  $V_B$  during the turn-on pulse,  $V_{B_{off}}$  the average voltage of  $V_B$  during the turn-off pulse and  $f$  the switching frequency of the high side channel. The level shifting losses are usually much larger than the leakage losses such that the static term can be neglected for most applications. Fig. 17 shows the total high voltage dissipation as a function of switching frequency at various fixed  $V_S$  voltage level. Note that the graph only shows the high voltage power dissipation per set or reset event at the particular fixed

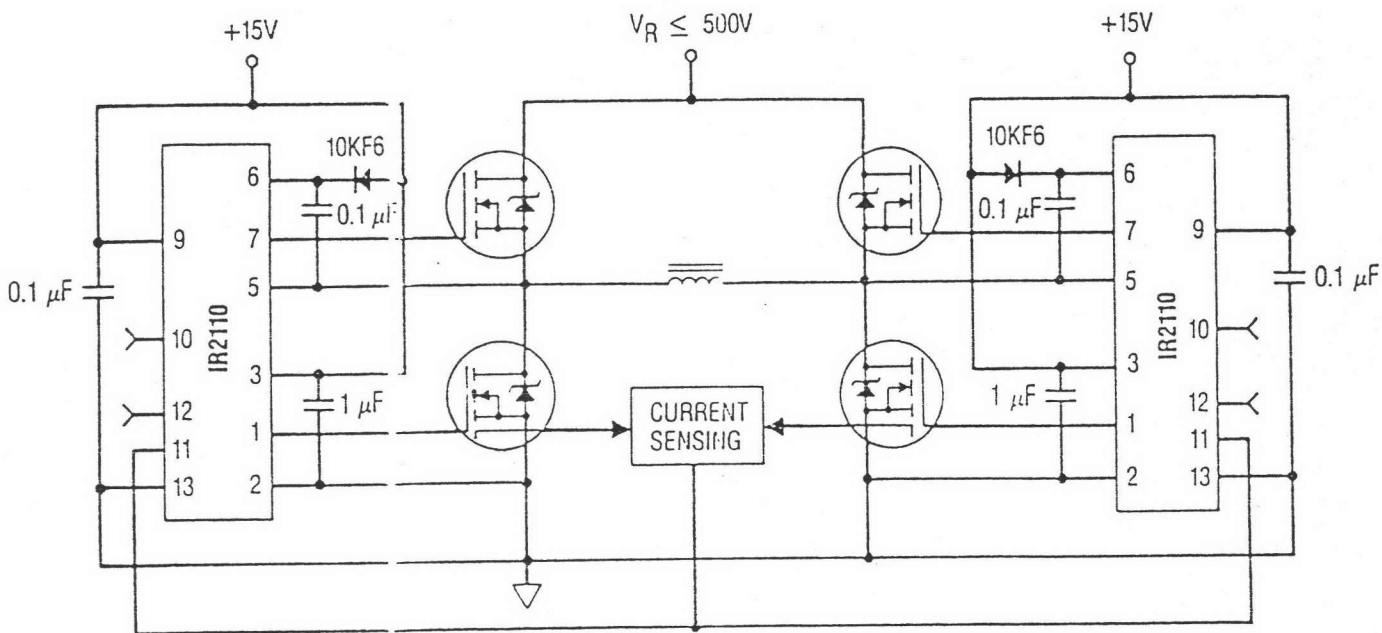
$V_S$  level. Keep in mind that in actual application  $V_S$  is swinging during the level shifting event.

The low voltage dissipation can be calculated by the following formula:

$$PD(LV) = \underbrace{V_{bias} \cdot I_{Q_{tot}}}_{\text{static}} + \underbrace{2 \cdot V_{bias} \cdot Q_g \cdot f + V_{bias} \cdot Q_{cmos} \cdot f}_{\text{dynamic}}$$

with  $V_{bias}$  the low voltage bias voltage assuming  $V_{DD} = V_{CC} = V_{BS}$ ,  $I_{Q_{tot}}$  the total quiescent current,  $Q_g$  the delivered gate charge per driven MOSFET,  $f$  the switching frequency and  $Q_{cmos}$  the switching losses associated with the internal CMOS circuitry. The quiescent losses are usually much smaller than the dynamic losses such that the static term can be neglected. Fig. 18 shows the total low voltage power dissipation as a function of switching frequency at various load conditions. The switching losses associated with internal circuitry ( $Q_{cmos}$ ) are shown in the graph for the case of "0 pf" loading condition.

## Typical Applications



### H-Bridge

Typical implementation of an H-bridge with cycle-by-cycle current mode control

## ภาคผนวก ง.

### การออกแบบหม้อแปลง

#### ข้อกำหนด

1. ขนาดของกำลังทางค้ำออก
2. ขนาดรูปร่างและความถี่ของกระแสและแรงดัน
3. ประสิทธิภาพและ T(rise)
4. Voltage regulation
5. คุณสมบัติทางไฟฟ้าและเชิงกลอื่นๆ

#### ขีดจำกัด

1. สนามแม่เหล็กอิ่มตัวของแกน
2. กำลังสูญเสียในแกนและทองแดง
3. คุณสมบัติอื่นๆ  $\mu$ ,  $\epsilon$  V.breakdown, etc.

#### การเลือก

1. ชนิดลักษณะโครงสร้างและขนาดของแกน
2. ชนิดรูปร่างขนาดและจำนวนรอบ
3. ชนิดและลักษณะของฉนวน
4. คุณสมบัติทางไฟฟ้าอื่นๆ

#### สมการการออกแบบ

ขีดจำกัดของแกนแม่เหล็ก (Saturation or Coreloss)

เมื่อแรงดันเป็นรูปคลื่นสี่เหลี่ยม (Square Wave)

$$\Delta\phi_m = \int \frac{v}{N} \cdot dt = \frac{V^{T/2}}{N} = nB_{max}S$$

$n=1$  เมื่อมี dc. magnetizing current

$n=2$  เมื่อไม่มี dc. magnetizing current

คำนวณหาจำนวนรอบของขดลวดทั้งสองได้

$$N_1 = \frac{V_1}{2nB_{max}sf}, \quad N_2 = \frac{V_2}{2nB_{max}sf}$$

เมื่อแรงดันเป็น sine wave

$$N_1 = \frac{V_1(rms)}{4.44B_{max}sf}, \quad N_2 = \frac{V_2(rms)}{4.44B_{max}sf}$$

ขีดจำกัดของหน้าตัด

$$kW = N_1 A_{w1} + N_2 A_{w2}$$

ขีดจำกัดของลวดทองแดง

$$P_{cu} = I_1^2 (rms) R_1 + I_2^2 (rms) R_2$$

$$R = \rho \frac{l}{A_w}$$

$$J = \frac{I (rms)}{A_w}$$

ตัวแปรที่กำหนดขนาดของแกนเหล็กในรูปของข้อกำหนดและขีดจำกัดต่างๆ

1. area - product ( $A_p$ )
2. core - geometry ( $K_g$ )

การออกแบบโดยข้อกำหนดของ  $A_p$

T(rise) กำหนดอยู่ในรูปของ  $J$

สำหรับ Square Wave ที่ไม่มี dc. magnetizing current ค่า  $B_{max}$  limit

$$N_1 = \frac{V_1}{4 B_{max} S f}, N_2 = \frac{V_2}{4 B_{max} S f}$$

และค่า window area limit จะมีค่า

$$Kw = N_1 A_{w1} + N_2 A_{w2}$$

$$kW = \frac{N_1 I_1 (rms)}{J} + \frac{N_2 I_2 (rms)}{J}$$

แทนค่า  $N_1$  &  $N_2$  ได้

$$kW = \frac{V_1 I_1 (rms)}{4 B_{max} S f J} + \frac{V_2 I_2 (rms)}{4 B_{max} S f J}$$

$$kW = \frac{V_1 I_1 (rms) + V_2 I_2 (rms)}{4 B_{max} S f J}$$

กลุ่มตัวแปรที่กำหนดขนาดของแกน  $A_p$  จะได้

$$A_p = W \cdot S = \frac{V_1 I_1 (rms) + V_2 I_2 (rms)}{4 k B_{max} f J}$$

$$V_1 I_1 (rms) \approx V_2 I_2 (rms) = P_{out}$$

$$A_p = W \cdot S = \frac{P_{out}}{2 k B_{max} f J}$$

ขั้นตอนการออกแบบโดยข้อกำหนด  $A_p$

1. จากข้อกำหนดและขีดจำกัดคำนวณหาค่า  $A_p$
2. เลือกขนาดของแกนที่ต้องการ  $\geq A_p$
3. คำนวณหาจำนวนรอบของลวดตัวนำ  $N_1$  &  $N_2$
4. คำนวณหาขนาดของลวดตัวนำเมื่อ  $N_1 A_{w1} \approx N_2 A_{w2}$

5. เลือกขนาดเบอร์ลวดทองแดงที่ต้องการให้  $\geq Aw$
6. คำนวณหา  $P_{cu} = I_1^2 (rms) R_1 + I_2^2 (rms) R_2$
7. ปรับค่า  $J$  เริ่มจาก 1-6 จนได้  $P_{cu}$  ที่เหมาะสม
8. คำนวณหาค่า  $L_m$  จาก  $L_m = N^2 \cdot \frac{\mu_m S_m}{l_m}$
9. คำนวณหาค่า  $i_m$

### การออกแบบโดยข้อกำหนดของ $Kg$

T(rise) กำหนดอยู่ในรูปของ  $P_{cu}$

สำหรับ Square Wave ที่ไม่มี dc.magnetizing current ค่า Bmax limit

$$N_1 = \frac{V_1}{4 B \max S f}, N_2 = \frac{V_2}{4 B \max S f}$$

$$N_1 A w_1 = N_2 A w_2 \approx \frac{Kw}{2}$$

$$R = \rho \frac{l}{A w}, l = N t, A w = \frac{Kw}{2 N}$$

$$R_1 = \rho \cdot N_1 t / \left( \frac{Kw}{2 N_1} \right) = 2 \rho \cdot \frac{t}{Kw} \cdot N_1^2$$

$$R_2 = \rho \cdot N_2 t / \left( \frac{Kw}{2 N_2} \right) = 2 \rho \cdot \frac{t}{Kw} \cdot N_2^2$$

$$P_{cu} = I_1^2 (rms) R_1 + I_2^2 (rms) R_2$$

แทนค่า  $R_1$  &  $R_2$  จะได้

$$P_{cu} = 2 \rho \cdot \frac{t}{Kw} \cdot (N_1^2 I_1^2 (rms) + N_2^2 I_2^2 (rms))$$

แทนค่า  $N_1$  &  $N_2$  จะได้

$$P_{cu} = 2 \rho \cdot \frac{t}{Kw} \cdot \frac{I}{(4 B \max S^2 f^2)} [V_1^2 I_1^2 (rms) + V_2^2 I_2^2 (rms)]$$

โดยทั่วไป  $V_1 I_1 (rms) \approx V_2 I_2 (rms) = P_{out}$

กลุ่มตัวแปรที่กำหนดขนาดของแกน  $Kg$  จะได้

$$Kg = \frac{W S^2}{t} = \frac{\rho \cdot P_{out}^2}{4 k \cdot B^2 \max f^2 P_{cu}}$$

### ขั้นตอนการออกแบบโดยข้อกำหนด $Kg$

1. จากข้อกำหนดและขีดจำกัดคำนวณหาค่า  $Kg$
2. เลือกขนาดของแกนที่ต้องการ  $\geq Kg$
3. คำนวณหาจำนวนรอบของลวดตัวนำ  $N_1$  &  $N_2$
4. คำนวณหาขนาดของลวดตัวนำเมื่อ  $N_1 A w_1 \approx N_2 A w_2$

5. เลือกขนาดเบอร์ลวดทองแดงที่ต้องการให้  $\geq Aw$
6. คำนวณหาค่า  $L_m$
7. คำนวณหาค่า  $i_m$

### การออกแบบตัวเหนี่ยวนำ

#### ข้อกำหนด

1. ค่าความเหนี่ยวนำ
2. ขนาดและรูปร่างรวมทั้งความถี่ของกระแสหรือแรงดัน
3. กำลังสูญเสียหรือประสิทธิภาพ หรือ T(rise)
4. คุณสมบัติทางไฟฟ้าและเชิงกลอื่นๆ

#### ขีดจำกัด

1. สนามแม่เหล็กอิ่มตัวของแกนแม่เหล็ก
2. กำลังสูญเสียในลวดทองแดงหรือในแกนแม่เหล็ก
3. คุณสมบัติอื่นๆเช่น  $\mu$ ,  $\epsilon$  V.breakdown, etc

#### การเลือก

1. ชนิดลักษณะโครงสร้างและขนาดของแกน
2. ชนิดรูปร่างขนาดและจำนวนรอบ
3. ชนิดและลักษณะของฉนวน
4. ลักษณะโครงสร้างของ case ตลอดจนการระบายความร้อน
5. คุณสมบัติทางไฟฟ้าอื่นๆ

#### สมการการออกแบบ

ขีดจำกัดของแกนแม่เหล็ก (Saturation or Coreloss)

$$B_{max} = \frac{\phi_{max}}{S} = \frac{\lambda_{max}}{SN} = \frac{L \cdot I_{peak}}{SN}$$

สนามแม่เหล็กแปรตามกระแสโดยตรง  $\phi_{max} = \frac{L}{N} \cdot I_{peak}$

ขีดจำกัดของหน้าต่าง  $KW = NAw$ ; ( $K \approx 0.3 - 0.6$ )

จากขีดจำกัดของลวดทองแดง (copper loss)

$$P_{cu} = I^2_{rms} \cdot R$$

$$R = \rho \cdot \frac{l}{Aw}$$

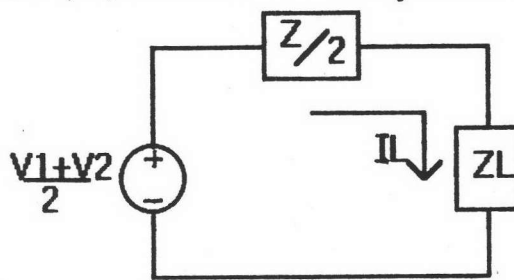
$$J = \frac{I_{rms}}{Aw}$$

สมการที่ (1.8)

$$I_L = I_1 + I_2 = \frac{1}{2} \cdot \frac{(V_1 + V_2)}{Z_L + \frac{Z}{2}} \quad (1.8a)$$

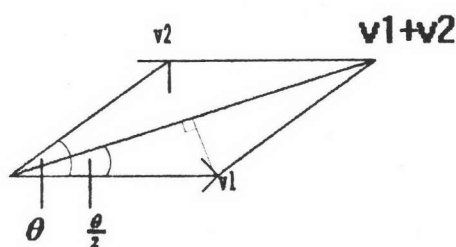
$$V_L = Z_L I_L = \frac{1}{2} \cdot \frac{(V_1 + V_2)}{1 + \frac{Z}{2Z_L}} \quad (1.8b)$$

จากรูปที่ 1.1 และสมการที่ (1.8) นำมาเขียนเป็นวงจรสมมูลเทวินินได้ตามรูปที่ 1.2



รูปที่ 1.2 วงจรสมมูลเทวินิน

ให้  $\theta$  เป็นเฟสระหว่าง  $v_1$  และ  $v_2$  และสมมุติว่า  $v_1$  และ  $v_2$  มีแอมพลิจูดเท่ากันเท่ากับ  $V_m$  จะเขียนแผนภาพเฟสเซอร์ได้ดังนี้



รูปที่ 1.3 แผนภาพเฟสเซอร์แสดงการบวกแรงดัน

จากรูปที่ 1.3 สามารถคำนวณได้ว่าผลบวก  $v_1 + v_2$  มีแอมพลิจูดตามสมการที่ (1.9)

$$v_1 + v_2 = 2V_m \cos\left(\frac{\theta}{2}\right) \quad (1.9)$$

ให้  $I_o$  และ  $P_o$  เป็นแอมพลิจูดของกระแสโหลดและกำลังที่โหลดได้รับเมื่อ  $v_1$  และ  $v_2$  มีเฟสตรงกัน ( $\theta = 0$ ) ดังนั้นสำหรับ  $\theta$  ค่าใดๆ แอมพลิจูดของกระแสโหลดและกำลังที่โหลดมีค่าเท่ากับ

จากคุณสมบัติของวงจรแม่เหล็กและตัวเหนี่ยวนำ

$$L = N^2 P_c = N^2 R_c$$

$$R_c = R_m + R_g \approx R_g = \frac{l_g}{\mu_o \cdot S}$$

$$L = N^2 \frac{\mu_o \cdot S}{l_g}$$

$$l_g = N^2 \frac{\mu_o \cdot S}{L}$$

ตัวแปรที่กำหนดขนาดของแกนแม่เหล็ก

1. area – product ( $A_p$ )
2. core – geometry ( $K_g$ )

การออกแบบโดยข้อกำหนดของ  $A_p$

T(rise) กำหนดอยู่ในรูปของ  $J \approx 100 - 1000 \text{ A/cm}^2$

$$N = \frac{L \cdot I_{peak}}{B_{max} \cdot S}$$

$$K_w = \frac{N \cdot I_{peak}}{J}$$

แทนค่า  $N$  จะได้

$$K_w = \frac{L \cdot I_{peak}}{B_{max} \cdot S} \cdot \frac{I_{rms}}{J}$$

เพราะฉะนั้นขีดจำกัดของแกน  $A_p$

$$A_p = W \cdot S = \frac{L \cdot I_{peak} \cdot I_{rms}}{K \cdot B_{max} \cdot J}$$

ถ้า

$$I_{peak} \cong I_{rms}$$

ดังนั้น

$$A_p = W \cdot S = \frac{2E_{peak}}{K \cdot B_{max} \cdot J}$$

เมื่อ

$$E_{peak} = \frac{1}{2} \cdot L I_{peak}^2$$

ขั้นตอนการออกแบบโดยข้อกำหนด  $A_p$

1. จากข้อกำหนดและขีดจำกัดคำนวณหาค่า  $A_p$
2. เลือกขนาดของแกนที่ต้องการ  $\geq A_p$  ที่คำนวณได้
3. คำนวณหาจำนวนรอบของลวดตัวนำ  $N$
4. คำนวณหาขนาดของลวดตัวนำ  $A_w$
5. เลือกขนาดเบอร์ลวดทองแดงที่ต้องการให้  $\geq A_w$
6. คำนวณหา  $P_{cu} = I^2 (rms) R$
7. ปรับค่า  $J$  เริ่มจาก 1-6 จนได้  $P_{cu}$  ที่เหมาะสม



8. คำนวณหาค่า air gap  $l_g = N^2 \cdot \frac{\mu_o \cdot S}{L}$  หรือค่า  $\mu$  ของแกน

9. คำนวณหาค่าหา Fringing flux correction factor(F)

10. ปรับ  $l_g$  จนได้  $L$  ตามต้องการ

การออกแบบโดยข้อกำหนดของ  $K_g$

T(rise) กำหนดอยู่ในรูปของ  $P_{cu}$

$$N = \frac{L \cdot I_{peak}}{B_{max} \cdot S}$$

$$Aw = \frac{K_w}{N}$$

$$l = N \cdot t$$

$$R_w = \frac{\rho \cdot l}{Aw} = \rho \cdot \frac{N^2 \cdot t}{K_w}$$

$$P_{cu} = I_{rms}^2 R_w$$

แทนค่าตัวแปรจะได้

$$P_{cu} = I_{rms}^2 \cdot \rho \left( \frac{L \cdot I_{peak}}{B_{max} \cdot S} \right)^2 \cdot \frac{t}{K_w}$$

$$P_{cu} = 4\rho \cdot \frac{\left( \frac{1}{2} \cdot L \cdot I_{rms}^2 \right) \left( \frac{1}{2} \cdot L \cdot I_{peak}^2 \right) \cdot t}{k \cdot B_{max} \cdot S^2 \cdot W}$$

จัดกลุ่มตัวแปรจะได้

$$K_g = \frac{W \cdot S^2}{t} = 4\rho \cdot \frac{\left( \frac{1}{2} \cdot L \cdot I_{rms}^2 \right) \left( \frac{1}{2} \cdot L \cdot I_{peak}^2 \right)}{k \cdot B_{max} \cdot P_{cu}}$$

ถ้า

$$I_{peak} = I_{rms}$$

$$K_g = \frac{W \cdot S^2}{t} = 4\rho \cdot \frac{(E_{peak})^2}{k \cdot B_{max} \cdot P_{cu}}$$

เมื่อ

$$E_{peak} = \frac{1}{2} \cdot L \cdot I_{peak}^2$$

ขั้นตอนการออกแบบโดยข้อกำหนด  $K_g$

1. จากข้อกำหนดและขีดจำกัดคำนวณหาค่า  $K_g$
2. เลือกขนาดของแกนที่ต้องการ  $\geq K_g$  ที่คำนวณได้
3. คำนวณหาค่าจำนวนรอบของลวดตัวนำ  $N$ .
4. คำนวณหาค่าขนาดของลวดตัวนำเมื่อ  $Aw$
5. เลือกขนาดเบอร์ลวดทองแดงที่ต้องการให้  $\geq Aw$

6. คำนวณหาค่า air gap  $l_g = N^2 \cdot \frac{\mu_0 \cdot S}{L}$  หรือค่า  $\mu$  ของแกน
7. คำนวณหาค่าหา Fringing flux correction factor(F)
8. ปรับ  $l_g$  จนได้  $L$  ตามต้องการ



### ประวัติผู้เขียน

นายวิรัตน์ สماعيل เกิดวันที่ 10 มิถุนายน พ.ศ. 2503 ที่อำเภอควนขนุน จังหวัดพัทลุง สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีราชมงคล ปีการศึกษา 2533 และเข้าศึกษาในหลักสูตร วิศวกรรมศาสตรมหาบัณฑิต สาขาอิเล็กทรอนิกส์ กำลัง ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ ที่จุฬาลงกรณ์มหาวิทยาลัย ในปีการศึกษา 2534