โครงการวิจัยย่อยลำดับที่ 12

เรื่อง การประมาณค่าตำแหน่งของสถานีเคลื่อนที่ด้วยนิวรอลเนตเวิร์ก ปีที่ 5

1. **ผู้รับผิดชอบโครงการ** รองศาสตราจารย์ ดร.วาทิต เบญจพลกุล

2. **วัตถุประสงค์ของโครงการ**
   2.1 เพื่อสร้างองค์ความรู้ทางด้านการประมาณตำแหน่งของสถานีเคลื่อนที่
   2.2 เพื่อพัฒนาระบบต้นแบบการประมาณค่าตำแหน่งของสถานีเคลื่อนที่

3. **ขอบเขตหรือเป้าหมายของโครงการ**
   ออกแบบวิธีการประมาณค่าพิกัดตำแหน่งของสถานีเคลื่อนที่โดยนำนิวรอลเนตเวิร์กมาประยุกต์ใช้ โดยอาศัยข้อมูลค่าความแรงสัญญาณในการเดินทางของสัญญาณ และนำมาพัฒนาเป็นระบบต้นแบบการประมาณค่าตำแหน่งของสถานีเคลื่อนที่

4. **ส่วนงานที่ได้ดำเนินการไปแล้ว**
   4.1 ขอข้อมูลภาคสนามของระบบ GSM และ CDMA จากบริษัทต่าง ๆ เพื่อนำไปใช้ฝึกและทดสอบนิวรอลเนตเวิร์ก
   4.2 จัดรูปแบบข้อมูลภาคสนามของระบบ GSM และ CDMA ที่ได้จากข้อที่ 4.1 ให้ตรงกับข้อมูลเข้าที่จะนำไปในฝึกและทดสอบนิวรอลเนตเวิร์ก
   4.3 ทดสอบเพื่อหาจำนวนนิวรอนในชั้นซ่อนเร้น อัตราการเรียนรู้ และวิธีการฝึกนิวรอลเนตเวิร์กที่เหมาะสมสำหรับการนำนิวรอลเนตเวิร์กไปใช้กับข้อมูลภาคสนาม
   4.4 ออกแบบนิวรอลเนตเวิร์กเพื่อประมาณค่าตำแหน่งของสถานีเคลื่อนที่โดยใช้ภาษา VHDL
   4.5 ฝึกและทดสอบนิวรอลเนตเวิร์กที่ออกแบบโดยใช้ข้อมูลภาคสนาม
   4.6 วิเคราะห์ผลการทำงานของนิวรอลเนตเวิร์กที่ออกแบบ
   4.7 ดาวน์โหลดนิวรอลเนตเวิร์กที่ออกแบบโดยใช้ภาษา VHDL บางส่วนลงบนบอร์ด FPGA รุ่น Discovery XC3S200 ของบริษัท Apex Instrument จำกัด เพื่อพัฒนาเป็นอุปกรณ์ต้นแบบสำหรับประมาณค่าตำแหน่งของสถานีเคลื่อนที่
   4.8 ทดสอบประสิทธิภาพในการประมาณค่าตำแหน่งของสถานีเคลื่อนที่ของอุปกรณ์ต้นแบบ

5. ส่วนงานที่เหลืออยู่

5.1 ปรับปรุงนิวรอลเนตเวิร์กที่ออกแบบโดยใช้ภาษา VHDL ให้วงจรมีขนาดเล็กลงกว่าเดิม

5.2 วิเคราะห์ผลการทำงานของนิวรอลเนตเวิร์กที่ปรับปรุงแล้วว่าสามารถประมาณค่าตำแหน่งของสถานีเคลื่อนที่ได้ถูกต้องหรือไม่

5.3 ดาวน์โหลดนิวรอลเนตเวิร์กทั้งหมดลงบนชิพหรือบอร์ด FPGA ที่เหมาะสมเพื่อพัฒนาเป็นอุปกรณ์ต้นแบบสำหรับประมาณค่าตำแหน่งของสถานีเคลื่อนที่ที่สมบูรณ์ต่อไป

5.4 ทดสอบประสิทธิภาพในการประมาณค่าตำแหน่งของสถานีเคลื่อนที่ของอุปกรณ์ต้นแบบว่ามีความผิดพลาดในการประมาณค่าอยู่ในเกณฑ์ที่ FCC กำหนดไว้หรือไม่

6. งานที่ได้ดำเนินการในช่วงปี 2549

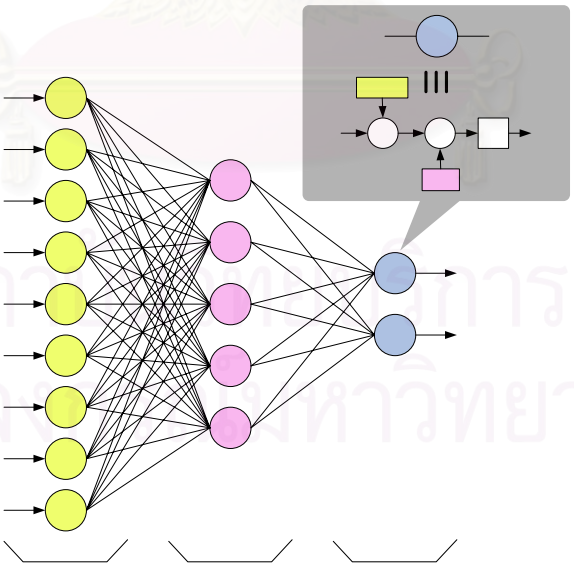
งานในส่วนต่อเนื่องจากปี 2548 ประกอบด้วย งานออกแบบวงจรอุปกรณ์ประมาณค่าตำแหน่งของสถานีเคลื่อนที่ งานออกแบบวงจรย่อยในส่วนต่างๆ ที่จำเป็นให้มีขนาดที่เล็กลงและนำไปใช้ได้จริงในทางปฏิบัติ งานออกแบบส่วนของการติดต่อกับคอมพิวเตอร์ทั้งในด้านฮาร์ดแวร์และซอฟต์แวร์ งานออกแบบการทดสอบประสิทธิภาพของอุปกรณ์ประมาณค่าตำแหน่งของสถานีเคลื่อนที่ งานดังกล่าวถูกสรุปไว้เป็นบทต่างๆ จำนวน 4 บท คือ บทที่ 1 บทนำ บทที่ 2 แนวทางการออกแบบโครงสร้างของอุปกรณ์ประมาณค่าตำแหน่งของสถานีเคลื่อนที่ บทที่ 3 โครงสร้างวงจรอุปกรณ์ประมาณค่าตำแหน่งของสถานีเคลื่อนที่ที่ออกแบบ บทที่ 4 การทดสอบและผลการทดสอบอุปกรณ์ประมาณตำแหน่งสถานีเคลื่อนที่

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

บทที่ 1

บทนำ

งานวิจัยนี้ได้ออกแบบนิวรอลเนตเวิร์กเพื่อนำมาประยุกต์ใช้ในการประมาณค่าตำแหน่งของสถานีเคลื่อนที่ โดยนิวรอลเนตเวิร์กมีสถาปัตยกรรมเป็นแบบโครงข่ายป้อนไปข้างหน้าและมีการฝึกแบบแพร่กระจายย้อนกลับ (Feedforward Network - Backpropagation Training Architecture) ซึ่งมีชั้นข้อมูลเข้า (Input Layer) จำนวน 1 ชั้น จำนวนนิวรอน (Neuron) ในชั้นนี้เท่ากับจำนวนข้อมูลเข้า (Input) ได้แก่ ค่าข้อมูลความแรงของสัญญาณที่สถานีฐาน 3 สถานีรับได้จากสถานีเคลื่อนที่ที่พิจารณา (ss1, ss2, ss3) และตำแหน่งละติจูด-ลองจิจูดของสถานีฐานทั้ง 3 สถานี (lat1, long1, lat2, long2, lat3, long3) ฟังก์ชันถ่ายโอนในชั้นนี้เป็นฟังก์ชันถ่ายโอนเชิงเส้น (Linear Transfer Function) มีชั้นซ่อนเร้น (Hidden Layer) จำนวน 1 ชั้น โดยมีการทดสอบหาจำนวนนิวรอนในชั้นซ่อนเร้นที่เหมาะสม ฟังก์ชันถ่ายโอนในชั้นนี้เป็นฟังก์ชันถ่ายโอนลอการิทึมซิกมอยด์ (Logarithm Sigmoid Transfer Function) และชั้นข้อมูลออก (Output Layer) จำนวน 1 ชั้น จะให้ค่าผลลัพธ์ออกมาเป็นค่าตำแหน่งละติจูด- ลองจิจูด (m_lat, m_long) ของสถานีเคลื่อนที่ ฟังก์ชันถ่ายโอนในชั้นนี้เป็นฟังก์ชันถ่ายโอนเชิงเส้น ดังแสดงในรูปที่ 1.1

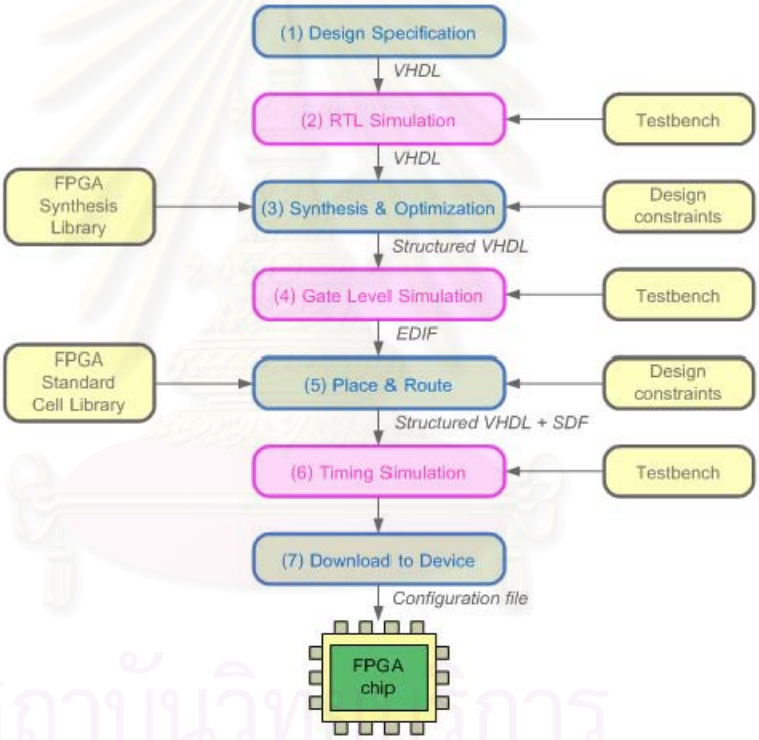


รูปที่ 1.1 รูปแบบของนิวรอลเนตเวิร์กที่ใช้ในงานวิจัยนี้

บทที่ 2

แนวทางการออกแบบโครงสร้างของอุปกรณ์ประมาณค่าตำแหน่งของสถานีเคลื่อนที่

ในการออกแบบอุปกรณ์ประมาณค่าตำแหน่งของสถานีเคลื่อนที่ที่นำเสนอจะเป็นการออกแบบที่ใช้ภาษา VHDL ในการออกแบบ จำลองการทำงาน และสังเคราะห์วงจร จากนั้นจึงทำการดาวน์โหลดวงจรที่ออกแบบลงบนชิพ FPGA (Field Programmable Gate Array) โดยกระบวนการออกแบบจนกระทั่งดาวน์โหลดวงจรที่ออกแบบลงบนชิพแสดงได้โดยสรุปดังรูปที่ 2.1



รูปที่ 2.1 กระบวนการในการออกแบบและสังเคราะห์วงจรโดยใช้ FPGA

ขั้นตอนที่ 1 การสร้างข้อกำหนดของการออกแบบ (Design Specification)

เป็นขั้นตอนการสร้างข้อกำหนดต่าง ๆ ของวงจร เช่น วงจรทำงานที่ความถี่เท่าไร ฟังก์ชันการทำงานมีอะไรบ้าง ซึ่งเป็นรายละเอียดของวงจรที่ต้องการออกแบบ และเขียนฟังก์ชันการทำงานของวงจรตามที่ผู้ออกแบบกำหนดด้วยภาษาวีเอชดีแอลในระดับอาร์ทีแอล (Register Transfer Level: RTL) ซึ่งเป็นการใส่รายละเอียดลงไปในหน่วยบันทึก (Register) หน่วยความจำ (Memory) หน่วยคำนวณและตรรกะ (Arithmetic Logic Unit: ALU) และเครื่องสถานะ (State machine)

ขั้นตอนที่ 2 จำลองการทำงานแบบจำลองวงจรระดับอาร์ทีแอล (RTL Simulation)

เป็นขั้นตอนตรวจสอบการทำงานของแบบจำลองวงจรในระดับอาร์ทีแอล โดยการจำลองการทำงานจะถูกทดสอบโดยการสร้างระบบการทดสอบของแบบจำลองที่ต้องการทดสอบหรือเทสต์เบนช์ (Testbench) ซึ่งในขั้นตอนนี้จะจำลองการทำงานเพียงฟังก์ชัน ไม่คำนึงถึงค่าการประวิง (Delay) ของวงจรแต่อย่างใด

ขั้นตอนที่ 3 สังเคราะห์และการทำวงจรให้เหมาะสมที่สุด (Synthesis & Optimization)

เป็นขั้นตอนการสร้างแผนภาพวงจร (Schematic) จากแบบจำลองวงจรระดับอาร์ทีแอล ให้อยู่ในรูปของลอจิกเกต โดยอาศัยซอฟต์แวร์ช่วยในการสังเคราะห์วงจร โดยขั้นตอนนี้จะต้องมีการเลือกใช้เทคโนโลยีเอฟพีจีเอที่ผู้ออกแบบต้องการเลือกใช้ ซึ่งบริษัทผู้ผลิตเอฟพีจีเอจะมีเทคโนโลยีไลบรารี (Technology library) เตรียมไว้ให้ผู้ออกแบบไว้ในซอฟต์แวร์ที่ใช้พัฒนาชิพหรือบอร์ดเอฟพีจีเอของแต่ละบริษัทไว้อยู่แล้ว โดยเมื่อสังเคราะห์ได้ผังวงจร ซอฟต์แวร์จะทำวงจรให้เหมาะสมที่สุดตามข้อกำหนดหรือเงื่อนไขของการสังเคราะห์ (Design constraints) ที่ผู้ออกแบบกำหนดขึ้นตามขั้นตอนแรกของการออกแบบ ซึ่งผลลัพธ์ที่ได้จากการสังเคราะห์วงจรจะอยู่ในรูปแบบของไฟล์วีเอชดีแอลโครงสร้าง (Structured VHDL) และไฟล์เน็ตลิสต์มาตรฐาน (Netlist) ประเภทอีดีไอเอฟ (Electronic Design Interchange Format: EDIF) ที่จะนำไปใช้ในขั้นตอนการวางและเชื่อมต่อเซลล์ภายในของเอฟพีจีเอ (Place & Route) ต่อไป

ขั้นตอนที่ 4 การจำลองการทำงานของวงจรระดับลอจิกเกต (Gate Level Simulation)

เป็นขั้นตอนที่ผู้ออกแบบจะต้องทดสอบไฟล์เน็ตลิสต์ที่เป็นแบบจำลองของวงจรระดับลอจิกเกต โดยใช้เทสต์เบนช์ตัวเดิมที่ใช้จำลองการทำงานระดับอาร์ทีแอลมาแล้ว ซึ่งในการจำลองการทำงานในระดับนี้ จะมีเรื่องของการประวิงของเกต (Gate delay) เข้ามาเกี่ยวข้องในผลการจำลองการทำงาน

ซึ่งจะแตกต่างจากการจำลองการทำงานในระดับอาร์ทีแอล ดังนั้นผู้ออกแบบจะต้องจำลองการทำงานเพื่อตรวจสอบไทม์มิ่ง (Timing) อีกครั้งหนึ่งว่ายังถูกต้องตามข้อกำหนดของวงจรหรือไม่ ถ้าไม่ตรงตามข้อกำหนดจะต้องกลับไปขั้นตอนที่ 3 เพื่อสังเคราะห์และทำวงจรให้เหมาะสมที่สุดใหม่

ขั้นตอนที่ 5 การวางและเชื่อมต่อเซลล์ภายในของเอฟพีจีเอ (Place & Route)

เมื่อตรวจสอบการทำงานในระดับลอจิกเกตเป็นที่เรียบร้อยแล้ว จะต้องนำไฟล์เน็ตลิสต์ที่อยู่ในรูปแบบอีดีไอเอฟมาแปลงลงสู่เทคโนโลยีเซลล์ภายในของเอฟพีจีเอ และเชื่อมต่อเซลล์ภายในเข้าด้วยกันตามรูปแบบการเชื่อมต่ออุปกรณ์ต่าง ๆ ภายในเน็ตลิสต์ โดยขั้นตอนนี้จะมีการเรียกใช้เทคโนโลยีเซลล์ของเอฟพีจีเอ เนื่องจากเทคโนโลยีเซลล์ของเอฟพีจีเออาจมีมาโครเซลล์ (Macro cells) สำหรับสร้างฟังก์ชันต่าง ๆ ให้กับผู้ออกแบบใช้งาน เพราะมาโครเซลล์ต่าง ๆ นี้ถูกทางผู้ผลิตออกแบบไว้สำหรับชิพเอฟพีจีเอแต่ละตัว หรืออาจกล่าวได้ว่าเป็นวงจรที่ถูกทำให้เหมาะสมที่สุดสำหรับชิพแต่ละเทคโนโลยี ซึ่งในการวางและเชื่อมต่อเซลล์หรือมาโครเซลล์ต่าง ๆ จะถูกควบคุมด้วยข้อกำหนดในการวางและเชื่อมต่อเซลล์ เพื่อให้ซอฟต์แวร์สามารถวางและเชื่อมต่อกันตามความต้องการของผู้ออกแบบ (Design constraints) โดยผลลัพธ์จากขั้นตอนนี้จะอยู่ในรูปของไฟล์วีเอชดีแอลโครงสร้างของเซลล์ภายในของเอฟพีจีเอและไฟล์ประเภทเอสดีเอฟ (Standard Delay Format: SDF) ซึ่งเป็นไฟล์รูปแบบมาตรฐานที่มีข้อมูลเกี่ยวกับค่าการประวิงของเส้นทางการเชื่อมต่อภายในเซลล์ (Routing delay) และไฟล์สำหรับใช้โปรแกรมลงชิพเอฟพีจีเอ ซึ่งส่วนใหญ่จะอยู่ในรูปแบบของไฟล์รูปลักษณ์ (Configuration file)

ขั้นตอนที่ 6 การจำลองการทำงานวงจรระดับฐานเวลาจริง (Timing Simulation)

เป็นขั้นตอนสุดท้ายของการตรวจสอบความถูกต้อง ก่อนจะนำวงจรที่ออกแบบไปโปรแกรมหรือดาวน์โหลดลงสู่ชิพหรือบอร์ดจริงต่อไป โดยผลลัพธ์ที่ได้จากขั้นตอนนี้จะมีความใกล้เคียงกับไทม์มิ่งการทำงานจริงบนชิพหรือบอร์ดเอฟพีจีเอ เนื่องจากมีข้อมูลเกี่ยวกับการประวิงของเซลล์ภายในเอฟพีจีเอและการประวิงของการเชื่อมต่อเซลล์เข้ามาเกี่ยวข้อง

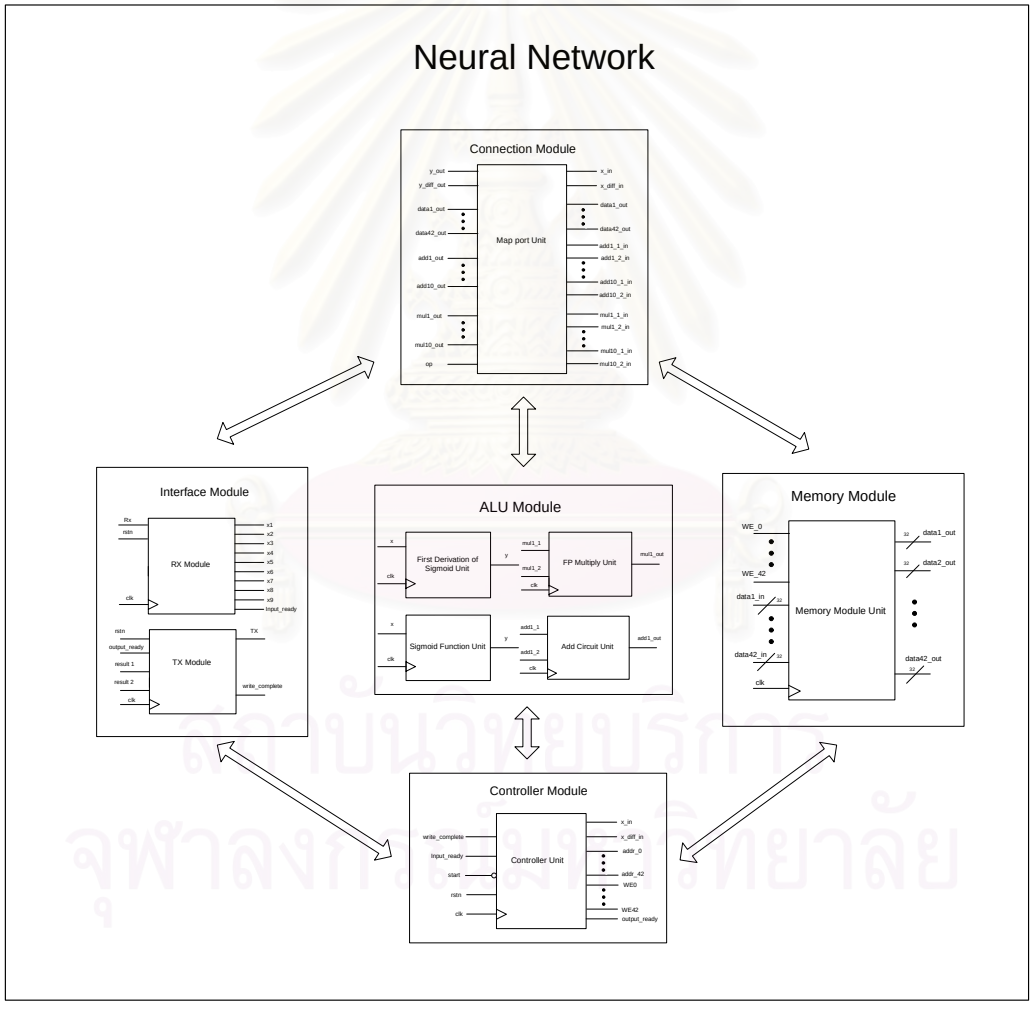
ขั้นตอนที่ 7 โปรแกรมลงสู่ชิพจริง (Download to Device)

เป็นขั้นตอนสุดท้ายสำหรับการออกแบบวงจรนั่นคือ การโปรแกรมไฟล์รูปลักษณ์ลงสู่ชิพหรือบอร์ดเอฟพีจีเอเพื่อทดสอบการทำงานจริงต่อไป

บทที่ 3

โครงสร้างวงจรอุปกรณ์ประมาณค่าตำแหน่งของสถานีเคลื่อนที่ที่ออกแบบ

โดยการออกแบบนิวรอลเนตเวิร์กเพื่อประมาณค่าตำแหน่งของสถานีเคลื่อนที่ที่ออกแบบใหม่นี้มีการปรับปรุงวงจรต่างๆ ในวงจรเดิมโดยมีจุดประสงค์หลักเพื่อให้วงจรที่ออกแบบมีขนาดเล็กและสามารถนำไปสร้างได้จริงในฮาร์ดแวร์โดยวงจรที่ออกแบบประกอบด้วยวงจรย่อยๆ หลายๆ วงจรและถูกควบคุมโดยวงจรควบคุมดังแสดงในรูปที่ 3.1



รูปที่ 3.1 วงจรโดยรวมของอุปกรณ์ประมาณค่าตำแหน่งของสถานีเคลื่อนที่ที่ออกแบบ

รายงานการใช้ทรัพยากรของชิพ FPGA

Logic Utilization	Value
Number of Slices	6688
Number of Slice Flip Flops	3034
Number of 4 input LUTs	12391
Block RAM	45
MULT 18x18	40
Minimum period	6.848ns
Maximum Frequency	146.028MHz
Maximum combinational path delay	No path found

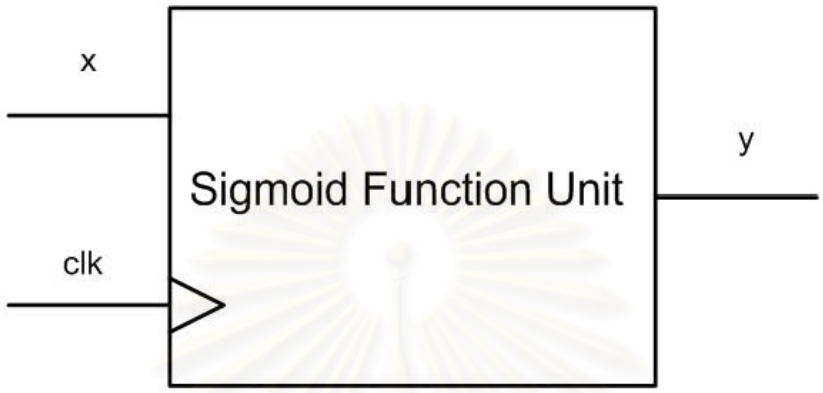
หมายเหตุ MULT 18x18 หมายถึง 18 bits x 18 bits Multipliers

LUT หมายถึง 4 input Look-up table

สำหรับวงจรนิวรอลเนตเวิร์กที่ออกแบบเพื่อให้การทดสอบการทำงานและการแก้ไขความผิดพลาดเป็นไปโดยง่ายจึงได้ออกแบบเป็นวงจรย่อยหลายๆส่วนประกอบเข้าด้วยกัน ทำงานโดยมีวงจรควบคุมเป็นตัวควบคุมการใช้ทรัพยากรต่างๆ วงจรย่อยดังกล่าวประกอบด้วย

1. วงจรฟังก์ชันถ่ายโอนซิกมอยด์
2. วงจรอนุพันธ์อันดับที่หนึ่งของฟังก์ชันถ่ายโอนซิกมอยด์
3. วงจรบวก Floating Point IEEE Standard for Binary Floating-Point Arithmetic (IEEE 754)
4. วงจรคูณ Floating Point IEEE Standard for Binary Floating-Point Arithmetic (IEEE 754)
5. วงจรควบคุม
6. วงจรหน่วยความจำ
7. วงจรเชื่อมต่อพอร์ต
8. วงจร UART ภาครับ
9. วงจร UART ภาคส่ง

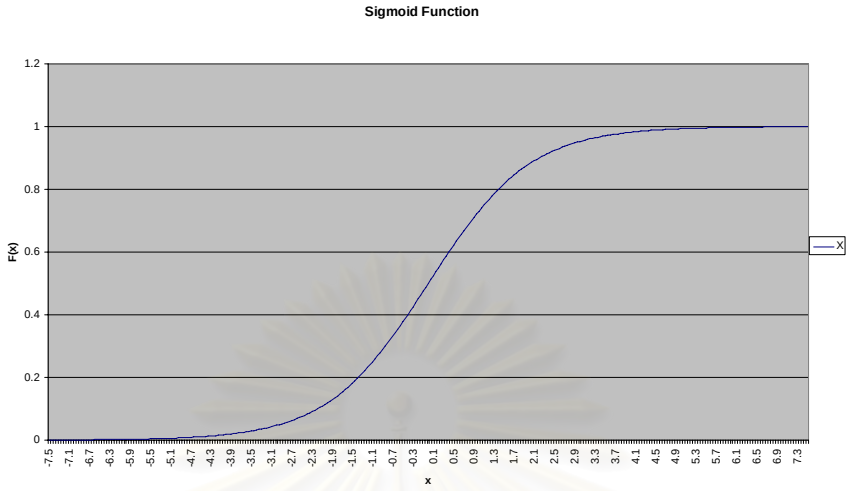
1. วงจรฟังก์ชันถ่ายโอนซิกมอยด์



รูปที่ 3.2 วงจรฟังก์ชันถ่ายโอนซิกมอยด์

เพื่อให้วงจรมีขนาดเล็กลงผู้วิจัยจึงเลือกใช้วิธีการสร้าง LUT โดยสร้างเป็น ROM โดยใช้ Block RAM ซึ่งเป็นทรัพยากรที่มีอยู่แล้วในชิพ FPGA เพื่อลดการใช้เกตลง สำหรับภายใน ROM จะเก็บค่าของฟังก์ชันซิกมอยด์ไว้โดย map กับ address ของ ROM จากนั้นจึงทำการ map ระหว่าง address ของ ROM เข้ากับ Input ของวงจรซึ่งจะเป็นตัวเลขระบบ IEEE754 floating-point 32 บิต สำหรับวงจรที่ออกแบบทำการเก็บค่าของฟังก์ชันซิกมอยด์ในช่วง $-7.5 < x < 7.5$ โดยใช้ ROM ขนาด 480x32 บิต จำนวน 2 ตัว เพื่อเก็บค่าของฟังก์ชันไว้เท่ากับ 960 ค่าโดยแต่ละค่า x ห่างกันเท่ากับ 0.05 สำหรับฟังก์ชันที่ได้เป็นดังรูปที่ 3.3

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.3 กราฟฟังก์ชันซิกมอยด์ที่ได้จากวงจร

รายงานการใช้ทรัพยากรของชิพ FPGA

Logic Utilization	Value
Number of Slices	47
Number of Block RAM	2
Number of 4 input LUTs	83
Minimum period	-
Maximum Frequency	-
Maximum combinational path delay	5.436ns

หมายเหตุ MULT 18x18 หมายถึง 18 bits x 18 bits Multipliers

LUT หมายถึง 4 input Look-up table

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

2. วงจรอนุพันธ์อันดับหนึ่งของฟังก์ชันถ่ายโอนซิกมอยด์

รูปที่ 3.4 วงจรอนุพันธ์อันดับหนึ่งของฟังก์ชันถ่ายโอนซิกมอยด์

เพื่อให้วงจรมีขนาดเล็กลงผู้วิจัยจึงเลือกใช้วิธีการสร้าง LUT (Look-up table) โดยสร้างเป็น ROM โดยใช้ Block RAM ซึ่งเป็นทรัพยากรที่มีอยู่แล้วในชิพ FPGA เพื่อลดการใช้เกตลง สำหรับภายใน ROM จะเก็บค่าของอนุพันธ์ของฟังก์ชันซิกมอยด์ไว้โดย map กับ address ของ ROM จากนั้นจึงทำการ map ระหว่าง address ของ ROM เข้ากับ Input ของวงจรซึ่งจะเป็นตัวเลขระบบ IEEE754 floating-point 32 บิต สำหรับวงจรที่ออกแบบทำการเก็บค่าของอนุพันธ์อันดับหนึ่งของฟังก์ชันซิกมอยด์ในช่วง $-7.5 < x < 7.5$ โดยใช้ ROM ขนาด 480x32 บิต จำนวน 1 ตัวเนื่องจากความสมมาตรของฟังก์ชัน เพื่อเก็บค่าของฟังก์ชันไว้เท่ากับ 480 ค่าโดยแต่ละค่า x ห่างกันเท่ากับ 0.05 สำหรับฟังก์ชันจะเป็นไปตามสมการและกราฟที่ได้เป็นไปตามรูปที่ 3.5

Derivative of Sigmoid Function

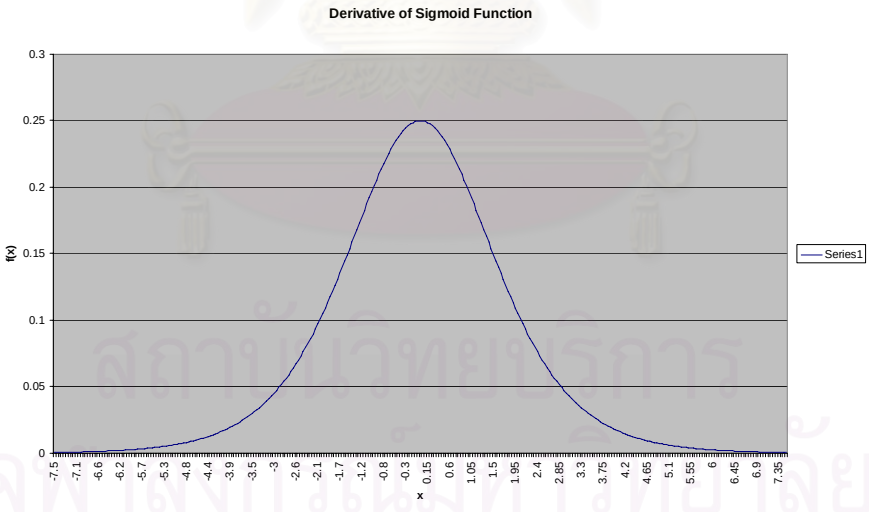
$$\frac{df(x)}{dx} = \frac{1}{1+e^{-x}}$$

$$= \left(\frac{1}{1+e^{-x}}\right)^2 \frac{d}{dx}(1+e^{-x})$$

$$= \left(\frac{1}{1+e^{-x}}\right)^2 e^{-x}(-1)$$

$$= \left(\frac{1}{1+e^{-x}}\right)\left(\frac{1}{1+e^{-x}}\right)(-e^{-x})$$

$$= f(x)(1-f(x))$$



รูปที่ 3.5 กราฟอนุพันธ์อันดับหนึ่งของฟังก์ชันซิกมอยด์ที่ได้จากวงจร

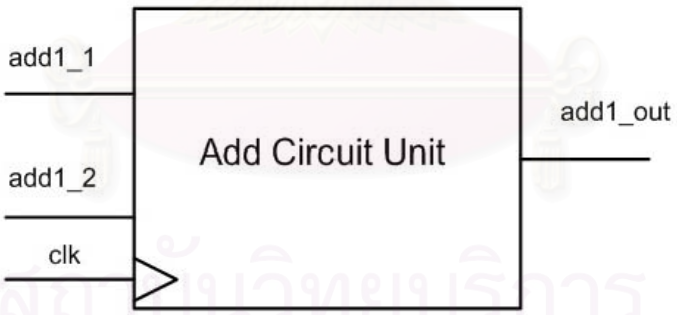
รายงานการใช้ทรัพยากรของชิพ FPGA

Logic Utilization	Value
Number of Slices	19
Number of Block RAM	1
Number of 4 input LUTs	34
Minimum period	-
Maximum Frequency	-
Maximum combinational path delay	-

หมายเหตุ MULT 18x18 หมายถึง 18 bits x 18 bits Multipliers

LUT หมายถึง 4 input Look-up table

3. วงจรบวก Floating Point



รูปที่ 3.6 วงจรบวก Floating Point

วงจรบวกเป็นวงจรสำหรับบวก floating-point แบบ single-precision (32-bit) ออกแบบวงจรโดยใช้ Xilinx CORE Generator และใช้ Core Floating-Point 2.0 ในการสร้าง เราสามารถกำหนดระยะเวลาก่อนที่จะได้ผลลัพธ์ได้ตั้งแต่ 0 จนถึง 11 clock โดยหากเลือกให้จำนวนระยะเวลาก่อนที่จะได้ผลลัพธ์น้อยจะต้องใช้ทรัพยากรในการสร้างวงจรที่มากขึ้น

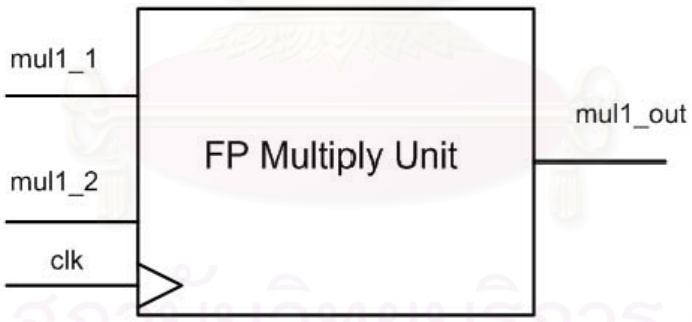
รายงานการใช้ทรัพยากรของชิพ FPGA

Logic Utilization	Value
Number of Slices	375
Number of Slice Flip Flops	528
Number of 4 input LUTs	582
Minimum period	4.098ns
Maximum Frequency	244.021MHz
Maximum combinational path delay	No path found

หมายเหตุ MULT 18x18 หมายถึง 18 bits x 18 bits Multipliers

LUT หมายถึง 4 input Look-up table

4. วงจรคูณ Floating-Point



รูปที่ 3.7 วงจรคูณ Floating Point

วงจรคูณเป็นวงจรสำหรับคูณจำนวน floating-point แบบ single-precision (32-bit) ออกแบบวงจรโดยใช้ Xilinx CORE Generator และใช้ Core Floating-Point 2.0 ในการสร้าง เราสามารถกำหนดระยะเวลาก่อนที่จะได้ผลลัพธ์ได้ตั้งแต่ 0 จนถึง 11 clock โดยหากเลือกให้จำนวนระยะเวลาก่อนที่จะได้ผลลัพธ์น้อยจะต้องใช้ทรัพยากรในการสร้างวงจรที่มากขึ้น

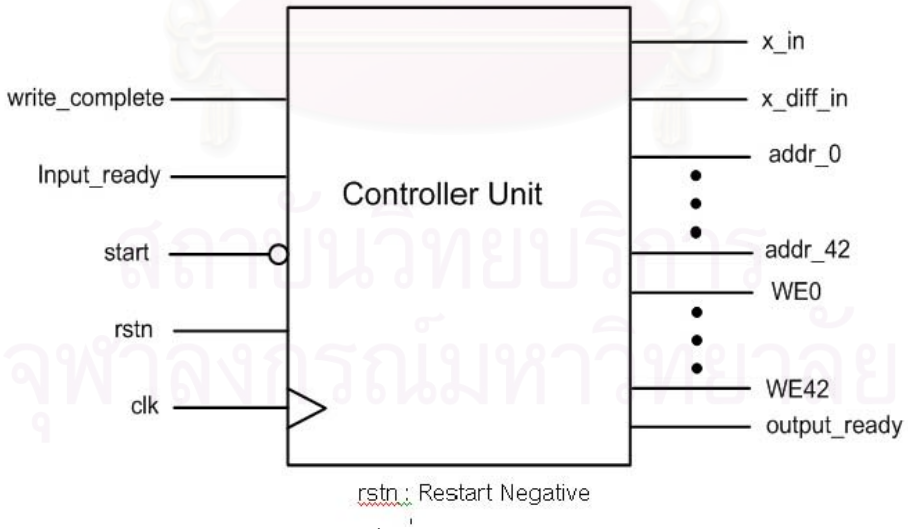
รายงานการใช้ทรัพยากรของชิพ FPGA

Logic Utilization	Value
Number of Slices	174
Number of Slice Flip Flops	270
Number of 4 input LUTs	209
Minimum period	4.608ns
Maximum Frequency	217.014MHz
Maximum combinational path delay	No path found

หมายเหตุ MULT 18x18 หมายถึง 18 bits x 18 bits Multipliers

LUT หมายถึง 4 input Look-up table

5. **วงจรควบคุม**

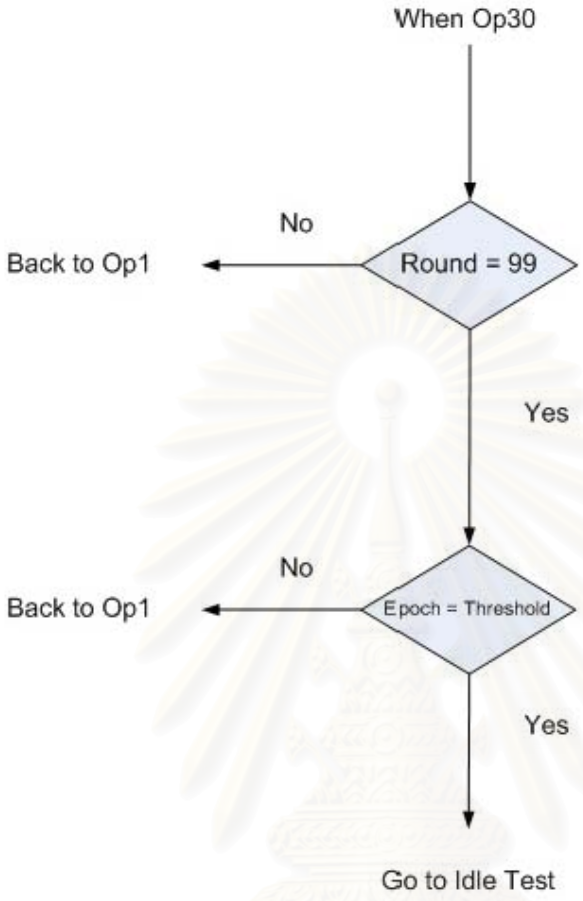


รูปที่ 3.8 วงจรควบคุม

วงจรควบคุมทำหน้าที่ควบคุมวงจรให้การทำงานเป็นไปตาม Finite State Machine โดยจะเริ่มจากวงจรนิวรอลเนตเวิร์กอยู่ในสถานะว่างสำหรับการเรียนรู้ (Idle Training) จากนั้นเมื่อมีสัญญาณ เริ่มต้น (Start) แบบ active low เข้ามาวงจรนิวรอลเนตเวิร์กจะเปลี่ยนไปอยู่ในสถานะการคำนวณซึ่งประกอบด้วยขั้นตอนย่อยๆ 30 ขั้นตอนคือสถานะ Op1, Op2, ..., Op30 ตามลำดับสำหรับขั้นตอนต่างๆ เป็นไปตามขั้นตอนการฝึกนิวรอลเนตเวิร์กแบบ Back-propagation Algorithm จากนั้นเมื่อวงจรดำเนินมาถึงสถานะ Op 30 ซึ่งเป็นสถานะสุดท้ายสำหรับการเรียนรู้จากเวกเตอร์ข้อมูล 1 ชุด จะมีการตรวจสอบดังต่อไปนี้

1. ตรวจสอบสัญญาณ Round ว่าเท่ากับจำนวนชุดเวกเตอร์ข้อมูลทั้งหมดที่ใช้ฝึกนิวรอลเนตเวิร์กหรือไม่ (ในที่นี้จำนวนชุดข้อมูลที่ใช้ฝึกมีจำนวนเท่ากับ 100 ชุด)
2. สำหรับสัญญาณ Round เท่ากับ 99 (หมายถึงข้อมูลฝึกชุดที่ 100) จะตรวจสอบสัญญาณ Epoch ว่าเท่ากับค่าที่เรากำหนด (Threshold Value) หรือไม่ ถ้าไม่วงจรจะเปลี่ยนไปทำงานที่สถานะ Op1 จนถึง Op 30 จนครบทุกชุดข้อมูลอีกครั้ง สำหรับเงื่อนไขดังกล่าวสรุปได้ดังรูปที่ 3.9

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.9 เงื่อนไขควบคุมของวงจรควบคุม

จากนั้นเมื่อค่าสัญญาณ Epoch เท่ากับค่าที่กำหนด (Threshold Values) วงจรจะมาอยู่ในสถานะว่างเพื่อรอรับเวกเตอร์ข้อมูลสำหรับการทดสอบ (Idle Test) โดย LED จะแสดงสถานะติดเพื่อให้ทราบว่าวงจรพร้อมสำหรับการรับเวกเตอร์ข้อมูลเพื่อประมาณค่าตำแหน่ง วงจรจะอยู่ในสถานะนี้ตราบจนกระทั่งมีสัญญาณ Data_Input_Ready จากวงจรภาครับเข้ามาซึ่งสัญญาณนี้แสดงถึงความพร้อมของข้อมูลที่รับเข้ามาเก็บไว้ในรีจิสเตอร์ของวงจรนิวรอลเนตเวิร์กซึ่งพร้อมที่จะนำไปคำนวณโดยใช้นิวรอลเนตเวิร์กที่ได้ผ่านการฝึกเสร็จแล้ว นั่นคือเมื่อมีสัญญาณ Data_Input_Ready เข้ามา วงจรจะเข้าสู่สถานะ Opt1, Opt2, …, Opt6 ซึ่งเป็นการคำนวณผลลัพธ์ จากนั้นเมื่อถึงสถานะ Opt6 วงจรจะส่งสัญญาณ Data_Output_Ready เพื่อบอกให้วงจรภาคส่งส่งผลลัพธ์เพื่อนำไปแสดงผลต่อไป เมื่อวงจรภาคส่งส่งผลลัพธ์การคำนวณเสร็จสิ้นแล้วจะส่งสัญญาณ Write_Complete เพื่อแจ้งให้วงจรควบคุมกลับไปสู่สถานะ Idle Test เพื่อรอรับเวกเตอร์ข้อมูลที่จะทดสอบชุดต่อไป

รายงานการใช้ทรัพยากรของชิพ FPGA

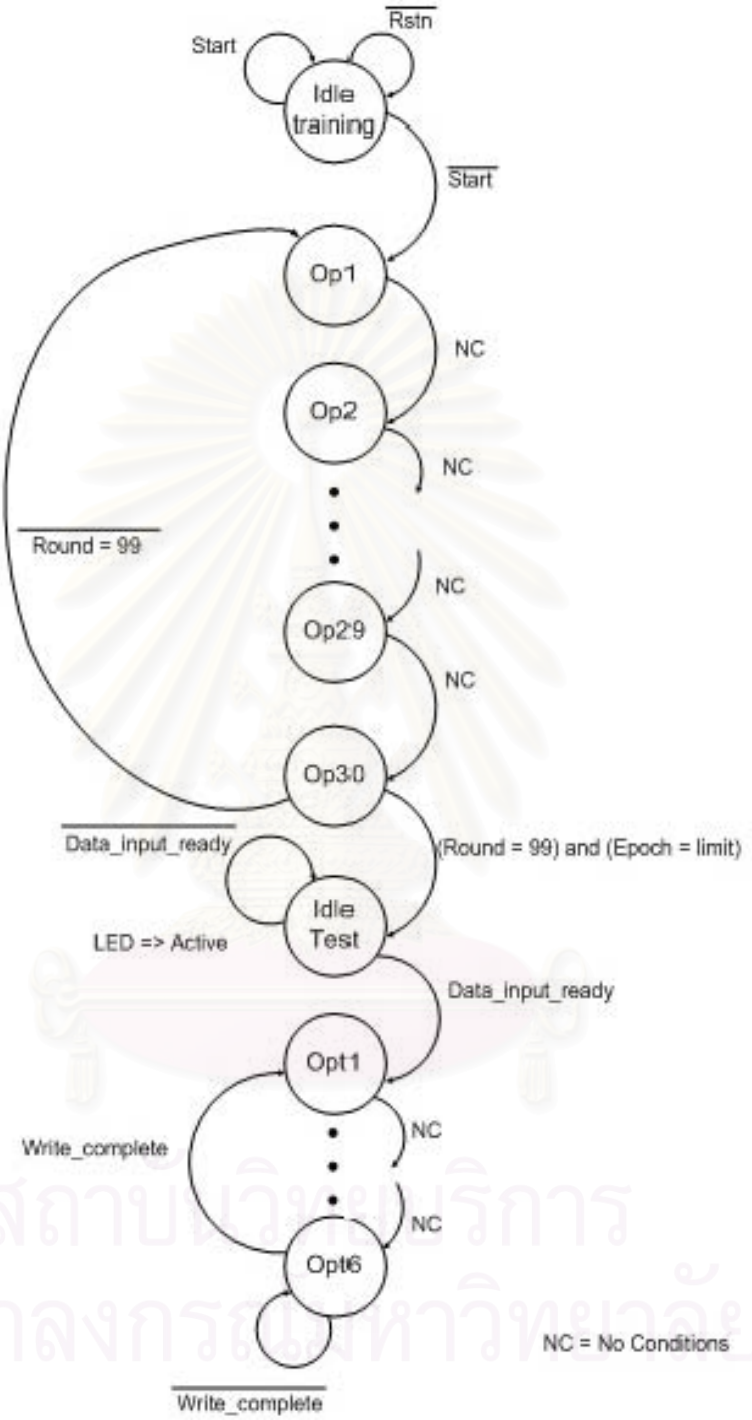
Logic Utilization	Value
Number of Slices	63
Number of Slice Flip Flops	79
Number of 4 input LUTs	92
Minimum period	6.848 ns
Maximum Frequency	146.028 MHz
Maximum combinational path delay	No path found

หมายเหตุ LUT หมายถึง 4 input Look-up table

ขั้นตอนการทำงานของวงจร

สำหรับวงจรควบคุมจะทำงานในลักษณะของ Finite State Machine ดังรูปที่ 3.10

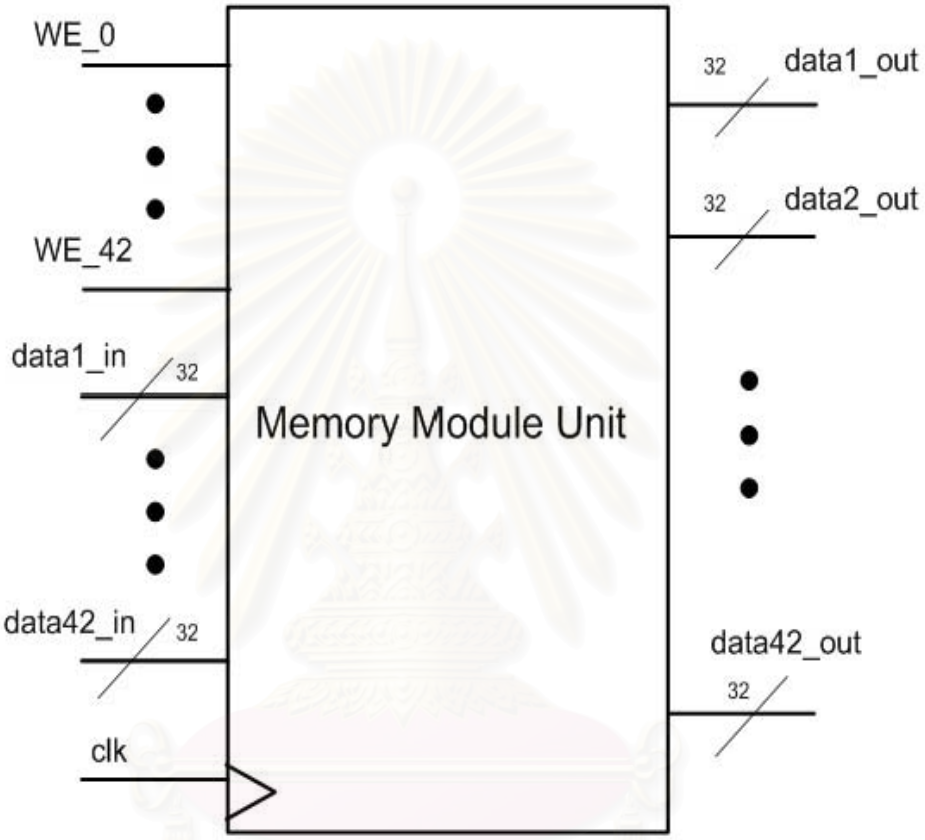
สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 3.10 Finite State Machine Diagram

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

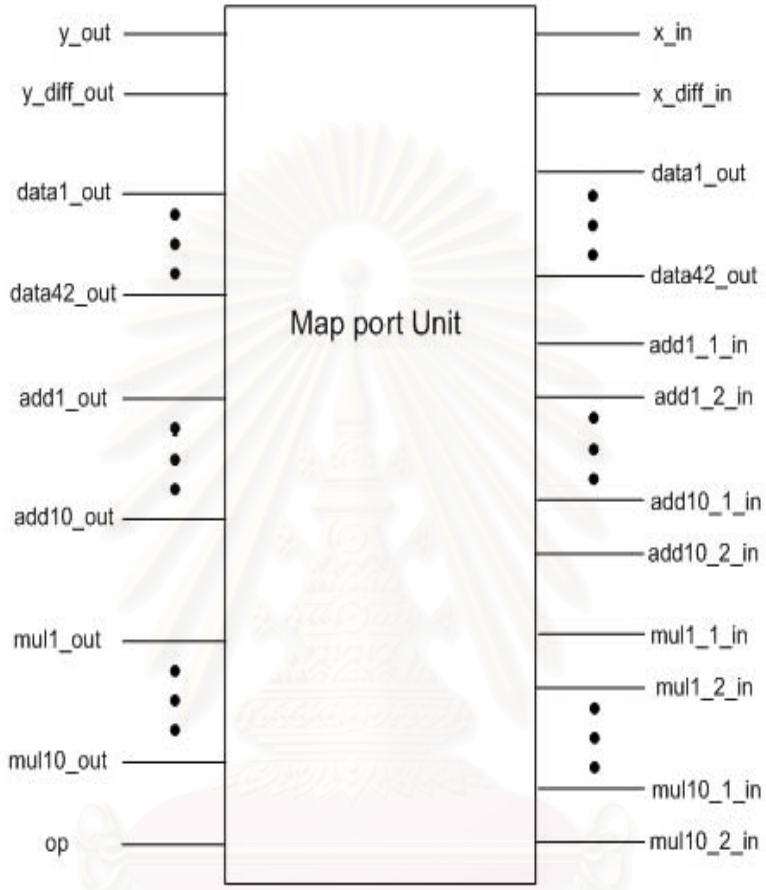
6. วงจรหน่วยความจำ



รูปที่ 3.11 วงจรหน่วยความจำ

วงจรหน่วยความจำประกอบด้วย RAM ย่อยๆจำนวน 43 ตัวเพื่อเก็บเวกเตอร์ของข้อมูลที่ใช้ในการฝึกนิวรอลเนตเวิร์กจำนวน 100 ชุด และใช้ในการเก็บเวกเตอร์ของค่าถ่วงน้ำหนักของวงจรนิวรอลเนตเวิร์กรวมทั้งใช้เก็บค่าตัวแปรต่างๆ ที่จำเป็นต่อการทำงานของนิวรอลเนตเวิร์ก

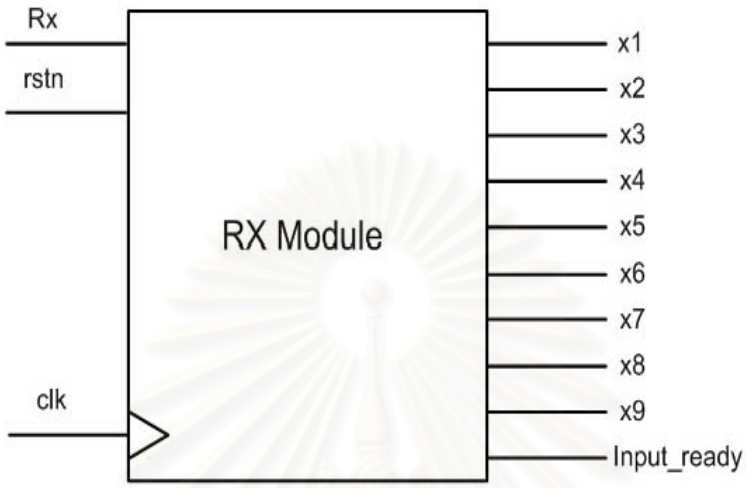
7.วงจรเชื่อมต่อพอร์ต



รูปที่ 3.12 วงจรเชื่อมต่อพอร์ต

วงจรเชื่อมต่อพอร์ตทำหน้าที่เป็น Multiplexer ในการเชื่อมต่อวงจรบวก วงจรคูณ วงจรฟังก์ชันซิกมอยด์ วงจรอนุพันธ์อันดับหนึ่งของฟังก์ชันซิกมอยด์ หน่วยความจำ รีจิสเตอร์ต่างๆ ในการคำนวณให้สามารถเชื่อมต่อกันได้อย่างถูกต้องตามข้อกำหนดของสัญญาณ op ที่ใช้ในการบอกสถานะของการทำงาน

8. วงจรภาครับ



รูปที่ 3.13 วงจรภาครับ

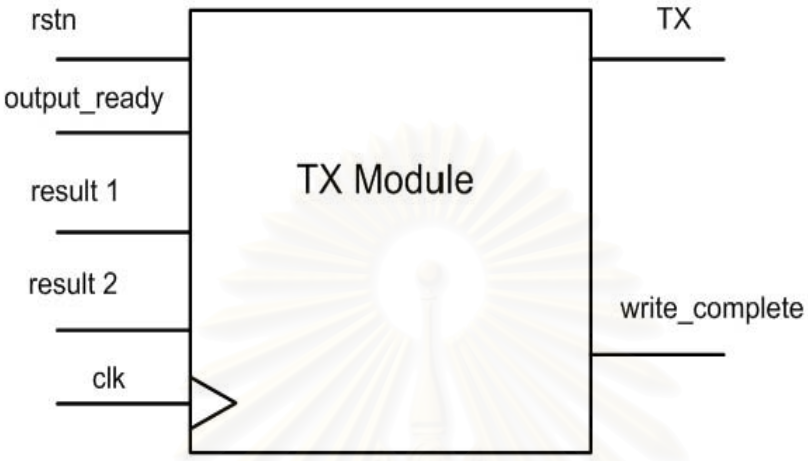
วงจรภาครับทำหน้าที่รับข้อมูลขาเข้าจากเครื่องคอมพิวเตอร์เพื่อประมาณค่าตำแหน่งของสถานีเคลื่อนที่ ภายในวงจรภาครับประกอบด้วยวงจร UART รับข้อมูลแบบอนุกรมผ่านพอร์ต RS 232 ได้ด้วยอัตราเร็ว 9600 bps จากนั้นเมื่อข้อมูลขาเข้าพร้อมจึงส่งสัญญาณ Input_ready เพื่อแจ้งไปยังวงจรควบคุมเพื่อทำงานต่อไป

รายงานการใช้ทรัพยากรของชิพ FPGA

Logic Utilization	Value
Number of Slices	27
Number of Slice Flip Flops	40
Number of 4 input LUTs	53
Minimum period	4.103ns
Maximum Frequency	243.754MHz
Maximum combinational path delay	No path found

หมายเหตุ LUT หมายถึง 4 input Look-up table

9. วงจรภาคส่ง



รูปที่ 3.14วงจรภาคส่ง

วงจรภาคส่งทำหน้าที่ส่งผลลัพธ์การประมาณค่าตำแหน่งสถานีเคลื่อนที่กลับไปแสดงผลยังคอมพิวเตอร์ ภายในวงจรภาคส่งประกอบด้วยวงจร UART รับข้อมูลแบบอนุกรมผ่านพอร์ต RS 232 ได้ด้วยอัตราเร็ว 9600 bps วงจรภาคส่งจะเริ่มส่งข้อมูลเมื่อได้รับสัญญาณ output_ready จากวงจรควบคุมเพื่อแสดงถึงความพร้อมของผลลัพธ์การคำนวณ

รายงานการใช้ทรัพยากรของชิพ FPGA

Logic Utilization	Value
Number of Slices	52
Number of Slice Flip Flops	30
Number of 4 input LUTs	99
Minimum period	4.771ns
Maximum Frequency	209.600MHz
Maximum combinational path delay	No path found

หมายเหตุ LUT หมายถึง 4 input Look-up table

บทที่ 4

การทดสอบและผลการทดสอบอุปกรณ์ประมาณตำแหน่งสถานีเคลื่อนที่

ในบทนี้จะแสดงการทดสอบ ผลการทดสอบและการวิเคราะห์ประสิทธิภาพของอุปกรณ์ประมาณตำแหน่งที่ได้นำเสนอในบทที่ 3 ในการประมาณค่าตำแหน่งของสถานีเคลื่อนที่จะใช้ข้อมูลที่ใช้ฝึกและทดสอบนิวรอลเนตเวิร์กเป็นข้อมูลจริงที่ได้มาจากการเก็บข้อมูลภาคสนามโดยวิธีการ Drive Test ซึ่งจะบันทึกค่าความแรงสัญญาณที่สถานีเคลื่อนที่รับได้จากสถานีฐานสถานีที่ 1 2 และ 3 ตามลำดับ ค่าตำแหน่งจริงของสถานีเคลื่อน และค่าตำแหน่งของสถานีฐานทั้งสามสถานีในขอบเขตที่กำลังพิจารณา สำหรับข้อมูลจริงดังกล่าวคัดเลือกมาทั้งสิ้น 140 ชุดแบ่งใช้สำหรับฝึกนิวรอลเนตเวิร์กจำนวน 100 ชุด สำหรับใช้ทดสอบนิวรอลเนตเวิร์กจำนวน 40 ชุด การฝึกนิวรอลเนตเวิร์กในการทดสอบครั้งนี้วนรอบชุดข้อมูลจำนวน 32,768 รอบ

กำหนดสัญลักษณ์ที่ใช้ในตารางดังนี้

SS1 แทนค่าความแรงของสัญญาณที่สถานีเคลื่อนที่รับได้จากสถานีฐานที่ 1 มีหน่วยเป็นเดซิเบล
SS2 แทนค่าความแรงของสัญญาณที่สถานีเคลื่อนที่รับได้จากสถานีฐานที่ 2 มีหน่วยเป็นเดซิเบล
SS3 แทนค่าความแรงของสัญญาณที่สถานีเคลื่อนที่รับได้จากสถานีฐานที่ 3 มีหน่วยเป็นเดซิเบล
tr_lat แทนค่าตำแหน่งละติจูดจริงของสถานีเคลื่อนที่ มีหน่วยเป็นองศาเหนือ
tr_long แทนค่าตำแหน่งลองจิจูดจริงของสถานีเคลื่อนที่ มีหน่วยเป็นองศาตะวันออก
m_lat แทนค่าตำแหน่งละติจูดที่ประมาณได้ของสถานีเคลื่อนที่ มีหน่วยเป็นองศาเหนือ
m_long แทนค่าตำแหน่งลองจิจูดที่ประมาณได้ของสถานีเคลื่อนที่ มีหน่วยเป็นองศาตะวันออก
error แทนความผิดพลาดในการประมาณตำแหน่งของสถานีเคลื่อนที่ มีหน่วยเป็นเมตร

แนวทางการทดสอบประสิทธิภาพของอุปกรณ์ประมาณตำแหน่งของสถานีเคลื่อนที่

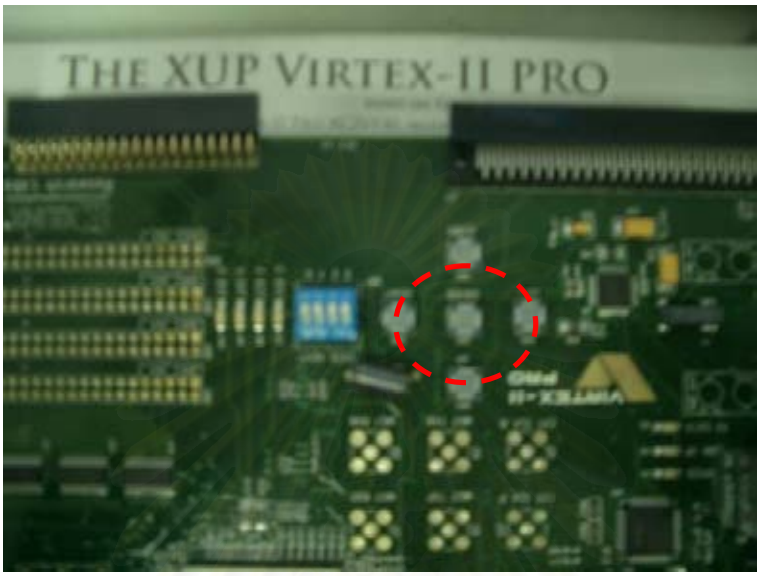
1. ติดตั้งอุปกรณ์ทดสอบ ประกอบด้วย เครื่องคอมพิวเตอร์ ที่ติดตั้งโปรแกรมสำหรับส่งข้อมูลความแรงสัญญาณเพื่อประมาณค่าตำแหน่งและสำหรับรับผลการแสดงตำแหน่งไปแสดงบนจอภาพ

บอร์ดทดลอง XUP Virtex-2 Pro ที่ทำการโหลดวงจรประมาณค่าตำแหน่งของสถานีเคลื่อนที่ไว้แล้ว ทั้งสองส่วนสื่อสารกันด้วยพอร์ตอนุกรม RS 232 แสดงดังรูปที่ 4.1

รูปที่ 4.1 ชุดการทดสอบประสิทธิภาพของเครื่องประมาณค่าตำแหน่งของสถานีเคลื่อนที่

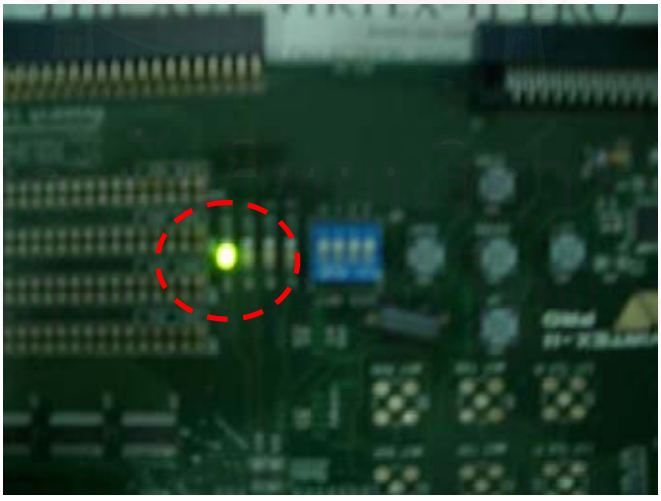
สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

2. การทดสอบเริ่มจากการฝึกนิวรอลเนตเวิร์กด้วยข้อมูลจำนวน 100 ชุดโดยกด switch เริ่มต้นการทำงาน ดังรูปที่ 4.2



รูปที่ 4.2 การฝึกนิวรอลเนตเวิร์กโดยกดปุ่มเริ่มต้นการทำงาน

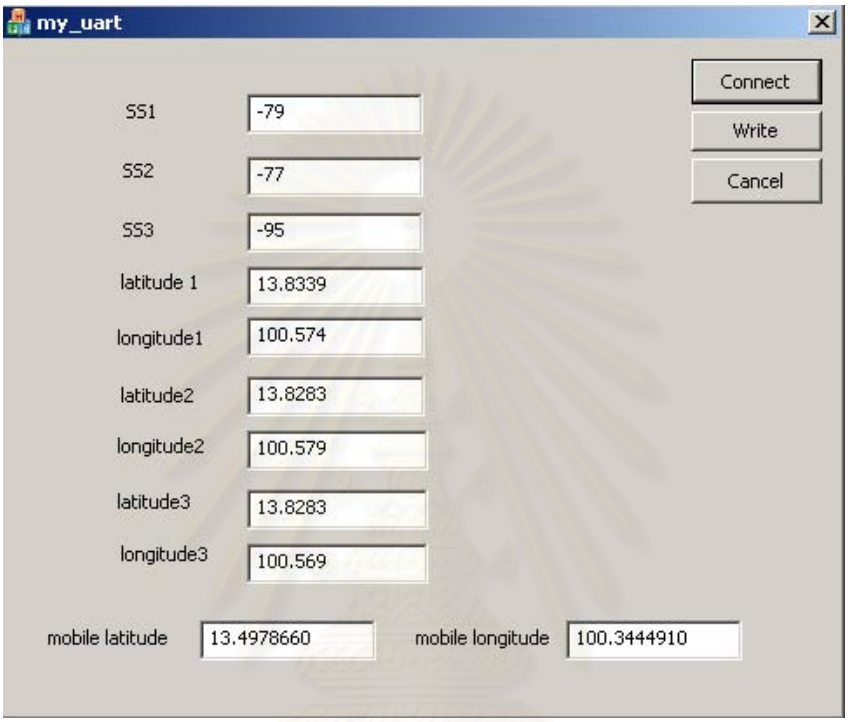
3. รอจนกระทั่งกระบวนการฝึกนิวรอลเนตเวิร์กเสร็จสิ้นแสดงสถานะดังกล่าวด้วย LED ดังรูปที่ 4.3



รูปที่ 4.3 การฝึกนิวรอลเนตเวิร์กเสร็จสิ้นแสดงโดย LED

4. ป้อนข้อมูลความแรงสัญญาณลงในโปรแกรมและส่งข้อมูลดังกล่าวไปยังอุปกรณ์ประมาณค่าตำแหน่งของสถานีเคลื่อนที่

5. รอรับผลการประมาณค่าตำแหน่งของสถานีเคลื่อนที่ซึ่งจะแสดงบนจอภาพ ดังรูปที่ 4.4



รูปที่ 4.4 การป้อนข้อมูลขาเข้าและแสดงผลลัพธ์การประมาณค่าตำแหน่งของสถานีเคลื่อนที่

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย

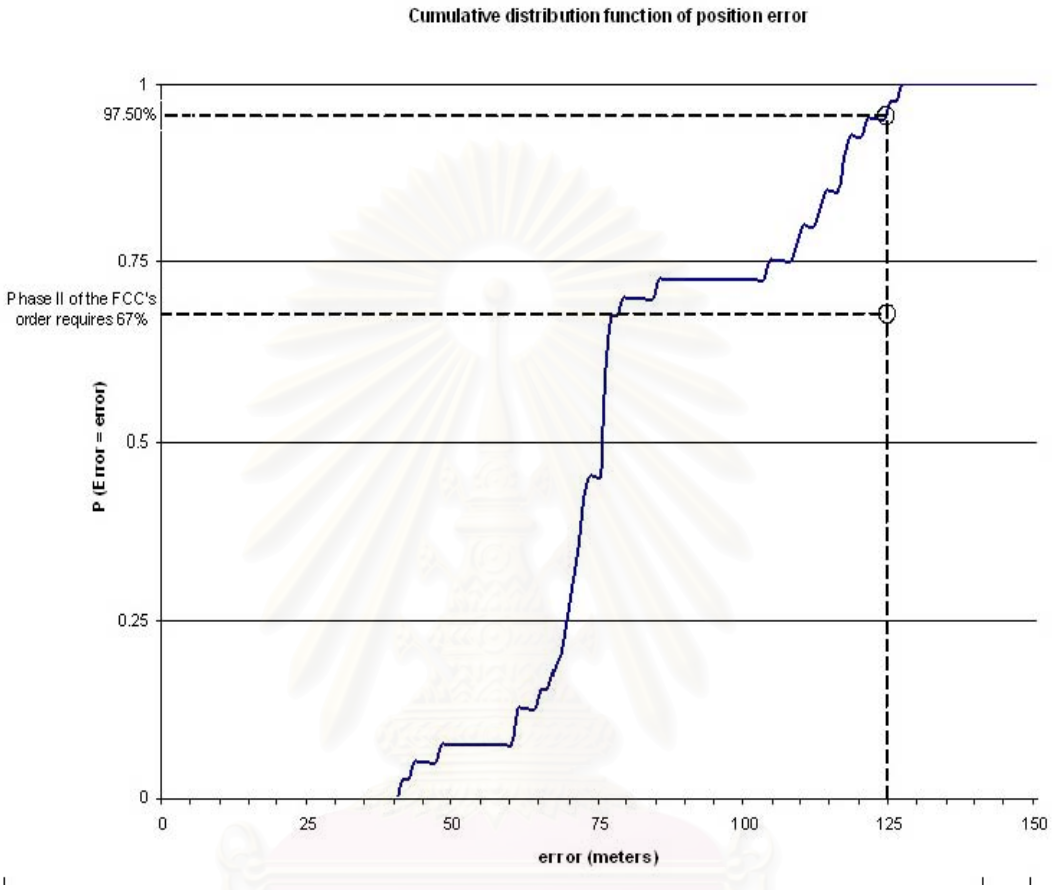
ผลการทดสอบสรุปได้ดังตารางที่ 4.1

ตารางที่ 4.1 ผลการทดสอบการทำงานของอุปกรณ์ประมาณค่าตำแหน่งโดยใช้นิวรอลเนตเวิร์ก

SS1(dB)	SS2(dB)	SS3(dB)	tr_lat	m_lat	tr_long	m_long	error (meters)
-79	-77	-95	13.4968880	13.4978660	100.3438950	100.3444910	126.40
-78	-77	-90	13.4968980	13.4975980	100.3439010	100.3446980	116.10
-78	-77	-91	13.4969090	13.4976920	100.3439070	100.3446260	116.70
-72	-77	-88	13.4969130	13.4971710	100.3439090	100.3450250	124.00
-73	-77	-92	13.4969210	13.4974990	100.3439140	100.3447740	113.00
-79	-79	-92	13.4969300	13.4977810	100.3439190	100.3445570	117.10
-83	-81	-91	13.4969340	13.4978660	100.3439220	100.3444910	120.50
-79	-78	-90	13.4969450	13.4976920	100.3439280	100.3446260	112.20
-77	-87	-91	13.4969540	13.4975980	100.3439340	100.3446980	109.30
-77	-87	-91	13.4969640	13.4975980	100.3439400	100.3446980	108.10
-78	-90	-92	13.4972780	13.4976920	100.3441210	100.3446260	71.42
-78	-90	-92	13.4972910	13.4976920	100.3441280	100.3446260	69.91
-88	-91	-89	13.4973230	13.4979480	100.3441460	100.3444290	75.93
-88	-91	-89	13.4973540	13.4979480	100.3441640	100.3444290	72.00
-88	-91	-89	13.4973680	13.4979480	100.3441720	100.3444290	70.22
-90	-91	-89	13.4974080	13.4980250	100.3441950	100.3443700	71.17
-87	-92	-89	13.4974470	13.4979480	100.3442180	100.3444290	60.20
-80	-89	-85	13.4974520	13.4973950	100.3442210	100.3448540	68.74
-80	-89	-85	13.4974890	13.4973950	100.3442430	100.3448540	66.89
-83	-91	-85	13.4975260	13.4975980	100.3442650	100.3446980	47.50
-85	-96	-95	13.4982280	13.4980980	100.3446620	100.3443130	40.41
-85	-96	-95	13.4982560	13.4980980	100.3446790	100.3443130	43.30
-109	-84	-94	13.4982830	13.4987050	100.3446950	100.3438470	103.00
-78	-97	-94	13.4983080	13.4977810	100.3447100	100.3445570	60.89
-74	-103	-97	13.4983870	13.4977810	100.3447350	100.3445570	70.08
-76	-103	-97	13.4983870	13.4978660	100.3447500	100.3444910	64.35
-76	-103	-97	13.4984170	13.4978660	100.3447640	100.3444910	68.01
-78	-99	-97	13.4984510	13.4979480	100.3447800	100.3444290	67.59
-78	-100	-97	13.4984650	13.4979480	100.3447880	100.3444290	69.37
-78	-100	-97	13.4984780	13.4979480	100.3447960	100.3444290	71.05
-85	-100	-96	13.4985420	13.4981680	100.3448390	100.3442600	75.16
-84	-100	-94	13.4985430	13.4980250	100.3448390	100.3443700	76.74
-87	-98	-95	13.4985440	13.4981680	100.3448380	100.3442600	75.19
-95	-100	-96	13.4985450	13.4984150	100.3448380	100.3440700	84.29
-86	-100	-96	13.4985460	13.4981680	100.3448380	100.3442600	75.31
-87	-88	-96	13.4985470	13.4982340	100.3448310	100.3442090	75.72
-91	-100	-94	13.4985480	13.4982340	100.3448380	100.3442090	76.45
-92	-98	-95	13.4985490	13.4982980	100.3448370	100.3441600	78.34
-89	-98	-95	13.4985500	13.4982340	100.3448370	100.3442090	76.45
-86	-102	-93	13.4985510	13.4980980	100.3448370	100.3443130	75.81

จุฬาลงกรณ์มหาวิทยาลัย

Cumulative Distribution Function (CDF) of position error



รูปที่ 4.5 CDF ของค่าผิดพลาดของการประมาณค่าตำแหน่งของอุปกรณ์ประมาณค่าตำแหน่งสถานีเคลื่อนที่

วิเคราะห์และสรุปผลการทดสอบ

จาก CDF ของค่าผิดพลาดของการประมาณค่าตำแหน่งของอุปกรณ์ประมาณค่าตำแหน่งสถานีเคลื่อนที่ในรูปที่ 4.5 แสดงให้เห็นว่าอุปกรณ์ประมาณค่าตำแหน่งที่ได้ออกแบบนี้มีประสิทธิภาพสามารถประมาณค่าตำแหน่งของสถานีเคลื่อนที่ได้ถูกต้องตามข้อกำหนดของ FCC ที่กำหนดไว้ว่า 67% ของจำนวนครั้งของการประมาณค่าตำแหน่งของสถานีเคลื่อนที่ต้องมีค่าความผิดพลาดน้อยกว่า 125 เมตรโดยผลการทดสอบพบว่า 97.50% ของการประมาณค่าตำแหน่งของสถานีเคลื่อนที่มีค่าความผิดพลาดในการประมาณตำแหน่งน้อยกว่า 125 เมตร

ปัญหา ข้อเสนอแนะและแนวทางการพัฒนาในอนาคต

1. ถึงแม้ว่าอุปกรณ์ประมาณค่าตำแหน่งที่ได้นำเสนอจะสามารถประมาณค่าตำแหน่งของสถานีเคลื่อนที่ได้ถูกต้องตรงตามข้อกำหนดของ FCC อย่างไรก็ตามเพื่อให้นิวรอลเนตเวิร์กมีประสิทธิภาพมากขึ้นกว่านี้จำเป็นต้องมีชุดข้อมูลสำหรับฝึกนิวรอลเนตเวิร์กที่มีจำนวนมากกว่าที่มีอยู่

2. ในการออกแบบอุปกรณ์ประมาณค่าตำแหน่งที่ได้นำเสนอนี้เพียงพอเพื่อแสดงประสิทธิภาพว่าอุปกรณ์ประมาณค่าตำแหน่งนี้สามารถทำงานได้ถูกต้องตามข้อกำหนดของ FCC จริงเท่านั้น หากต้องการนำไปใช้งานจริงในเชิงพาณิชย์จำเป็นต้องนำวงจรที่ออกแบบนี้ไปปรับปรุงให้ทำงานร่วมกับระบบจริงระบบต่างๆ ในส่วนต่างๆ เช่น ในส่วนของการติดต่อกับผู้ใช้งาน แนวทางในการฝึกนิวรอลเนตเวิร์ก เป็นต้น

3. วงจรที่ออกแบบนี้เขียนขึ้นโดยมีวงจรบางวงจรใช้โครงสร้างพิเศษที่มีอยู่เฉพาะใน FPGA ของบริษัท Xilinx เท่านั้นดังนั้นหากจะนำไปใช้กับ FPGA ของบริษัทอื่นจำเป็นต้องแก้ไขโครงสร้างให้สามารถใช้ได้กับ FPGA ของบริษัทผู้ผลิตนั้นๆ โดยเฉพาะ

4. ในอนาคตเมื่อมีข้อมูลภาคสนามเพียงพอ อาจทดสอบเพื่อหาจำนวนโนดของนิวรอลเนตเวิร์กที่เหมาะสมเพื่อให้การประมาณค่าตำแหน่งมีความถูกต้องยิ่งขึ้นกว่าปัจจุบัน

สถาบันวิทยบริการ
จุฬาลงกรณ์มหาวิทยาลัย