บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

แม้ว่าเทคโนโลยีปัจจุบันจะสามารถผลิตอุปกรณ์ความเร็วสูงเกิดขึ้นได้มากมายก็ตาม แต่โดยทางทฤษฎีแล้วไม่มีสัญญาณใดสามารถเคลื่อนที่ไปได้ไกลกว่า 0.3 มิลลิเมตร ภายในเวลา 1 พิโควินาที [11] ดังนั้นไม่ว่าจะใช้อุปกรณ์ความเร็วสูงเพียงใดก็ยังคงต้องเกิดความหน่วง (Delay) ขึ้นในเกต (Gate) และสายสัญญาณ (Wire) จากจุดนี้เองทำให้วงจรสมวาร (Synchronous Circuit) ยังมีข้อจำกัดอยู่ สามารถแบ่งปัญหาที่เกิดขึ้นกับวงจรสมวารได้ดังนี้

1. ปัญหา Clock Skew หมายถึง การที่มีความแตกต่างในการมาถึงของสัญญาณนาฬิกาในแต่ละส่วนของระบบ เนื่องจากมีความหน่วงเกิดขึ้นในเกตและสายสัญญาณ จึงส่งผลทำให้การมาถึงของสัญญาณนาฬิกาในแต่ละจุดของระบบไม่เท่ากัน วงจรขับสัญญาณนาฬิกานั้นส่วนใหญ่เป็นวงจรที่ต้องใช้พื้นที่มาก บางครั้งใช้พื้นที่ถึง 1 ใน 3 ของวงจรทั้งหมด วงจรขับสัญญาณนาฬิกาจำเป็นต้องมีการกำหนดความหน่วงที่เหมาะสม เพื่อที่ว่าจะสามารถทำงานที่สัญญาณนาฬิกาที่มีความเร็วสูงได้อย่างมีถูกต้องและมีเสถียรภาพ [11]

2. ปัญหา System-Level Latency หรือ Worst-Case Delay Operation เนื่องจากปัญหา Clock Skew ข้างต้นนี้เองทำให้วงจรต้องหน่วงรอให้สัญญาณนาฬิกาที่มาถึงช้าที่สุดให้มาถึงก่อน วงจรทั้งระบบจึงจะสามารถทำงานต่อไปได้ [11]

3. ปัญหาข้อจำกัดของ Modular Design การออกแบบวงจรสมวารนั้นสัมพันธ์กับความถี่ของสัญญาณนาฬิกาที่ใช้ ดังนั้นเมื่อต้องการเปลี่ยนไปใช้ความถี่ของสัญญาณนาฬิกาที่สูงขึ้นก็จำเป็นต้องออกแบบในแต่ละส่วนที่สัมพันธ์กันนั้นใหม่ เพื่อให้วงจรสามารถทำงานได้อย่างถูกต้องที่สัญญาณนาฬิกาความถี่ใหม่ [11]

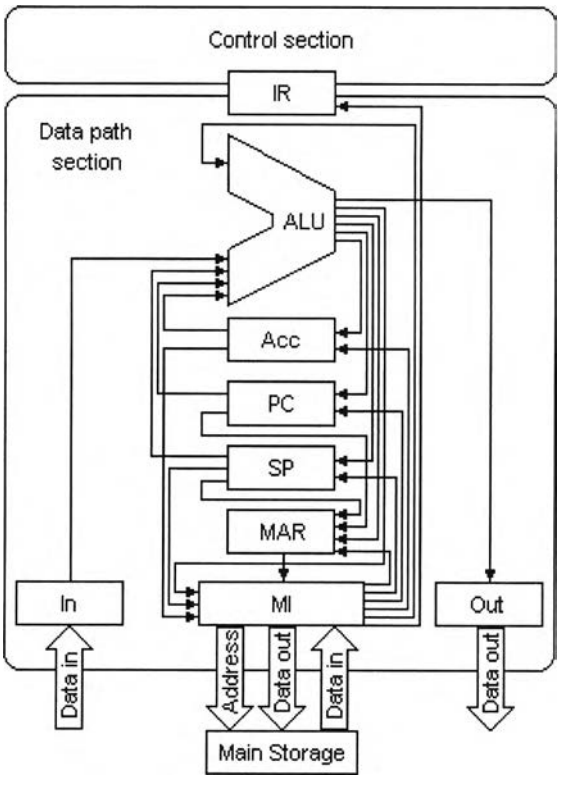
4. ปัญหาการสิ้นเปลืองพลังงาน (Power Dissipation) การใช้พลังงานของวงจรสมวารจะเป็นสัดส่วนโดยตรงกับความถี่สัญญาณนาฬิกาที่ใช้ วงจรขับสัญญาณนาฬิกาถือว่าเป็นส่วนที่กินพลังงานมากที่สุดส่วนหนึ่งของวงจรทั้งหมด และถ้ายิ่งออกแบบวงจรเป็นไปป์ไลน์ (Pipeline) ก็จะยิ่งสิ้นเปลืองพลังงานมากขึ้นไปอีก [11]

จากปัญหาที่กล่าวมาทำให้เกิดแนวคิดที่จะออกแบบวงจรอสมวาร (Asynchronous Circuit) ขึ้น เนื่องจากวงจรอสมวารไม่ใช้สัญญาณนาฬิกาในการควบคุมการทำงาน ดังนั้นปัญหาต่างๆ ที่เกิดขึ้นกับวงจรสมวารจะไม่เกิดขึ้นกับวงจรอสมวาร เพราะปัญหาเหล่านั้นเกิดขึ้นเนื่องมาจากสัญญาณนาฬิกา วงจรอสมวารจะไม่มีปัญหา Clock Skew และทำงานที่ Average-Case Delay ไม่ใช่ที่ Worst-Case Delay อีกทั้งยังมีความยืดหยุ่นในการออกแบบมากกว่าอีกด้วยเพราะว่าไม่ต้องมีวงจรขับสัญญาณนาฬิกามาเกี่ยวข้อง เมื่อต้องการปรับเปลี่ยนวงจรก็ทำได้โดยไม่ต้องไปกังวลกับสัญญาณนาฬิกา มีความทนทานต่อสภาพแวดล้อมการทำงานมากกว่า และประหยัดพลังงานด้วย [11]

แต่อย่างไรก็ตามข้อเสียประการหนึ่งของวงจรอสมวารก็คือออกแบบได้ยากและมีความซับซ้อนสูง เนื่องจากไม่ใช้สัญญาณนาฬิกาในการทำงาน ทำให้จำเป็นต้องมีวงจรเพิ่มเติมเพื่อตรวจสอบความถูกต้องของสัญญาณในทุกขณะการทำงาน โดยจะต้องใช้โมเดลสิ่งแวดล้อม (Environment Operation Model) และโมเดลความหน่วงวงจร (Circuit Delay Model) ที่เหมาะสม [15]

โมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือน (Quasi-Delay-Insensitive Model – QDI Model) [11] และโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ (Scalable-Delay-Insensitive Model – SDI Model) [11] ที่ใช้ในการออกแบบวงจรอสมวารต่างก็มีพื้นฐานมาจากโมเดลที่ไม่ไวต่อความหน่วง (Delay-Insensitive Model – DI Model) [11] เหมือนกัน โมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือนใช้ในการออกแบบไมโครโพรเซสเซอร์ไทแทก [11] ของ Tokyo Institute of Technology ซึ่งผลปรากฏว่าไมโครโพรเซสเซอร์ไทแทกมีสมรรถนะต่ำกว่าที่ควรจะเป็น เนื่องจากการใช้โมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือนทำให้มีวงจรตอบรับ (Acknowledgement Circuit) ในวงจรมาก เป็นในลักษณะที่ประเมินความหน่วงแบบระมัดระวังมากเกินไป [1]

วิทยานิพนธ์นี้จึงได้มุ่งประเด็นไปที่การออกแบบไมโครโพรเซสเซอร์โดยอ้างอิงจากไมโครโพรเซสเซอร์ไทแทกเป็นพื้นฐาน แล้วออกแบบโดยใช้โมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ ซึ่งคาดว่าน่าจะให้ผลที่ดีกว่าเพราะการออกแบบนั้นจะมีการกำหนดค่าความแปรปรวนความหน่วงสูงสุดหรือค่า K ในการออกแบบส่วนวงจรตอบรับ ซึ่งจะสามารถลดขนาดและความซับซ้อนของวงจรได้บางส่วนและจะช่วยทำให้สมรรถนะการทำงานดีขึ้น โครงสร้างของไทแทกเป็นดังรูปที่ 1.1 [11]



TITAC organization

รูปที่ 1.1 โครงสร้างของไมโครโพรเซสเซอร์ไทแทก

1.2 วัตถุประสงค์

เพื่อสร้างต้นแบบของการออกแบบไมโครโพรเซสเซอร์ 8 บิตแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ และเปรียบเทียบสมรรถนะของการออกแบบด้วยโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้กับโมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือน

1.3 ขอบเขตการวิจัย

1. ออกแบบวงจรอสมวารโดยใช้โมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ ให้สามารถทำงานตามชุดคำสั่งที่มีในไมโครโพรเซสเซอร์ไทแทกได้
2. ใช้ภาษา Verilog ในการจำลองแบบการทำงานของวงจรที่ออกแบบ
3. วิเคราะห์ผลที่ได้จากการออกแบบโดยใช้โมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือนกับโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้
4. ใช้เครื่องคอมพิวเตอร์ CPU ตั้งแต่ Pentium MMX 166 MHz ขึ้นไป
5. ใช้ระบบปฏิบัติการ Windows 95/98

6. ใช้โปรแกรม ModelSim เวอร์ชัน 5 ขึ้นไป (ใช้งานในส่วน Verilog Simulation)

1.4 ขั้นตอนการดำเนินงานวิจัย

1. ศึกษาโครงสร้างของไทแทก
2. ศึกษาการออกแบบวงจรอสมวารโดยใช้โมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้
3. ออกแบบโครงสร้างของไทแทกโดยใช้โมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้
4. ศึกษาภาษา Verilog
5. เขียนโปรแกรมภาษา Verilog เพื่อจำลองแบบการทำงานของไมโครโพรเซสเซอร์ที่ออกแบบได้
6. จำลองแบบและทดสอบการทำงานของไมโครโพรเซสเซอร์ที่ออกแบบได้
7. วิเคราะห์ข้อแตกต่างของโมเดลที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้และโมเดลที่ไม่ไวต่อความหน่วงชนิดเสมือน
8. สรุปผลการวิจัยและจัดทำวิทยานิพนธ์

1.5 ประโยชน์ที่คาดว่าจะได้รับ

1. แสดงให้เห็นถึงสมรรถนะในการออกแบบวงจรอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้อย่างชัดเจน
2. วิเคราะห์ข้อแตกต่างในการออกแบบไมโครโพรเซสเซอร์แบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้กับที่ไม่ไวต่อความหน่วงชนิดเสมือน
3. สร้างต้นแบบของการออกแบบไมโครโพรเซสเซอร์ 8 บิตแบบอสมวารที่ไม่ไวต่อความหน่วงชนิดปรับมาตราส่วนได้ให้ผู้อื่นนำไปใช้ในการวิจัยหรือพัฒนาต่อไปได้