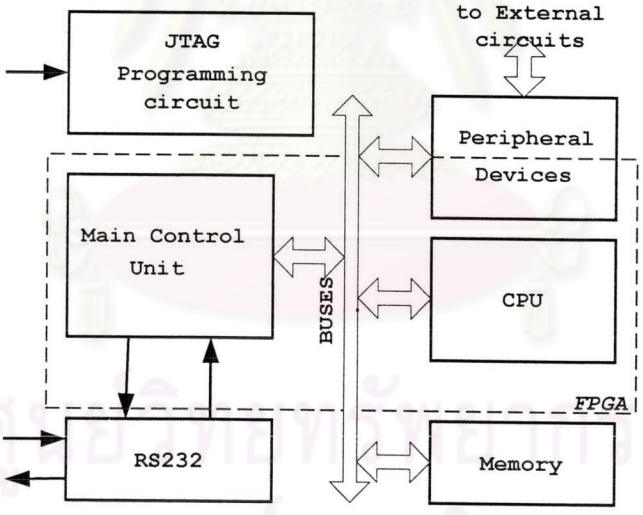
บทที่ 6
การออกแบบวงจรรวม และผลการทดสอบ

การดำเนินงานวิจัยแบ่งเป็นสองส่วนคือ การสร้างตัวต้นแบบ และการออกแบบลายวงจรรวม ตัวต้นแบบที่สร้างขึ้นเพื่อทดสอบฟังก์ชันการทำงานของสถาปัตยกรรมของ Q-Chip รวมทั้งใช้พัฒนาโปรแกรมเพื่อควบคุมเครื่องรับโทรทัศน์ ส่วนการออกแบบลายวงจรรวมเป็นการนำวงจรตัวต้นแบบไปวางเป็นลายวงจรรวม ที่พร้อมจะนำไปทำการเจือสารเป็นชิปเดี่ยวต่อไปได้

6.1 การออกแบบตัวต้นแบบไมโครคอนโทรลเลอร์ด้วย FPGA

ตัวต้นแบบประด้วยวงจรซึ่งสังเคราะห์ลงบน FPGA [12] และวงจรที่ต้องต่ออุปกรณ์เพิ่มเติมเข้าไปเช่น ไอซีเบอร์ ADC0808 เป็นวงจรแปลงสัญญาณแอนาลอกเป็นดิจิตัล ไอซีเบอร์ LM319 เป็นวงจรเปรียบเทียบแรงดัน ไอซีหน่วยความจำ และไอซีตระกูล TTL เพื่อใช้ในการปรับลักษณะสัญญาณที่ใช้งานเพื่อติดต่อกับวงจรเครื่องรับโทรทัศน์



รูปที่ 6.1 โครงสร้างตัวต้นแบบ

6.1.1 โครงสร้างของตัวต้นแบบ

ตัวต้นแบบที่สร้างขึ้นสามารถเลียนแบบการทำงานของ Q-Chip และหยุดการทำงานเพื่อเรียกดูค่าในหน่วยความจำและค่าในรีจิสเตอร์ในอุปกรณ์บริวารได้ เพื่อช่วยให้การพัฒนาโปรแกรมมีความสะดวกมากขึ้น ตัวต้นแบบมีองค์ประกอบที่สำคัญอยู่ 3 ส่วนคือ

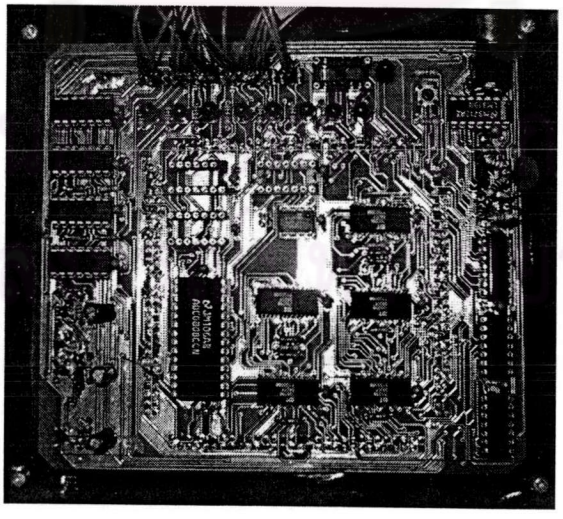
- วงจรที่ใช้ในการโปรแกรม FPGA
- วงจรควบคุมหลัก
- วงจรไมโครคอนโทรลเลอร์ Q-Chip

ในรูปที่ 6.1 แสดงให้เห็นโครงสร้างตัวต้นแบบ วงจรที่ใช้ในการโปรแกรม FPGA คือ JTAG Programming Circuit วงจรควบคุมหลัก คือ Main Control Unit และ RS232 และในส่วนของ Q-Chip ประกอบไปด้วย CPU Memory และ Peripheral devices

6.1.2 การทำงานของตัวต้นแบบ

ขั้นตอนแรกการใช้งานตัวต้นแบบต้องทำการโปรแกรม FPGA โดยใช้ PC ส่งข้อมูล (ไฟล์ *.bit ที่ใช้สำหรับ FPGA ของบริษัท Xilinx) ออกทางพอร์ตขนานให้กับ JTAG Programming Circuit หลังจากที่โปรแกรมเสร็จแล้ว Main Control Unit จึงเริ่มทำงาน

Main Control Unit จะส่งสัญญาณรีเซตและสัญญาณรอคอยให้กับ Q-Chip เพื่อควบคุมให้ Q-Chip เริ่มทำงานหรือหยุดทำงานได้ ในขณะที่ Q-Chip หยุดงาน Main Control Unit สามารถเข้าควบคุมบัสข้อมูลของ Q-Chip เพื่ออ่านหรือเขียนข้อมูลของใน หน่วยความจำและอุปกรณ์บริวารของ Q-Chip นอกจากนี้ Main Control Unit สามารถเข้าถึงหน่วยความจำสำหรับโปรแกรมของ Q-Chip เพื่ออ่านหรือเปลี่ยนแปลงโปรกรมของ Q-Chip ได้ การทำงานของ Main Control Unit จะถูกควบคุมด้วยซอฟท์แวร์บน PC ซึ่งสั่งงานและรับส่งข้อมูลกับ Main Control Unit ผ่านพอร์ตอนุกรมตามมาตรฐาน RS232



รูปที่ 6.2 วงจรของตัวต้นแบบ

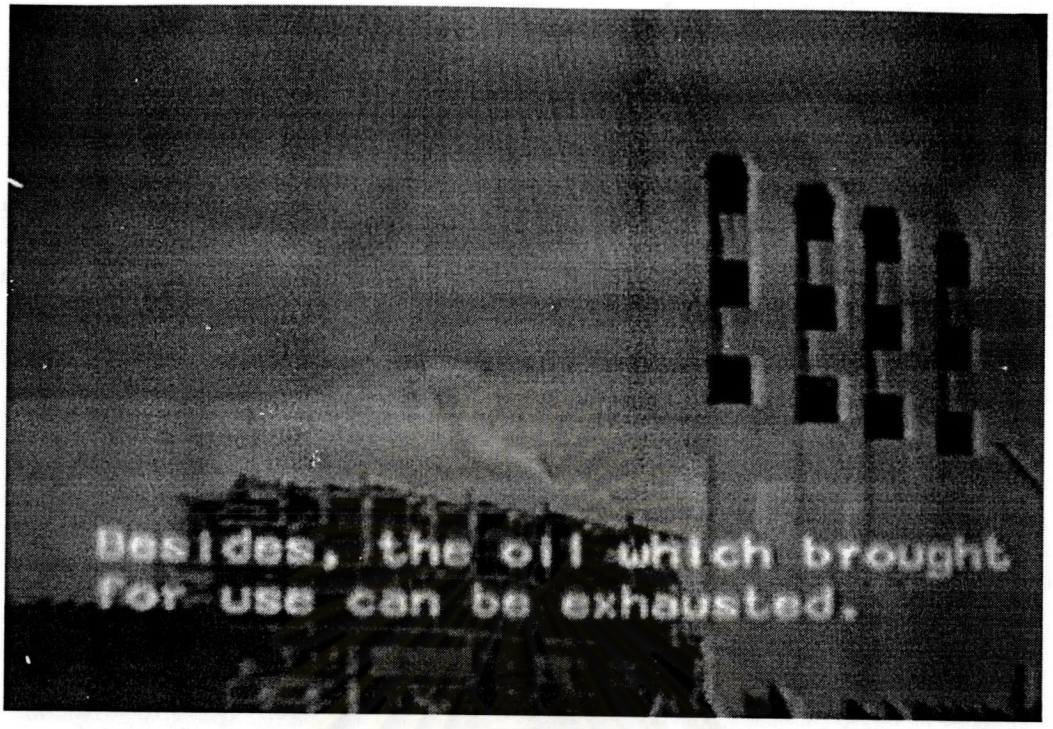
6.1.3 <u>การทดสอบการทำงานของตัวต้นแบบ</u>

นำตัวต้นแบบ Q-Chip เข้าเครื่องรับโทรทัศน์ แล้วทดสอบการใช้งานฟังก์ชันต่าง ๆ ของเครื่องรับโทรทัศน์รวมถึงการถอดคำบรรยายภาพภาษาไทย-อังกฤษแบบซ่อนได้ โดยการนำสัญญาณภาพที่แทรกคำบรรยายภาพไว้แล้วป้อนเข้าสู่เครื่องรับโทรทัศน์ทางช่อง AV ซึ่งได้ผลตามรูปที่ 6.3 ถึง รูปที่ 6.5

รูปที่ 6.3 ผลการทดสอบ Q-Chip ในการควบคุมเครื่องรับโทรทัศน์

ในรูปที่ 6.3 แสดงการปรับช่องสถานีโทรทัศน์ ในรูปเป็นการปรับหาช่องสถานี ITV ซึ่งอยู่ย่านความถี่ UHF

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 6.4 ผลการทดสอบ Q-Chip ในการแสดงคำบรรยายภาพภาษาอังกฤษ

รูปที่ 6.5 ผลการทดสอบ Q-Chip ในการแสดงคำบรรยายภาพภาษาไทย

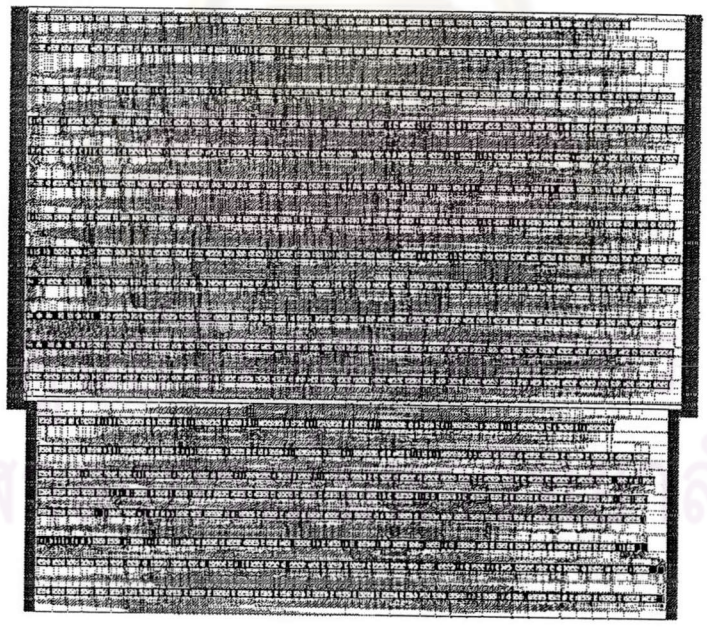
6.2 การออกแบบลายวงจรรวม

ส่วนประกอบของ Q-Chip ทั้งหมดจะถูกนำมาออกแบบลายวงจรรวม โดยแบ่งออกเป็น 3 ส่วนคือ วงจรดิจิตัล หน่วยความจำ และวงจรแอนาลอก

6.2.1 การวางลายวงจรส่วนวงจรดิจิตัล

หน่วยประมวลผลกลาง และ อุปกรณ์บริวารส่วนใหญ่ เป็นวงจรดิจิตัล ซึ่งจะนำวงจรจากตัวต้นแบบมาสังเคราะห์โดยใช้ Library MTC25000 [13] (สำหรับลายวงจรของบริษัท Alcatel ซึ่งเป็นเทคโนโลยีวงจรรวม 0.7 ไมครอน) เมื่อได้ Netlist ของวงจรจึงนำไปวางในรูปแบบของลายวงจร โดยใช้โปรแกรม L-Edit ซึ่งมีฟังก์ชัน SPR (Standard cell Place and Route) ทำหน้าที่นำเซลล์มาตรฐานมาวางและต่อเชื่อมให้สอดคล้องกับ Netlist ของวงจร

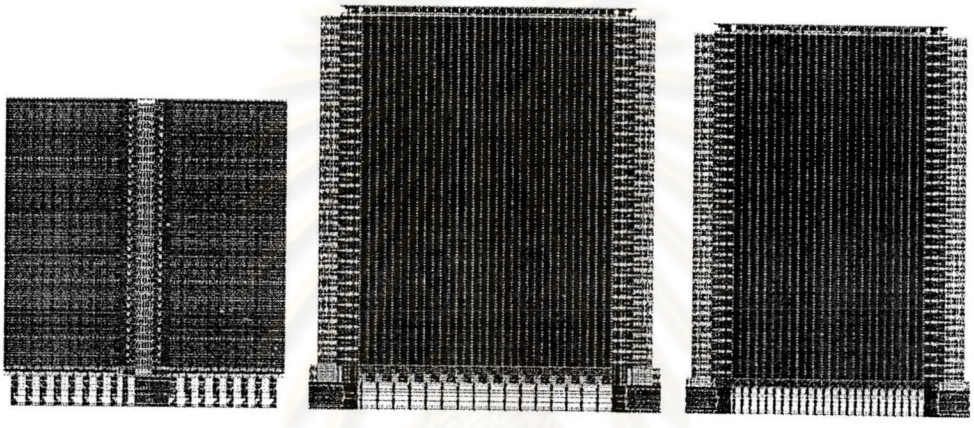
เนื่องจากหน่วยประมวลกลางมีส่วนประกอบมาก จึงแบ่ง Netlist ออกเป็น 2 ส่วนเพื่อวางลายจรให้ใช้พื้นที่น้อย ส่วนที่ 1 ประกอบด้วย แฟ้มรีจิสเตอร์ และ หน่วยคำนวณและตรรกะ ส่วนที่ 2 ประกอบด้วยหน่วยควบคุม วงจรเฟชท์และถอดรหัสคำสั่ง และส่วนที่เหลือทั้งหมด ดังนั้นการวางลายวงจรดิจิตัลจึงมีทั้งหมด 3 ส่วนคือ หน่วยประมวลกลาง 2 ส่วน และ อุปกรณ์บริวาร 1 ส่วน ได้ผลตามรูปที่ 6.6



รูปที่ 6.6 ลายวงจรรวมของวงจรหน่วยประมวลผลกลาง

6.2.2 การวางลายวงจรหน่วยความจำ

ในโครงสร้างของ Q-Chip ประกอบด้วยหน่วยความจำสำหรับโปรแกรมซึ่งมีโครงสร้างเป็นแบบรอมขนาด 2048x24 บิต และหน่วยความจำสำหรับข้อมูล ซึ่งแบ่งออกเป็น 2 ส่วน ส่วนที่ 1 มีโครงสร้างเป็นแบบแรมขนาด 256x16 บิต และส่วนที่ 2 ซึ่งใช้เก็บรูปแบบตัวอักษร มีโครงสร้างแบบรอมขนาด 8192x16 บิต การออกแบบหน่วยความจำทั้งหมดใช้โปรแกรม RAMROM Generator Version 1.01 ของบริษัท Tanner ซึ่งสร้างหน่วยความจำในเทคโนโลยีขนาด 1.2 ไมครอน ได้ผลตามรูปที่ 6.7



รูปที่ 6.7 ลายวงจรรวมของหน่วยความจำ (ซ้าย) หน่วยความจำแบบแรม (กลาง) หน่วยความจำแบบรอมสำหรับรูปแบบตัวอักษร (ขวา) หน่วยความจำสำหรับโปรแกรม

6.2.3 การวางลายวงจรส่วนวงจรแอนาลอก

อุปกรณ์บริวารที่เป็นวงจรแอนาลอกคือวงจรเปลี่ยนสัญญาณแอนาลอก (ดูรายละเอียดใน 4.4 และ 4.5) ซึ่งประกอบด้วยวงจรย่อยหลายส่วน การวางลายวงจรได้นำเซลล์ใน Library MTC25300 ซึ่งเป็นวงจรแอนาลอก

จากโครงสร้างของวงจรเปลี่ยนสัญญาณแอนาลอกเป็นดิจิตัลในรูปที่ 4.5 ในส่วนแอนาลอกประกอบด้วย Comparator Sampling and Hold และ 4-Channel Multiplexer สามารถใช้เซลล์ใน Library MTC25300 ออกแบบได้ ส่วนที่ต้องวางลายวงจรเพิ่มเติมคือ 8-bit DAC การออกแบบและวางลายวงจรของ 8-bit DAC มีโครงสร้างแบบ R2R

6.2.4 <u>วิเคราะห์การวางลายวงจรรวม</u>

1. พื้นที่ของลายวงจรรวม Q-Chip ทั้งหมด 60.8 mm^2 แยกตามส่วนแสดงลายละเอียดใน

ตารางที่ 6.1 พื้นที่ของวงจรในส่วนต่าง ๆ

วงจร	พื้นที่ (mm^2)
หน่วยประมวลผลกลาง	8.1
อุปกรณ์บริวาร	3.2
หน่วยความจำแบบ RAM	4.4
หน่วยความจำแบบ ROM สำหรับตัวอักษร	7.8
หน่วยความจำแบบ ROM สำหรับโปรแกรม	6.3
PAD	10.8
พื้นที่รวมทั้งหมด (รวมพื้นที่ที่ใช้ในการต่อเชื่อมแต่ละส่วนเข้าด้วยกัน)	60.8

2. จำนวนเซลล์มาตรฐานที่ใช้

ตารางที่ 6.2 จำนวนเซลล์มาตรฐานที่ใช้ในวงจรแต่ละส่วน

วงจร	จำนวนเซลล์
หน่วยประมวลผลกลาง	1142
อุปกรณ์บริวาร	805
วงจรแอนาลอก	14

3. ค่าหน่วงเวลา

เส้นทางวิกฤต (Critical path) ในส่วนประมวลผลข้อมูล (Data path) มีค่าเท่ากับ 23.74 ns และในส่วนควบคุม (Control path) มีค่าเท่ากับ 21.16 ns ซึ่งไม่รวมผลค่าหน่วงเวลาจากค่าเวลา

เข้าถึงหน่วยความจำ (Access time) ซึ่งหน่วยความจำที่อยู่ภายในชิปมีค่าเวลาเข้าถึงน้อย เมื่อรวมค่าหน่วงเวลาทั้งหมดแล้วจึงมีค่าไม่เกิน 83 ns ชิปจึงสามารถทำงานที่ความถี่ 12 MHz ได้

สัญญาณนาฬิกาที่ป้อนให้กับวงจรต่าง ๆ แบ่งออกเป็น 3 เส้นทางโดยพยายามแบ่งภาระโหลดของแต่ละเส้นทางให้มีค่าใกล้เคียงกันเพื่อให้ค่าหน่วงเวลาแต่ละเส้นทางมีค่าใกล้เคียงกัน

ตารางที่ 6.3 ค่าหน่วงเวลาของสัญญาณนาฬิกาของแต่ละเส้นทาง

เส้นทางที่	ภาระโหลด (Standard Load)	ค่าหน่วงเวลา (ns)
1	128.7	1.97
2	108.8	1.71
3	115.3	1.79

4. กำลังงาน

การคำนวณหากำลังงานที่ใช้ในวงจรซีมอสเป็นไปตามสมการ (4) ซึ่งกำลังงานส่วนใหญ่ในวงจรซีมอสเกิดจากการสวิทช์ของทรานซิสเตอร์[1] กำลังงานการสวิทช์ของทรานซิสเตอร์มีค่าขึ้นอยู่กับภาระโหนด(ค่าความจุ) ค่าของแรงดันที่ใช้งาน และความถี่ของการสวิทช์ คูณกับค่าสัมประสิทธิ์ ตามสมการ (5) [1]

$$P_{total} = P_{switch} + P_{shortcircuit} + P_{static} + P_{leakage} \quad \text{.....(4)}$$

$$P_{switching} = \alpha \times C \times V_{dd}^2 \times f \quad \text{.....(5)}$$

ค่าสัมประสิทธิ์ที่นำมาคือ ตัวประกอบการสวิทช์(Switching activity factor) ซึ่งมีค่าขึ้นอยู่กับความน่าจะเป็นในการเปลี่ยนค่าแรงดันเอาต์พุตของแต่ละเกท ในกรณีของไมโครคอนโทรลเลอร์ดำเนินการคำสั่งแต่ละประเภทจะใช้งานวงจรแต่ละส่วนแตกต่างกัน ดังนั้นค่าสัมประสิทธิ์จึงสามารถประมาณจากคำสั่งที่ใช้ในโปรแกรมได้ [2]

การคำนวณค่ากำลังโดยประมาณของหน่วยประมวลผลกลางตามสมการ (5) คามถี่ในการสวิทช์เท่ากันความถี่สัญญาณนาฬิกา 12 MHz และค่าแรงดันใช้งาน 5 V ใช้สัมประสิทธิ์ของการ

สวิทช์ที่จำนวณจากจำนวนคำสั่งที่ใช้ในโปรแกรมควบคุม Q-Chip ซึ่งมีทั้งหมด 1,702 คำสั่งโดยแบ่งเป็นคำสั่งประเภทต่าง ๆ ดังตารางต่อไปนี้

ตารางที่ 6.4 จำนวนคำสั่งที่ใช้ในโปรแกรม

กลุ่มคำสั่ง	จำนวนคำสั่ง
คำนวณและตรรกะ	907
LD และ ST	366
กระโดดโปรแกรม	293
NOP	136
รวม	1,702

ตารางที่ 6.5 ค่าภาระโหลดของวงจรแต่ละส่วน

วงจร	ค่าภาระโหลด (Standard Load)	ค่าสัมประสิทธิ์	ค่าภาระโหลดประสิทธิผล
ถอดรหัส หน่วยควบคุม ตัวนับโปรแกรมและสแตก	553.7	1.00	553.7
หน่วยคำนวณและตรรกะ	830.5	0.60	498.3
แฟ้มรีจิสเตอร์	2,191.3	0.25	547.8
		รวม	1,599.8

จากตารางที่ 6.5 ค่าภาระโหลดประสิทธิผลเท่ากับ 1,599.8 Standard Load ซึ่งมีค่าประมาณ 61.4 pF (1 Standard Load = 0.0384 pF)[13] ทำการประมาณค่ากำลังงานจากการสวิทช์ของหน่วยประมวลผลกลางอย่างหยาบด้วยสมการ (5)

$$\text{Power} = 61.4\ \text{pF} \times (5\ \text{V})^2 \times 12\ \text{MHz} = 18.4\ \text{mW}$$