บทที่ 4

การออกแบบและการทำงานระดับฮาร์ดแวร์

จากโครงสร้างฮาร์ดแวร์ระดับบล็อกที่ได้อธิบายไว้ในบทที่ 3 นั้น ผู้วิจัยได้ออกแบบฮาร์ดแวร์ของแต่ละบล็อก[9],[10],[11] พร้อมคำอธิบายการทำงานโดยละเอียดดังต่อไปนี้

วงจรส่วน Video decoder

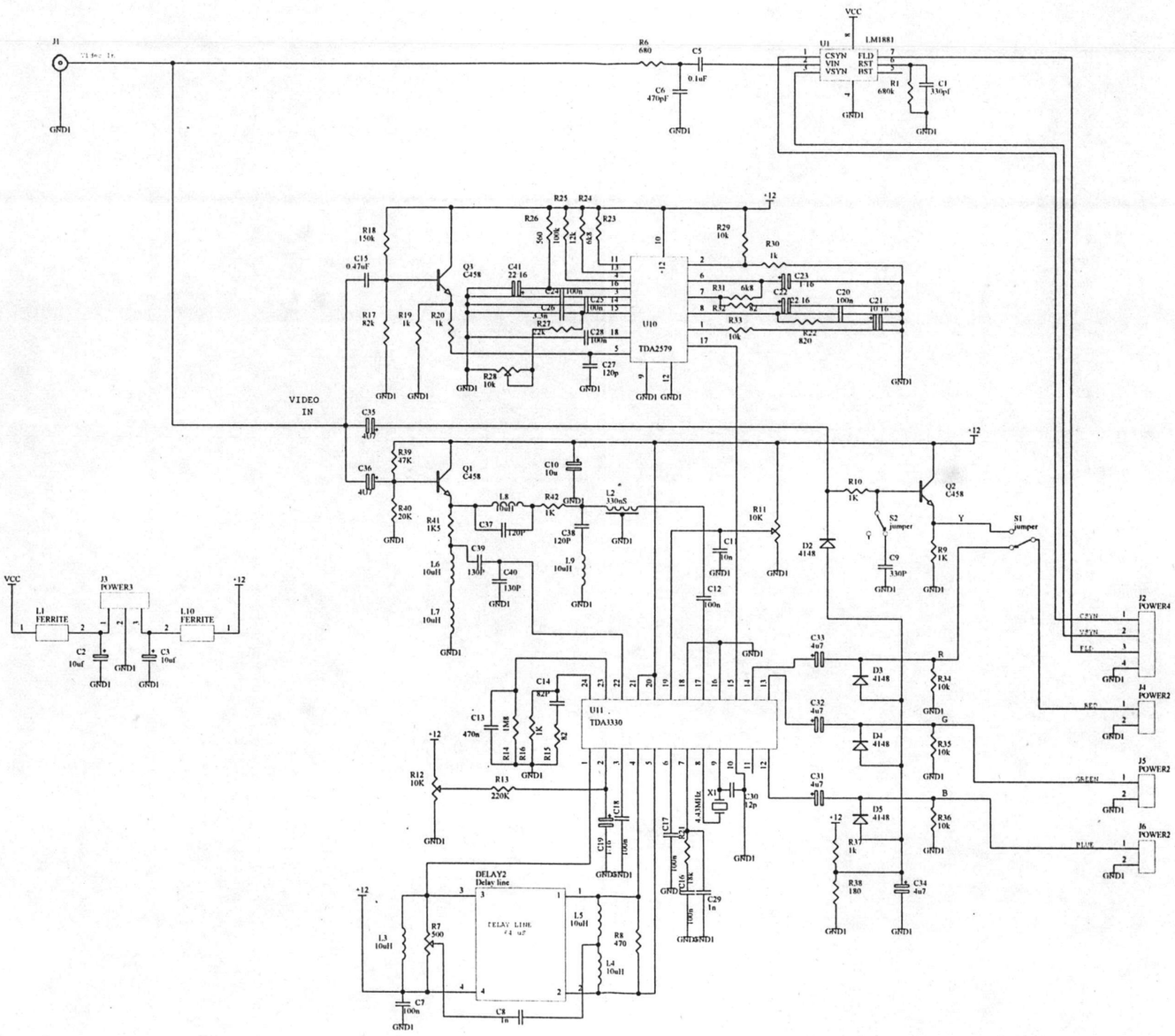
วงจรในส่วนนี้แสดงดังรูปที่ 4.1 ใช้ไอซีแยกสัญญาณสีหมายเลข TDA3330 ทำหน้าที่แยกสัญญาณสี และไอซีแยกสัญญาณหมายเลข LM1881 ทำหน้าที่แยกสัญญาณควบคุมที่แฝงมากับสัญญาณภาพ สัญญาณเข้าออกของวงจรส่วนนี้มีดังต่อไปนี้

1. สัญญาณเข้า เป็นสัญญาณภาพวิดีโอตามมาตรฐาน
2. สัญญาณขาออกประกอบด้วยสัญญาณ 6 เส้นคือ
   - 2.1. สัญญาณอนาลอกสีแดง
   - 2.2. สัญญาณอนาลอกสีเขียว
   - 2.3. สัญญาณอนาลอกสีน้ำเงิน
   - 2.4. สัญญาณซิงค์รวม คือประกอบด้วยสัญญาณซิงค์ทั้งแนวตั้งและแนวนอน
   - 2.5. สัญญาณซิงค์แนวตั้ง
   - 2.6. สัญญาณแยกฟิลด์ ซึ่งเป็นสัญญาณที่บอกว่าสัญญาณภาพที่เกิดขึ้นเป็นสัญญาณภาพของฟิลด์คู่หรือฟิลด์คี่

วงจรส่วน signal generator

วงจรส่วนนี้เป็นวงจรที่สร้างสัญญาณนาฬิกาและสัญญาณควบคุมที่จำเป็นต่อการทำงานของระบบทั้งหมด โดยวงจรส่วนนี้มีสัญญาณเข้าออกดังต่อไปนี้

1. สัญญาณเข้าเป็นสัญญาณจากวงจรส่วน video decoder ประกอบด้วยสัญญาณต่างๆดังต่อไปนี้
   - 1.1. สัญญาณซิงค์รวม



รูปที่ 4.1 แสดงวงจรแยกสัญญาณภาพ (video decoder)

1.2. สัญญาณซิงค์แนวตั้ง

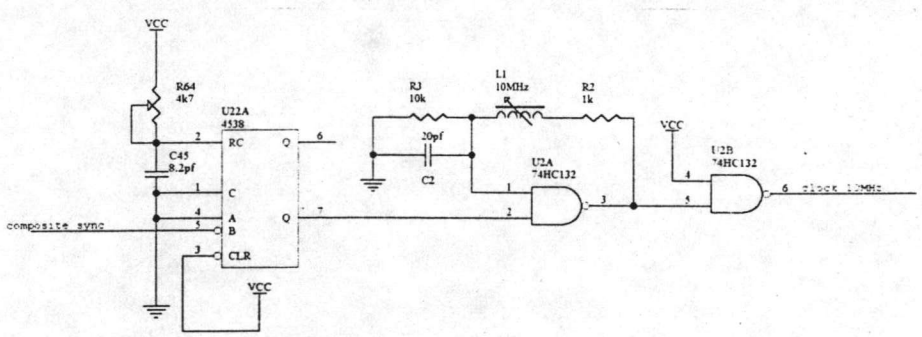
1.3. สัญญาณแยกฟิลด์

2. สัญญาณขาออกประกอบด้วยสัญญาณต่างๆดังนี้

2.1. สัญญาณนาฬิกาหลักความถี่ 10 เมกะเฮิรตซ์ โดยสัญญาณนาฬิกานี้จะมีเฟสที่เข้าจังหวะกับสัญญาณซิงค์ทางแนวนอน กล่าวคือสัญญาณนาฬิกาจะหยุดทำงานในช่วงที่มีสัญญาณซิงค์แนวนอนเกิดขึ้น และเริ่มทำงาน ณ ขอบขาขึ้นของสัญญาณซิงค์แนวนอน

เหตุผลที่สัญญาณนาฬิกาต้องเข้าจังหวะกับสัญญาณซิงค์แนวนอนก็เพราะว่าสัญญาณนาฬิกานี้จะเป็นสัญญาณนาฬิกาของวงจรส่วนแปลงสัญญาณภาพอนาลอกเป็นสัญญาณภาพดิจิตอลด้วย ซึ่งถ้าเฟสของสัญญาณนาฬิกาของสัญญาณภาพแต่ละเส้นไม่ตรงกันแล้ว ตำแหน่งจุดของภาพในแต่ละเส้นที่วงจรแปลงสัญญาณภาพอนาลอกเป็นสัญญาณภาพดิจิตอลทำงานก็จะไม่ตรงกัน ทำให้ภาพที่แปลงได้ในแต่ละเส้นไม่ตรงกัน ผลก็คือภาพที่เกิดขึ้นดูไม่สวยงาม

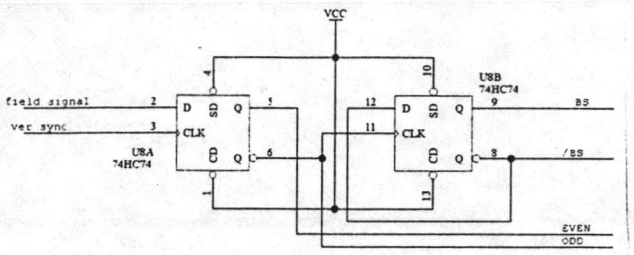
วงจรส่วนสร้างสัญญาณนาฬิกาแสดงไว้ในรูปที่ 4.2 ประกอบด้วยไอซีโมโนสเตเบิล (mono stable) หมายเลข 4538, ไอซี OR gate หมายเลข 74HC132 , ความต้านทาน R1 และ R2 , ขดลวด L1 และตัวเก็บประจุ C2 โดยไอซีหมายเลข 4538 ทำหน้าที่ปรับความกว้างของสัญญาณซิงค์ให้เหมาะสม และวงจรส่วนที่เหลือทำหน้าที่กำเนิดสัญญาณนาฬิกาความถี่ 10 เมกะเฮิรตซ์ ซึ่งความถี่ที่เกิดขึ้นกำหนดโดยขดลวด L1



รูปที่ 4.2 แสดงวงจรส่วนสัญญาณนาฬิกา

2.2. สัญญาณ BS เป็นสัญญาณที่บอกว่าสัญญาณภาพที่เกิดขึ้นนั้นจะถูกจัดเก็บ ณ หน่วยความจำชุดที่ 1 หรือชุดที่ 2

วงจรในส่วนนี้ประกอบแสดงไว้ในรูปที่ 4.3 ด้วยไอซีฟลิปฟลอปหมายเลข 74HC74 ต่อในลักษณะวงจรหารสอง สัญญาณเข้าของวงจรส่วนนี้ก็คือสัญญาณฟิลด์



รูปที่ 4.3 แสดงวงจรกำเนิดสัญญาณ BS

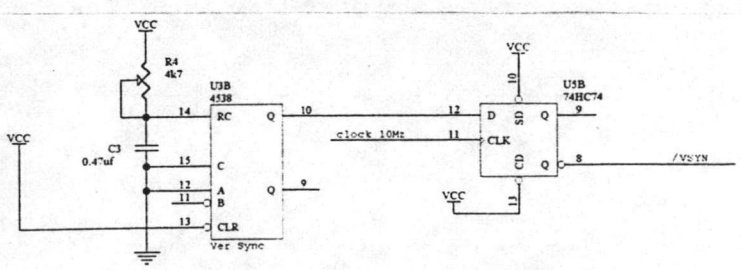
2.3. สัญญาณ /BS เป็นสัญญาณเพื่อจุดประสงค์เดียวกับสัญญาณ BS และมีแหล่งกำเนิดเดียวโดยวิธีเดียวกันกับสัญญาณ BS แต่สัญญาณนี้จะตรงข้ามกับสัญญาณ BS

2.4. สัญญาณ EVEN เป็นสัญญาณที่บอกว่าสัญญาณภาพที่เกิดขึ้นนั้นเป็นสัญญาณภาพของฟิลด์คู่ สัญญาณนี้ได้มาจากส่วนหนึ่งของวงจรสร้างสัญญาณ BS

2.5. สัญญาณ ODD เป็นสัญญาณที่บอกว่าสัญญาณภาพที่เกิดขึ้นนั้นเป็นสัญญาณภาพของฟิลด์คี่ สัญญาณนี้ได้มาจากส่วนหนึ่งของวงจรสร้างสัญญาณ BS

2.6. สัญญาณ /VSYN เป็นสัญญาณซิงค์ทางแนวตั้งที่นำมาปรับปรุงแล้ว กล่าวคือนำสัญญาณซิงค์ทางแนวตั้งป้อนเข้าไอซีโมโนสเตเบิลหมายเลข 4538 เพื่อทำให้สามารถปรับความกว้างของสัญญาณให้เหมาะสมได้ สัญญาณที่ออกจากไอซี 4538 จะผ่านเข้าสู่ไอซี 74HC74 เพื่อปรับสัญญาณให้เข้าจังหวะกับสัญญาณนาฬิกาหลัก

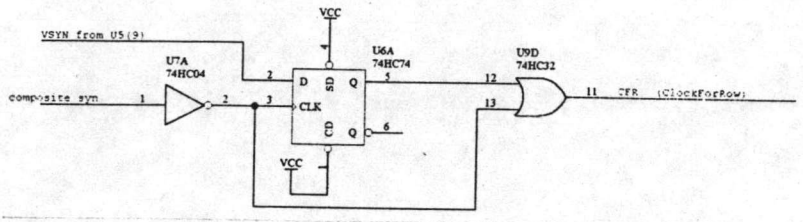
วงจรกำเนิดสัญญาณ /VSYN แสดงดังรูปที่ 4.4



รูปที่ 4.4 แสดงวงจรส่วนกำเนิดสัญญาณ /VSYN

2.7. สัญญาณ CFR(clock for row address) เป็นสัญญาณนาฬิกาสำหรับวงจรสร้างแอดเดรสทางแถว (row address) ของหน่วยความจำ สัญญาณนี้ได้มาจากสัญญาณซิงค์ทางแนวนอนและสัญญาณซิงค์ทางแนวตั้งมาผสมกันทางลอจิก(OR operation)

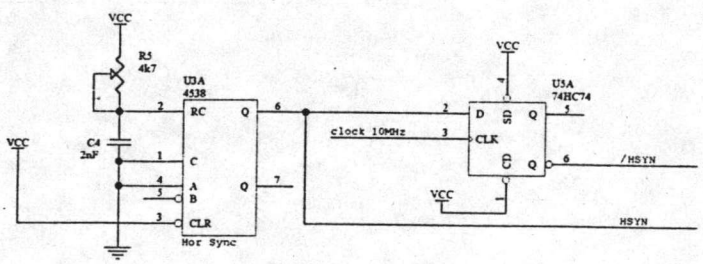
วงจรกำเนิดสัญญาณ CFR แสดงไว้ในรูปที่ 4.5 ประกอบด้วยไอซีฟลิปฟลอปหมายเลข 74HC74 และไอซี OR gate หมายเลข 74HC32 ไอซี 74HC74 ทำหน้าที่ปรับสัญญาณซิงค์ทางแนวนอนให้เข้าจังหวะกับสัญญาณซิงค์ทางแนวตั้ง จากนั้นไอซี 74HC32 จะทำหน้าที่ผสมสัญญาณทั้งสองเข้าด้วยกัน



รูปที่ 4.5 แสดงวงจรส่วนกำเนิดสัญญาณ CFR

2.8. สัญญาณ /HSYN เป็นสัญญาณซิงค์ทางแนวนอนที่ผ่านการปรับปรุงแล้วกล่าวคือนำสัญญาณซิงค์ทางแนวนอนป้อนเข้าไอซี 4538 เพื่อทำให้สามารถปรับความกว้างของสัญญาณให้เหมาะสมได้ สัญญาณที่ออกจากไอซี 4538 จะผ่านเข้าสู่ไอซี 74 HC74 เพื่อปรับสัญญาณให้เข้าจังหวะกับสัญญาณนาฬิกาหลัก

วงจรกำเนิดสัญญาณ /HSYN แสดงดังรูปที่ 4.6



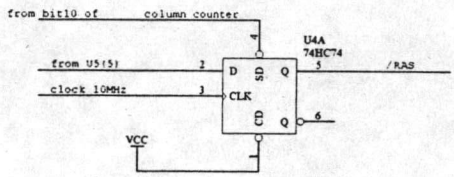
รูปที่ 4.6 แสดงส่วนกำเนิดสัญญาณ /HSYN

2.9. สัญญาณ HSYN เป็นสัญญาณที่ invert กับสัญญาณ /HSYN

2.10. สัญญาณ CSYN คือสัญญาณซิงค์รวมนั่นเอง

2.11. สัญญาณ /RAS เป็นสัญญาณที่ต่อเข้ากับขา RAS ของไอซีหน่วยความจำเพื่อให้หน่วยความจำ latch ข้อมูลแอดเดรสทางแถวไว้

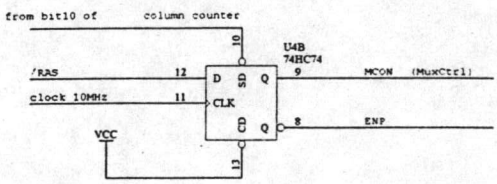
วงจรกำเนิดสัญญาณ /RAS แสดงไว้ในรูปที่ 4.7 ประกอบด้วยไอซี 74HC74 ทำหน้าที่สร้างสัญญาณ /RAS จากสัญญาณ invert ของสัญญาณซิงค์และสัญญาณ /HSYN



รูปที่ 4.7 แสดงวงจรกำเนิดสัญญาณ /RAS

2.12. สัญญาณ MCON เป็นสัญญาณที่ใช้ควบคุมมัลติเพล็กเซอร์ (multiplexer) เพื่อให้มัลติเพล็กเซอร์ส่งสัญญาณแอดเดรสที่ถูกต้องไปยังหน่วยความจำ สัญญาณนี้ได้มาจากการนำสัญญาณ /RAS มาผ่านไอซี 74HC74 เพื่อให้สัญญาณนี้ล้าหลังสัญญาณ /RAS 50 นาโนวินาที (ครึ่งลูกคลื่นของสัญญาณนาฬิกาหลัก

วงจรกำเนิดสัญญาณ MCON แสดงไว้ในรูปที่ 4.8

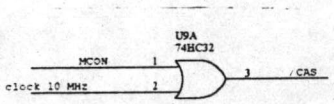


รูปที่ 4.8 แสดงวงจรกำเนิดสัญญาณ MCON

2.13. สัญญาณ ENP เป็นสัญญาณสำหรับควบคุมวงจรสร้างสัญญาณแอดเดรสทางคอลัมน์ของหน่วยความจำ ถ้าสัญญาณนี้เป็นลอจิกสูง วงจรสร้างแอดเดรสทางคอลัมน์จะทำงาน สัญญาณนี้เป็นสัญญาณที่ตรงข้ามกับสัญญาณ MCON

2.14. สัญญาณ /CAS เป็นสัญญาณที่ต่อเข้ากับขา CAS -ของไอซีหน่วยความจำเพื่อให้หน่วยความจำ latch ข้อมูลแอดเดรสทางคอลัมน์ไว้

วงจรกำเนิดสัญญาณ /CAS แสดงไว้ในรูปที่ 4.9 ประกอบด้วยไอซี 74HC32 ทำหน้าที่ผสมสัญญาณ MCON กับสัญญาณนาฬิกาหลักเข้าด้วยกัน



รูปที่ 4.9 แสดงวงจรกำเนิดสัญญาณ /CAS

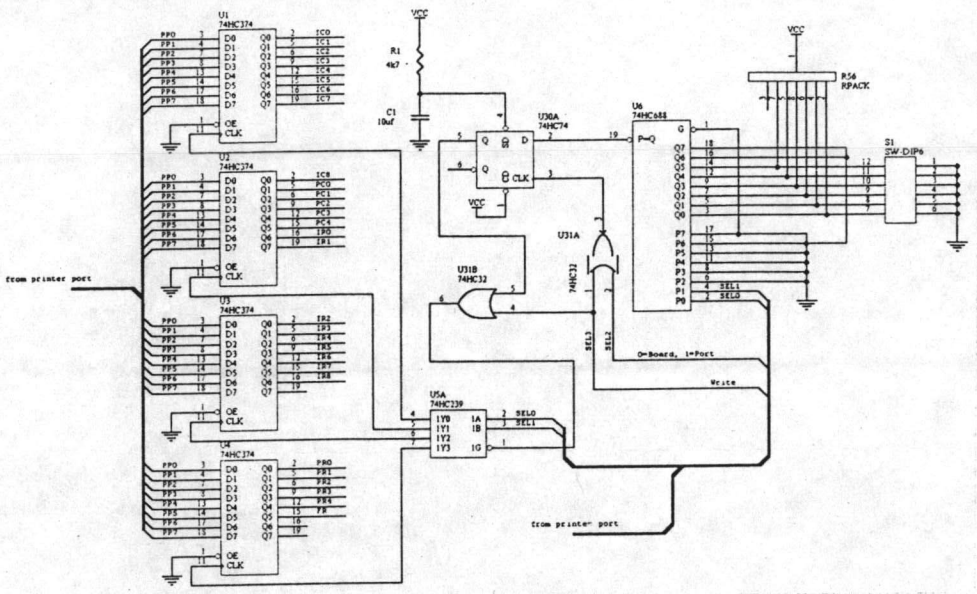
2.15. สัญญาณ CFC (clock for column address) เป็นสัญญาณนาฬิกาสำหรับวงจรสร้างแอดเดรสทางคอลัมน์ (column address) ของหน่วยความจำ สัญญาณนี้ได้มาจากสัญญาณนาฬิกาหลัก

<u>วงจรส่วน decoder and latch</u>

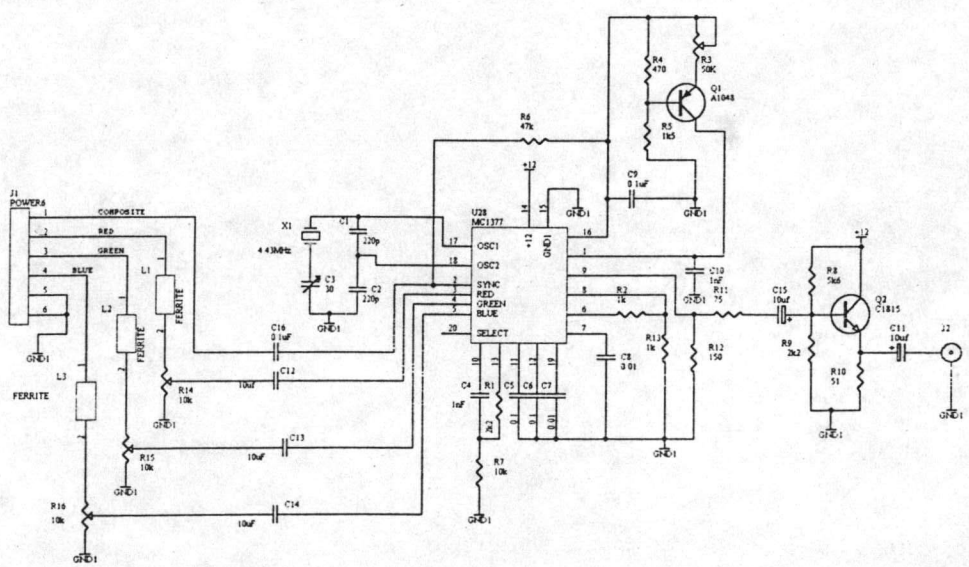
วงจรส่วนนี้เป็นวงจรที่ทำหน้าที่รับข้อมูลจากเครื่องควบคุมรูปแบบการแสดงผล และเก็บข้อมูลนั้นไว้เพร้อมกับส่งไปยังวงจรส่วน address generator for reading พื่อจัดรูปแบบการแสดงผลให้เหมาะสม

วงจรส่วนนี้แสดงไว้ในรูปที่ 4.10 ประกอบด้วยไอซีฟลิปฟลอปหมายเลข 74HC374 4 ตัวทำหน้าที่ latch ข้อมูลไว้ ส่วนไอซีเปรียบเทียบหมายเลข 74HC688, ไอซี 74HC74, ไอซี 74HC32 และไอซีดีโคดเดอร์หมายเลข 74HC139 ทำหน้าที่วิเคราะห์ว่าสัญญาณข้อมูลที่ส่งเข้ามานั้นเป็นข้อมูลสำหรับจอนั้นๆหรือไม่ โดยมีดิปสวิทช์ทำหน้าที่กำหนดรหัสประจำตัวของแต่ละจอ ถ้าใช่ก็จะสั่งให้ไอซี 74HC374 ทั้ง 4 ตัว latch ข้อมูลเอาไว้

I16998741



รูปที่ 4.10 แสดงวงจรส่วน decoder and latch



รูปที่ 4.11 แสดงวงจรส่วน video encoder

วงจรส่วน video encoder

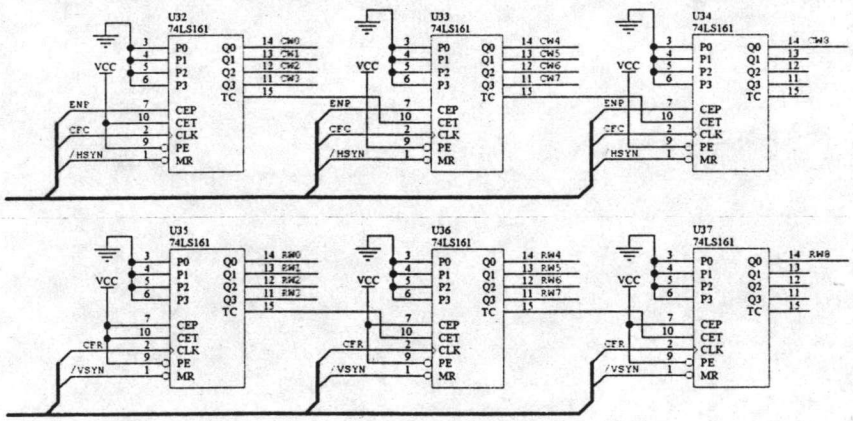
วงจรส่วนนี้เป็นวงจรสำหรับสร้างสัญญาณภาพเพื่อป้อนออกไปยังจอโทรทัศน์ สัญญาณเข้าของวงจรนี้เป็นสัญญาณซิงค์รวมและ สัญญาณภาพสี 3 สีคือสัญญาณภาพสีแดง, สัญญาณาพสีเขียว และสัญญาณภาพสีน้ำเงิน

ส่วนสำคัญของวงจรนี้คือไอซี MC1377 ทำหน้าที่รับสัญญาณที่จำเป็นต่อการสร้างภาพทั้งหมดและสร้างสัญญาณภาพขึ้นมา

วงจรส่วนนี้แสดงไว้ในรูปที่ 4.11

วงจรส่วน address generator for writing

วงจรส่วนนี้เป็นวงจรนับขนาด 9 บิททำหน้าที่สร้างสัญญาณแอดเดรสทางแถวและทางคอลัมน์สำหรับเขียนข้อมูลลงในหน่วยความจำ เอาท์พุตที่ได้จะส่งเข้าไปยังวงจรส่วน MUX



รูปที่ 4.12 แสดงวงจร address generator for writing

วงจรส่วนนี้แสดงไว้ในรูปที่ 4.12 ประกอบด้วยไอซีวงจรนับที่โปรแกรมได้หมายเลข 74HC161 จำนวน 6 ตัว แบ่งเป็น 3 ตัวสำหรับแอดเดรสทางแถว และอีก 3 ตัวสำหรับแอดเดรสทางคอลัมน์

วงจรส่วนสร้างสัญญาณสำหรับแอดเดรสคอลัมน์ ใช้สัญญาณ CFC เป็นสัญญาณนาฬิกาของวงจรนับ, สัญญาณ ENP สำหรับสั่งให้วงจรนับทำงาน และสัญญาณ

/HSYN สำหรับรีเซตให้สัญญาณขาออกทุกขาเป็นลอจิกต่ำทุกๆครั้งที่สัญญาพภาพผ่านไป 1 เส้น

วงจรส่วนสร้างสัญญาณสำหรับแอดเดรสแถว ใช้สัญญาณ CFR เป็นสัญญาณนาฬิกาของวงจรนับและใช้สัญญาณ /VSYN สำหรับรีเซตให้สัญญาณขาออกทุกขาเป็นลอจิกต่ำทุกครั้งเมื่อสัญญาณภาพผ่านไปทุกฟิลด์

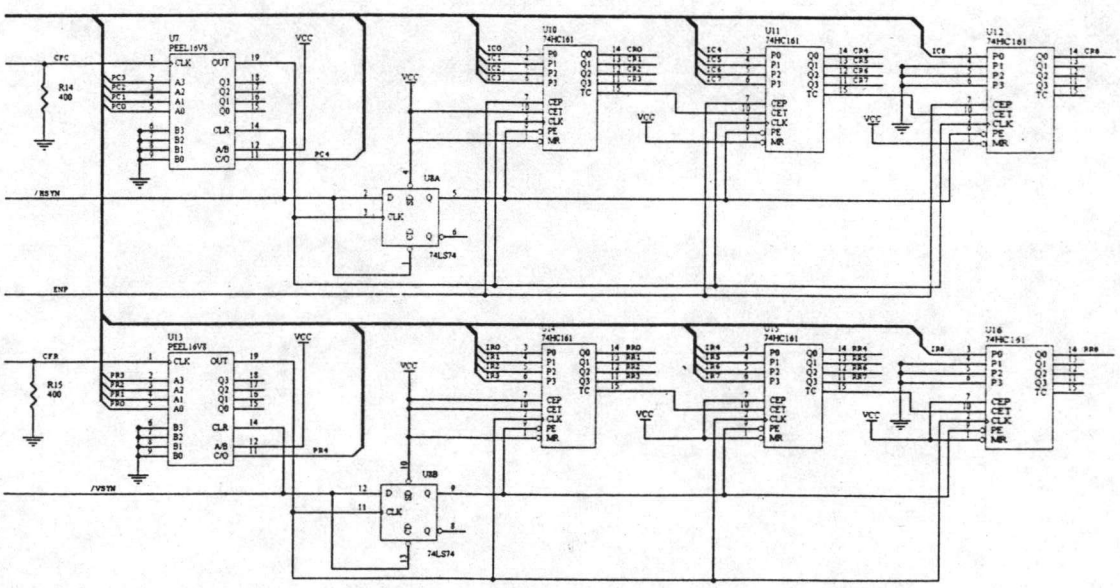
<u>วงจรส่วน address generator for reading</u>

วงจรส่วนนี้แสดงดังรูปที่ 4.13 ทำหน้าที่สร้างสัญญาณแอดเดรสขนาด 9 บิท เพื่อเป็นสัญญาณแอดเดรสทางแถวและทางคอลัมน์สำหรับอ่านข้อมูลจากหน่วยความจำ ประกอบด้วยวงจร 2 ส่วนใหญ่คือ

1. ส่วนวงจรหารที่โปรแกรมได้ ประกอบด้วยไอซี PLD หมายเลข PEEL18CV8 และฟลิปฟลอป (74HC74) จำนวน 2 ชุดแต่ละชุดสำหรับวงจรสร้างแอดเดรสทางแถวและทางคอลัมน์ สัญญาณเข้าของวงจรส่วนนี้ประกอบด้วย

1.1. สัญญาณ CFC หรือ CFR (ขึ้นอยู่กับว่าต่ออยู่กับวงจรนับชุดไหน)

1.2. สัญญาณเลือกว่าจะให้วงจรหารทำงานหรือไม่ (สัญญาณขา 11 ของ PEEL18CV8) ถ้าเป็นลอจิกต่ำแสดงว่าให้วงจรหารทำงาน ถ้าเป็นลอจิกสูงแสดงว่าให้ส่งสัญญาณที่เข้ามาทางขา 1 ออกทางขา 19 โดยตรง



รูปที่ 4.13 แสดงวงจร address generatering for reading

1.3. สัญญาณสำหรับเลือกค่าที่หาร(สัญญาณขา 2-5) เป็นสัญญาณที่มาจากวงจรในส่วนของ decoder and latch เพื่อเลือกค่าที่จะหาร ความสัมพันธ์ระหว่างสัญญาณขา 2-5 กับวงจรหารมีดังตารางที่ 4.1

สัญญาณขา 2-5	วงจรหาร
1110	2
1101	3
1100	4
1011	5
1010	6
1001	7
1000	8
0111	9
0110	10
0101	11
0100	12
0011	13
0010	14
0001	15
0000	16

ตารางที่ 4.1 แสดงความสัมพันธ์ระหว่างค่าที่ป้อนให้ PEEL18CV8 กับวงจรหาร

สัญญาณขาออกจากวงจรหารนี้เป็นสัญญาณนาฬิกาเพื่อป้อนเข้าวงจรนับและสัญญาณสำหรับรีเซตวงจรนับ

2. ส่วนวงจรนับขนาด 9 บิท ทำหน้าที่สร้างสัญญาณแอดเดรสทางแถวและทางคอลัมน์สำหรับอ่านข้อมูลลงในหน่วยความจำประกอบด้วยไอซี 74HC161 จำนวน 6 ตัว แบ่งเป็น 3 ตัวสำหรับแอดเดรสทางแถว และอีก 3 ตัวสำหรับแอดเดรสทางคอลัมน์ สัญญาณเข้าประกอบด้วย

2.1. สัญญาณนาฬิกาจากวงจรหารที่โปรแกรมได้

2.2. สัญญาณ ENP เพื่อสั่งให้วงจรนับเริ่มทำงาน

2.3. สัญญาณกำหนดค่าเริ่มต้นที่จะนับจากวงจรส่วน decoder and latch เพื่อกำหนดค่าเริ่มต้นที่จะนับ ซึ่งค่าเริ่มต้นนี้จะสัมพันธ์กับ

2.3.1. ขนาดของภาพที่ต้องการขยาย

2.3.2 ตำแหน่งของเครื่องควบคุมชุดนั้นๆว่าควบคุมตำแหน่งจอโทรทัศน์เครื่องใด

ตัวอย่างเช่นจำนวนจอโทรทัศน์ทั้งหมดมี 4 จอ จัดวางเป็นรูปสี่เหลี่ยมจัตุรัสและมีหมายเลขอ้างอิงดังรูปที่ 4.14

1	2
3	4

รูปที่ 4.14 แสดงการจัดวางจอโทรทัศน์

ในกรณีของรูปที่ 4.14 นี้ วงจรหารต้องโปรแกรมให้เป็นวงจรหารสอง และค่าเริ่มต้นที่จะนับที่ส่งให้วงจรนับเป็นไปตามตารางดังตารางที่ 4.2

ตำแหน่งของตัวควบคุม	ค่าที่ส่งให้วงจรนับแถว	ค่าที่ส่งให้วงจรนับคอลัมน์
1	0	0
2	0	256
3	156	0
4	156	256

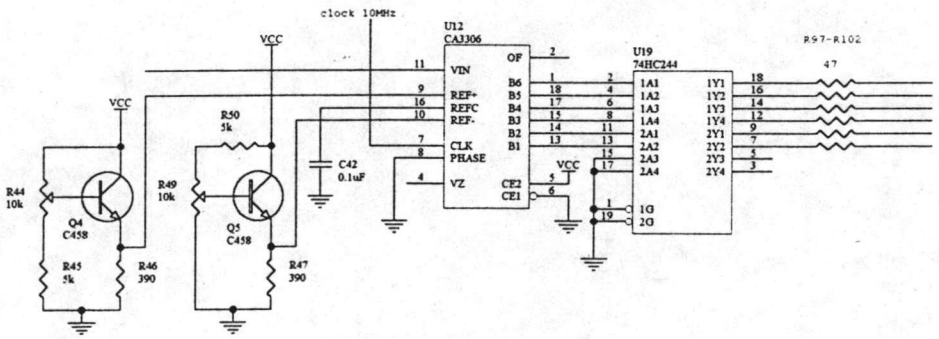
ตารางที่ 4.2 แสดงความสัมพันธ์ระหว่างค่าที่ส่งให้วงจรนับกับตำแหน่งของจอโทรทัศน์

<u>วงจรส่วนแปลงสัญญาณอนาลอกเป็นดิจิตอล</u>

วงจรส่วนนี้ทำหน้าที่แปลงสัญญาณภาพอนาลอกแต่ละสีที่ได้จากวงจร video decoder ไปเป็นสัญญาณภาพดิจิตอลเพื่อเก็บลงหน่วยความจำต่อไป วงจรนี้มี 3 ชุดแต่ละชุดสำหรับสัญญาณภาพแต่ละสี

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแสดงดังรูปที่ 4.15 ประกอบด้วยไอซี CA3306 ทำหน้าที่ไอซีแปลงสัญญาณอนาลอกเป็นดิจิตอล, ไอซี 74HC244 เป็นบัฟเฟอร์ทางด้านเอาท์พุต และชุดของอุปกรณ์ที่ต่อเข้ากับ 9 และ 10 ของไอซี CA3306 ทำหน้าที่ปรับแรงดันอ้างอิงสำหรับการแปลงสัญญาณ

ไอซี CA3306 เป็นไอซีแปลงสัญญาณอนาลอกเป็นดิจิตอลความเร็วสูงแบบแฟลช(flash) ขนาด 6 บิท ความเร็วสูงสุด 15 เมกะเฮิรตซ์ (ในวงจรนี้ใช้ความถี่ 10 เมกะเฮิรตซ์) สามารถแปลงสัญญาณได้ภายในเวลาครึ่งลูกคลื่นของสัญญาณนาฬิกาที่ต่ออยู่ขา 7 ซึ่งในวงจรนี้ความถี่ของสัญญาณนาฬิกามีค่าเท่ากับ 10 เมกะเฮิรตซ์ ดังนั้นไอซีตัวนี้จะแปลงสัญญาณเสร็จภายใน 50 นาโนวินาที



รูปที่ 4.15 แสดงวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

<u>วงจรส่วน MUX</u>

วงจรส่วนนี้ทำหน้าที่ส่งสัญญาณแอดเดรสแถวหรือแอดเดรสคอลัมน์ให้กับหน่วยความจำให้ถูกต้องตามช่วงเวลา วงจรนี้มีสัญญาณเข้าดังต่อไปนี้

1. สัญญาณแอดเดรสแถวจากวงจร address generator for wring
2. สัญญาณแอดเดรสคอลัมน์จากวงจร address generator for writing

3. สัญญาณแอดเดรสแถวจากวงจร address generator for reading
4. สัญญาณแอดเดรสคอลัมน์จากวงจร address generator for reading
5. สัญญาณ MCON จากวงจร signal generator
6. สัญญาณ BS และ /BS จากวงจร signal generator

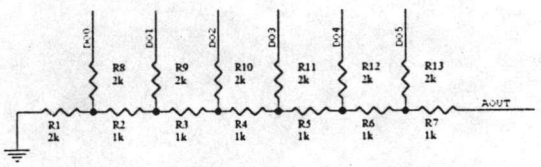
สัญญาณ MCON เป็นสัญญาณควบคุมว่าสัญญาณแอดเดรสที่ส่งไปยังหน่วยความจำเป็นแอดเดรสแถวหรือแอดเดรสคอลัมน์ และสัญญาณ BS หรือ /BS เป็นสัญญาณควบคุมว่าสัญญาณแอดเดรสที่ส่งไปยังหน่วยความจำนั้นเป็นสัญญาณแอดเดรสสำหรับอ่านหรือเขียนหน่วยความจำ

รูปที่ 4.17 แสดงวงจรส่วน MUX ประกอบด้วยไอซี 74HC253 5 ตัว 2 ชุด (ทั้งหมด 10 ตัว) วงจร MUX ชุดที่ 1 และชุดที่ 2 ต่อกับหน่วยความจำชุดที่ 1 และชุดที่ 2 ตามลำดับ

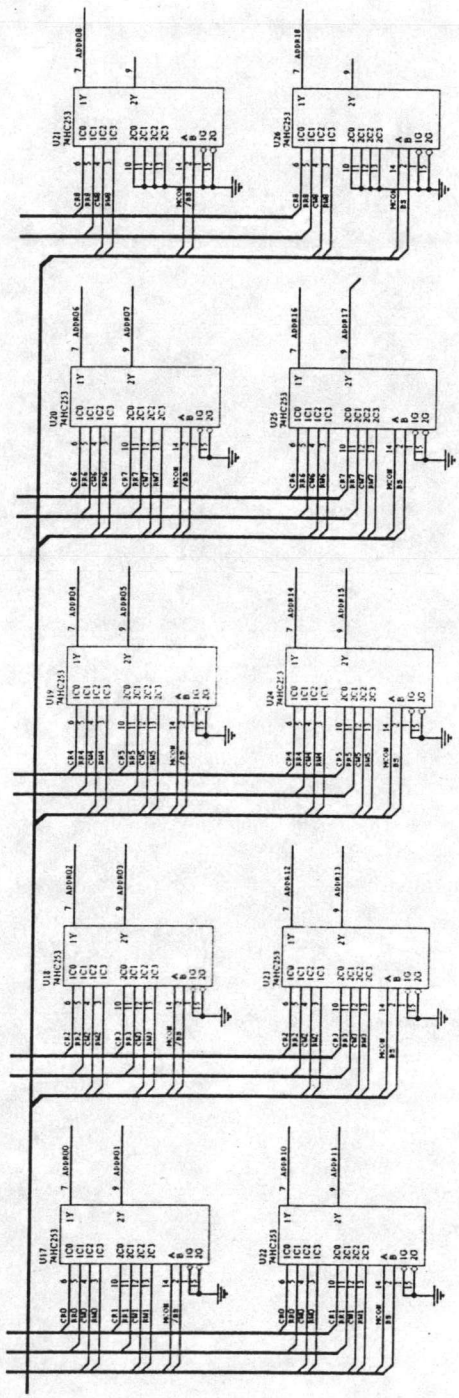
<u>วงจรส่วนแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก</u>

วงส่วนนี้ทำหน้าที่แปลงสัญญาณภาพสีดิจิตอลที่ออกจากหน่วยความจำไปเป็นสัญญาณภาพสีแบบอนาลอกเพื่อป้อนเข้าสู่วงจรสู่วงจร line encoder ต่อไป

แสดงไว้ในรูปที่ 4.16 คือวงจรส่วนนี้ เป็นวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกแบบ R-2R ladder



รูปที่ 4.16 แสดงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก



รูปที่ 4.17 แสดงวงจร MUX

วงจรส่วนหน่วยความจำ

วงจรส่วนนี้ทำหน้าเก็บข้อมูลสัญญาณภาพไว้เพื่อนำออกขยายต่อไป ขนาดของหน่วยความจำที่ใช้หาได้จากจำนวนจุดทั้งหมดที่ต้องใช้ต่อการเก็บภาพ 1 ฟิลด์ จำนวนจุดที่ใช้ทั้งหมดหาได้จากผลคูณระหว่างจำนวนเส้นต่อ 1 ฟิลด์(312.5) กับจำนวนจุดที่เก็บต่อสัญญาณภาพ 1 เส้น(512) มีค่าเท่ากับ 160,000 จุด ถ้าเก็บข้อมูล 1 ไบต์ต่อ 1 จุด ดังนั้นจำนวนหน่วยความจำทั้งหมดที่ต้องใช้เท่ากับ 156.25 กิโลไบต์ (160,000 หารด้วย 1024) ดังนั้นสามารถใช้ไอซี 44256 ซึ่งเป็นหน่วยความจำไดนามิกขนาด 256 กิโลไบท์ได้ วงจรส่วนนี้ประกอบด้วยส่วนต่างๆดังต่อไปนี้

1. ไอซี 44256 ซึ่งเป็นไอซีหน่วยความจำ
2. ไอซีมัลติเพลกเซอร์หมายเลข 74HC365 ทำหน้าที่ส่งสัญญาณภาพที่เข้ามาให้กับหน่วยความจำอย่างถูกต้องตามกำหนดเวลาที่ออกแบบไว้
3. ไอซีดีมัลติเพลกเซอร์หมายเลข 74HC257 ทำหน้าที่ส่งข้อมูลภาพจากหน่วยความจำไปยังวงจรส่วน video encoder โดยมีสัญญาณจากวงจร line selector เป็นตัวควบคุมให้วงจรส่วนนี้ส่งลำดับของเส้นได้อย่างถูกต้อง

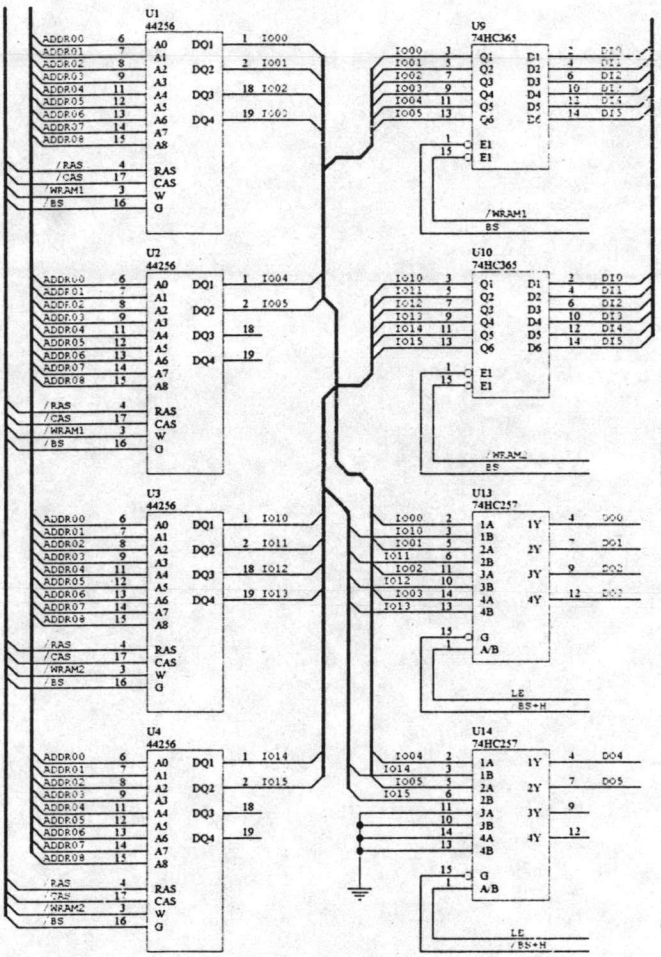
วงจรส่วนหน่วยความจำนี้แสดงไว้ในรูปที่ 4.18

วงจรส่วน line selector

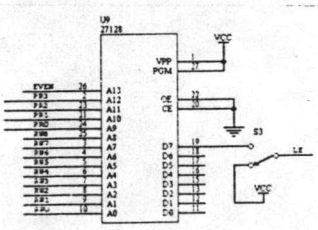
วงจรส่วนนี้ทำหน้าที่ส่งลำดับสัญญาณเส้นของภาพที่ถูกต้องไปยังวงจรส่วนเอาท์พุทของวงจรหน่วยความจำ

วงจรนี้แสดงดังรูปที่ 4.19 ประกอบด้วยไอซี 27128 ซึ่งเก็บลักษณะลำดับภาพที่ถูกต้องไว้ มีสัญญาณเข้าประกอบด้วย

1. สัญญาณ EVEN เพื่อบอกให้วงจรส่วนนี้ทราบว่าภาพที่กำลังแสดงอยู่นั้นเป็นภาพฟิลด์คู่หรือฟิลด์คี่
2. สัญญาณที่ควบคุมวงจรนับที่โปรแกรมได้ (PR3-PR0) เพื่อบอกให้วงจรส่วนนี้ทราบว่าภาพที่เกิดขึ้นเป็นภาพขยายกี่เท่า
3. สัญญาณจากวงจรนับ (RW8-RW0) เพื่อบอกให้วงจรส่วนนี้ทราบว่าภาพที่เกิดขึ้นเป็นภาพของเส้นที่เท่าไร



รูปที่ 4.18 แสดงวงจรส่วนหน่วยความจำ



รูปที่ 4.19 แสดงวงจร line selector