บทที่ 3

อุปกรณ์และส่วนประกอบของอินเทอร์เฟส

ในบทนี้จะอธิบายถึงหน้าที่การทำงานของอุปกรณ์ที่ใช้เป็นส่วนประกอบในวงจรอินเทอร์เฟส อุปกรณ์ที่จะใช้ในวงจรได้แก่ ลอจิกเกตต่าง ๆ (Logic Gate) รีจิสเตอร์ (Registor) เกตแบบไตรสเตตบัฟเฟอร์ (Tri-state buffer gate) ยูอาร์ท (Universal Asynchronous Receiver/Transmitter) และตัวสร้างอัตราความถี่ (Baud rate generator) แต่ละอุปกรณ์ที่กล่าวมาจะแยกหน้าที่ที่ทำในส่วนต่าง ๆ คือ มีลอจิกเกตเป็นวงจรควบคุมหรือวงจรถอดรหัสเลือก ทำหน้าที่เป็นส่วนควบคุมหรือเป็นตัวส่งสัญญาณเลือกรีจิสเตอร์และพอร์ท มีรีจิสเตอร์ทำหน้าที่เป็นตัวกลางส่งผ่านข้อมูลหรือเก็บข้อมูลชั่วขณะ โดยจะรับข้อมูลจากไมโครโปรเซสเซอร์ส่งถ่ายออกให้อุปกรณ์ภายนอก หรือรับข้อมูลจากอุปกรณ์ภายนอกส่งเข้าบัสข้อมูล ส่วนไตรสเตตบัฟเฟอร์ ใช้ทำหน้าที่เป็นบัสบัฟเฟอร์คือ เป็นตัวควบคุมการต่อสัญญาณจากส่วนต่าง ๆ เข้ากับบัสข้อมูล นอกจากนี้ยังมี ยูอาร์ท เป็นอุปกรณ์จำพวก แอลเอสไอที่มีวงจรเกือบสมบูรณ์สำหรับเป็นตัวกลางการรับส่งข้อมูลแบบอนุกรมคือ ตัวสร้างความถี่สัญญาณนาฬิกากำหนดอัตราความเร็วในการรับส่งข้อมูล อุปกรณ์ต่าง ๆ ที่กล่าวมานี้จะใช้เป็นส่วนประกอบของวงจรรับส่งข้อมูลแบบอนุกรม หน้าที่และการทำงานต่าง ๆ จะอธิบายโดยละเอียดต่อไปในแต่ละหัวข้อต่อไปนี้

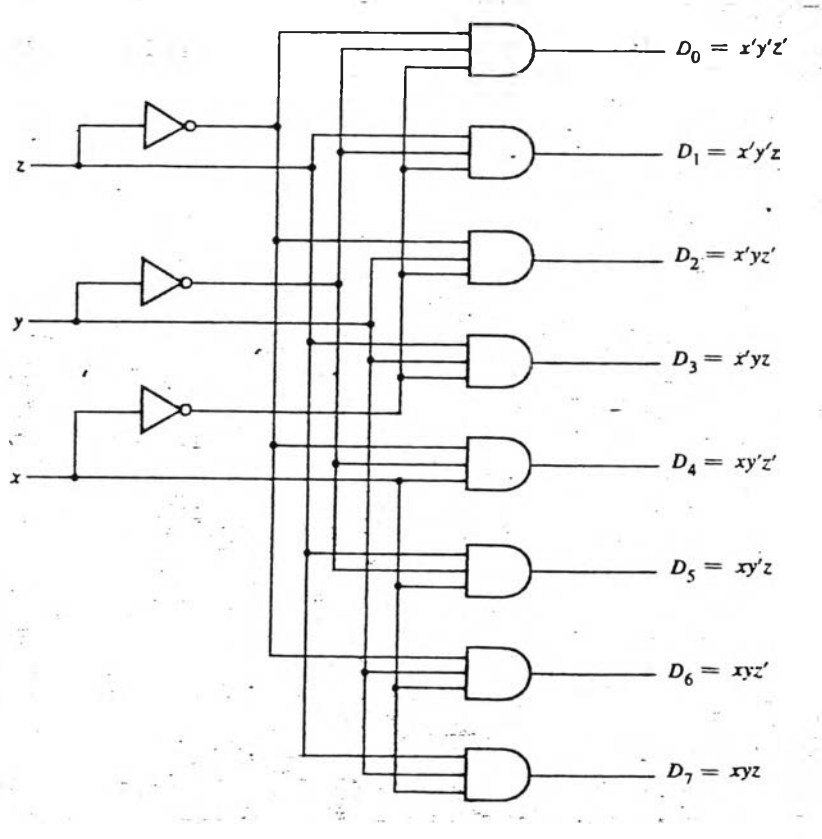
3.1 อุปกรณ์ถอดรหัสเลือกพอร์ทหรือรีจิสเตอร์

อุปกรณ์ส่วนนี้เป็นวงจรซึ่งประกอบขึ้นจากเกตต่าง ๆ ซึ่งปัจจุบันได้มีการสร้างอุปกรณ์ถอดรหัสออกมาเป็นวงจรที่สมบูรณ์อยู่ในตัวไอซีตัวเดียวกัน อุปกรณ์สำหรับถอดรหัสเป็นวงจรรวมซึ่งจะทำหน้าที่เปลี่ยนข้อมูลไบนารี่ จากสายอินพุทจำนวน n สาย เป็นสัญญาณออกทางเอาท์พุทจำนวน 2^n สาย รหัสสัญญาณอินพุทที่เข้ามาจะให้สัญญาณออกทางเอาท์พุทเพียงหนึ่งสายของการถอดรหัสอินพุท 1 ครั้ง

ในวงจรอินเทอร์เฟส ใช้ตัวถอดรหัสเป็นส่วนสร้างสัญญาณควบคุม เพื่อที่จะชี้บอกไปยัง

ส่วนต่าง ๆ ภายในวงจรอินเตอร์เฟสให้ทำงาน ส่วนใหญ่จะใช้เป็นสัญญาณสโตรบ (Strobe) ควบคุมพอร์ทแต่ละตัวหรือควบคุมรีจิสเตอร์ต่าง ๆ เพราะการเรียกอ้างถึงพอร์ทหรือรีจิสเตอร์ให้ทำงาน มักกำหนดสายควบคุมการทำงานไว้ 1 สายหรือมากกว่า

ตัวถอดรหัสซึ่งแสดงไว้ในรูปที่ 3.1 เป็นวงจรถอดรหัสแบบ 3 เป็น 8 มีสาย x y และ z เป็นไบนารีอินพุทและมี D_0 D_1 D_2 ..... D_7 เป็นสายสัญญาณเอาท์พุท สายเอาท์พุทจะให้สัญญาณลอจิก "0" หรือ "1" ตามรหัสของไบนารีที่เข้ามาทางอินพุท x y และ z การทำงานแสดงไว้ในตารางที่ 3.1 ตัวอย่างถ้าอินพุท x y และ z เป็น 001 จะให้เอาท์พุทลอจิก "1" ออกมาที่สาย D_1 ส่วนนอกนั้นจะเป็นลอจิก "0" หมด (1)



รูปที่ 3.1 วงจรถอดรหัสแบบ 3สาย เป็น 8สาย

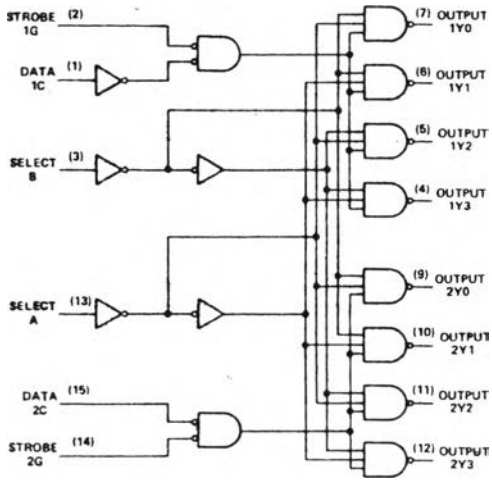
Inputs			Outputs							
x	y	z	D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

ตารางที่ 3.1 แสดงการทำงานของวงจรถอดรหัสแบบ 3เป็น 8สาย

อุปกรณ์ถอดรหัสเลือกพอร์ทหรือรีจิสเตอร์ในวงจรอินเทอร์เฟสที่ออกแบบสร้าง ใช้ไอซีเบอร์ 74LS155 ซึ่งเป็นอุปกรณ์ถอดรหัสแบบ 2 สายเป็น 4 สาย ลักษณะวงจรภายในเป็นลอจิกเกตต่อกันอยู่ ซึ่งแสดงไว้ในรูปที่ 3.2 ไอซีเบอร์ 74LS155 นอกจากจะใช้ถอดรหัสเลือกแบบ 2 สายเป็น 4 สาย ยังสามารถใช้เป็นตัวถอดรหัสแบบ 3 สายเป็น 8 สายได้ด้วย การใช้งานทั้ง 2 แบบดูได้จากตารางในรูปที่ 3.2

การใช้ไอซีเบอร์ 74LS155 เป็นตัวถอดรหัสแบบ 3 สายเป็น 8 สาย จะใช้ $C^{\dagger}$ เป็นรหัสอินพุทอีกหนึ่งสายเพิ่มจาก A และ B ($C^{\dagger}$ คือ 1C ต่อกับ 2C) $G^{\ddagger}$ เป็นข้อมูลหรือสโตรป ($G^{\ddagger}$ คือ 1G ต่อกับ 2G) และเอาท์พุทคือ 1Y0-1Y3 และ

2Y0-2Y3



FUNCTION TABLES
2-LINE-TO-4-LINE DECODER
OR 1-LINE-TO-4-LINE DEMULTIPLEXER

INPUTS				OUTPUTS			
SELECT		STROBE	DATA				
B	A	1G	1C	1Y0	1Y1	1Y2	1Y3
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

INPUTS				OUTPUTS			
SELECT		STROBE	DATA				
B	A	2G	2C	2Y0	2Y1	2Y2	2Y3
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

FUNCTION TABLE
3-LINE-TO-8-LINE DECODER
OR 1-LINE-TO-8-LINE DEMULTIPLEXER

INPUTS				OUTPUTS							
SELECT			STROBE OR DATA	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C†	B	A	G‡	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H
L	H	L	L	H	H	L	H	H	H	H	H
L	H	H	L	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H
H	H	L	L	H	H	H	H	H	H	L	H
H	H	H	L	H	H	H	H	H	H	H	L

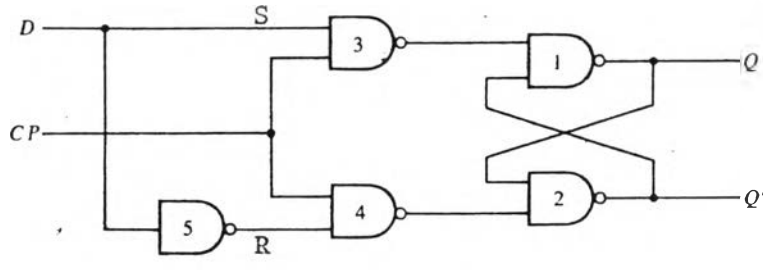
†C = inputs 1C and 2C connected together
‡G = inputs 1G and 2G connected together
H = high level, L = low level, X = irrelevant

รูปที่ 3.2 ลักษณะวงจรภายในและการใช้ไอซีเบอร์ 74LS155

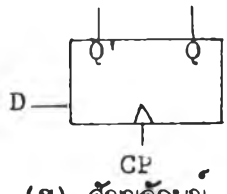
3.2 อุปกรณ์ควบคุมและแสดงสถานะการรับส่ง

การติดต่อข้อมูลถึงกันระหว่างอุปกรณ์รับส่ง จำเป็นต้องมีการส่งสัญญาณสำหรับควบคุมการติดต่อถึงกัน เพื่อให้รู้ว่าจะติดต่อกันด้วยวิธีใด อุปกรณ์ด้านใดเป็นตัวรับอุปกรณ์ด้านใดเป็นตัวส่ง การส่งสัญญาณควบคุมกัน ปกติจะส่งออกจากอุปกรณ์ซึ่งใช้คงสถานะสัญญาณหรือเก็บสัญญาณชั่วขณะได้ ส่วนใหญ่จะใช้อุปกรณ์จำพวกรีจิสเตอร์หรือฟลิบ–ฟลอบเป็นตัวเก็บ ค่าต่าง ๆ ในรีจิสเตอร์หรือฟลิบ–ฟลอบที่ใช้เป็นสัญญาณควบคุมนั้น โปรแกรมควบคุมในไมโครโปรเซสเซอร์จะเป็นตัวกำหนดส่งมาให้

อุปกรณ์ที่ใช้เก็บสถานะของสัญญาณควบคุมในวงจรที่สร้าง ใช้อุปกรณ์แบบ D ฟลิป–ฟลอป แสดงไว้ในรูปที่ 3.3 เป็นวงจรที่พัฒนาขึ้นจาก RS ฟลิป–ฟลอป แบบใช้พัลส์กระตุ้นให้ทำงาน D อินพุท ต่อตรงเข้ากับ S อินพุท และต่อผ่าน นอต เกตเข้า R อินพุท ของ RS ฟลิป–ฟลอป การทำงานแสดงไว้ในตารางในรูปที่ 3.3 ค่าของเอาท์พุท Q จะเปลี่ยนตามอินพุทลอจิกที่กำหนดไว้ที่ขา D เมื่อได้รับพัลส์กระตุ้นทุกครั้ง (1)



(ก) แสดงวงจรโดยใช้ NAND เกต



(ข) สัญญลักษณ์

Q	D	Q(t-1)
0	0	0
0	1	1
1	0	0
1	1	1

(ค) ตารางการทำงาน

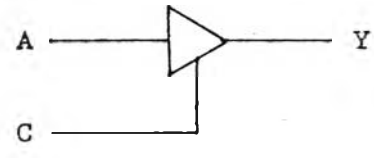
รูปที่ 3.3 D ฟลิป–ฟลอป

วงจรที่ออกแบบสร้างใช้ไอซีเบอร์ 74LS174 เป็น D ฟลิป–ฟลอปแบบมีสายกระตุ้นข้อมูลเข้าเก็บ และสายลบข้อมูล ในไอซีหนึ่งตัวมี D ฟลิป–ฟลอปอยู่ 6 ตัวรายละเอียดเพิ่มเติมดูได้จากภาคผนวก

3.3 อุปกรณ์ควบคุมการต่อสัญญาณเข้ากับบัสข้อมูล

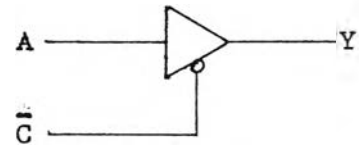
ในไมโครโปรเซสเซอร์นั้น บัสข้อมูลจะต้องต่อเข้ากับส่วนต่าง ๆ ทั้งอินพุทและเอาท์พุทหลายทาง ปกติบัสข้อมูลของไมโครโปรเซสเซอร์จะใช้เป็นทั้งอินพุทและเอาท์พุทในสายเดียวกัน ซึ่งเรียกกันทั่วไปว่าไปไดเรคชั่นนอลบัส (Bidirectional bus) คือจะมีส่วนของวงจร

ไตรสเตตบัฟเฟอร์เกตต่ออยู่ด้วย การต่ออินพุทเอาท์พุทหลาย ๆ ทางเข้ากับบัสข้อมูลโดยตรง จะทำให้เกิดการสับสนของข้อมูล และยังอาจทำให้เกิดการเสียหายในตัวไอซีอันเนื่องจากการไหลของกระแสที่ผิดปกติได้อีกด้วย จึงได้มีการสร้างไตรสเตตเกตขึ้น เพื่อให้สามารถต่อบัสต่าง ๆ เข้าด้วยกันได้ ไตรสเตตเกตเป็นอุปกรณ์จำพวกทีทีแอล ซึ่งจะให้เอาท์พุทออกมาถึง 3 สถานะด้วยกันคือ มี 2 สถานะที่แสดงถึงสัญญาณไบนารี่ "0" และ "1" ซึ่งเป็นไปตามข้อตกลงของทีทีแอลเกต ส่วนอีกสถานะหนึ่งของเอาท์พุทจะมีความต้านทานสูง (High-impedance) คือสายเอาท์พุทนี้คล้ายถูกตัดออกจากระบบที่ต่ออยู่ ไม่มีผลต่อสัญญาณภายนอกอื่น ๆ



C	เอาท์พุท Y
1	Y = A
0	Y = มีความต้านทานสูง

(ก) สายควบคุมแบบพัลส์บวก



$\bar{C}$	เอาท์พุท Y
0	Y = A
1	Y = มีความต้านทานสูง

(ข) สายควบคุมแบบพัลส์ลบ

รูปที่ 3.4 แสดงสัญญลักษณ์และการทำงานของเกตแบบไตรสเตตบัฟเฟอร์

สัญญลักษณ์ของไตรสเตตบัฟเฟอร์ แสดงไว้ในรูปที่ 3.4 สถานะของเอาท์พุท จะขึ้นอยู่กับค่าต่าง ๆ ที่อินพุท A และ อินพุทควบคุม C เมื่ออินพุทควบคุม C เป็นลอจิก "1" เกตนี้จะทำงานเหมือนต่อสวิทช์นำสัญญาณจากอินพุท A ออกไปยังเอาท์พุท Y คือถ้าอินพุท A เป็นลอจิก "1" เอาท์พุท Y ก็จะเป็นลอจิก "1" และถ้าอินพุท A เป็นลอจิก "0" เอาท์พุท Y ก็จะเป็นลอจิก "0" เมื่ออินพุทควบคุม C เป็นลอจิก "0" เอาท์พุท Y จะเหมือนถูกตัดออกจากระบบที่ต่ออยู่ คือเอาท์พุท Y จะมีความต้านทานสูง ไม่มีผลของสัญญาณอินพุท A

เข้าไปในระบบ ไม่ว่าอินพุท A จะเป็นลอจิก "0" หรือ "1" ลักษณะการทำงานเช่นนี้จะทำให้สามารถต่อเอาท์พุทหลาย ๆ ตัวเข้ากับบัสร่วมกันได้ โดยต่อวงจรไตรสเตตบัฟเฟอร์ชั้นไว้ที่เอาท์พุททุกตัวก่อนต่อเข้ากับบัสร่วมและควบคุมการส่งข้อมูลเข้าในบัสทีละส่วนไม่ให้เกิดการสับสน (1)

ในวงจรที่ออกแบบสร้าง มีไอซีจำพวกไตรสเตตบัฟเฟอร์เกตอยู่ในส่วนต่าง ๆ มากมาย โดยเฉพาะส่วนที่ต้องต่อเข้ากับบัสข้อมูลของไมโครโปรเซสเซอร์ จะใช้เกตแบบนี้เป็นบัฟเฟอร์กันอยู่

3.4 อุปกรณ์เปลี่ยนสัญญาณแบบอนุกรมเป็นขนาน และขนานเป็นอนุกรม

การรับส่งข้อมูลแบบต่อเนื่องหรืออนุกรม อุปกรณ์ที่จำเป็นสำหรับการรับส่งแบบนี้คือ อุปกรณ์ที่จะใช้เปลี่ยนข้อมูลแบบขนานเป็นข้อมูลแบบต่อเนื่องในการส่ง และอุปกรณ์ที่จะเปลี่ยนข้อมูลแบบต่อเนื่องเป็นขนานในการรับ อุปกรณ์ที่ใช้เป็นบัฟเฟอร์สำหรับการส่งถ่ายข้อมูลทั้งแบบขนานและอนุกรม ส่วนใหญ่จะใช้รีจิสเตอร์ประกอบการทำงาน ในปัจจุบันอาจสะดวกในการออกแบบวงจรส่วนนี้ เพราะว่ามีการสร้างอุปกรณ์สำหรับทำงานเป็นวงจรที่เกือบสำเร็จรูป เรียกกันว่า ยูอาร์ท

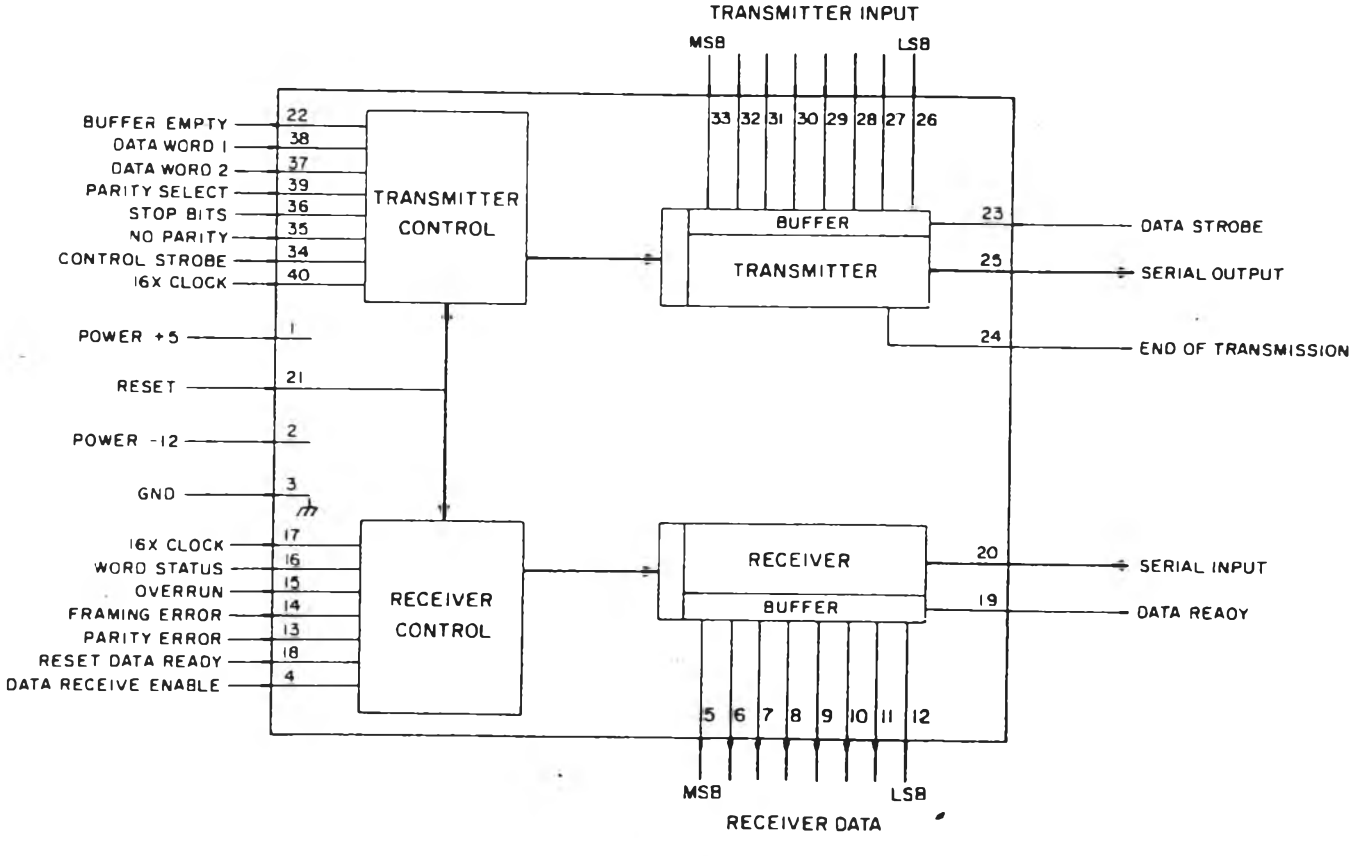
ยูอาร์ท (UART Universal Asynchronous Receiver/Transmitter)

ยูอาร์ทเป็นไอซีจำพวกแอลเอสไอ ซึ่งประกอบด้วยส่วนของวงจรต่าง ๆ รวมอยู่ในตัวเดียวกัน ใช้สำหรับการรับและส่งข้อมูลอนุกรม ในแบบอะซิงโครนัส วงจรภายในของไอซียูอาร์ทจะประกอบด้วยส่วนของวงจรที่สำคัญคือ ส่วนรับข้อมูล (Receiver) และส่วนส่งข้อมูล (Transmitter) ส่วนรับข้อมูลของยูอาร์ทจะทำหน้าที่รับข้อมูลแบบอนุกรมเพื่อเปลี่ยนเป็นข้อมูลแบบขนาน ส่วนส่งข้อมูลจะเปลี่ยนข้อมูลขนานที่ส่งเข้ามาที่ยูอาร์ทเป็นข้อมูลอนุกรมเพื่อส่งออก

ด้านที่จะส่งสัญญาณเข้ากับบัสข้อมูล จะมีเกตจำพวกไตรสเตตบัฟเฟอร์ต่ออยู่ มีสถานะทางเอาท์พุทเช่นเดียวกับเกตจำพวกที่ทีแอลคือ เป็นลอจิก "1" +5 โวลต์ และลอจิก "0"

0 โวลต์ หรือกราวนด์ ในกรณีที่ไม่ต้องการส่งข้อมูลเข้ากับบัสของระบบ จะมีสถานะทางเอาท์พุท เป็นความต้านทานสูง ลักษณะเช่นนี้ทำให้สามารถเชื่อมโยงเอาท์พุทต่าง ๆ ของยูอาร์ทเข้ากับบัสของระบบได้โดยตรง

นอกจากส่วนรับและส่งข้อมูลแล้วยังมีส่วนควบคุมทั้งด้านรับและส่งอีก จากรูปที่ 3.5 ส่วนควบคุมด้านส่ง จะทำหน้าที่กำหนดบิทข้อมูลที่จะส่งต่อเนื่องกันออกไปว่าเป็นเท่าไร ส่วนด้านรับก็เช่นกันตัวควบคุมจะกำหนดว่าจะรับข้อมูลขนาดกี่บิท มีการตรวจสอบว่ามีข้อมูลใดผิดพลาดหรือไม่ ตรวจสอบอย่างไร



รูปที่ 3.5 แสดงส่วนประกอบต่าง ๆของไอซี ยูอาร์ท

การทำงานของยูอาร์ทเป็นแบบอะซิงโครนัส คือจะทำงานเป็นอิสระไม่ขึ้นกับความถี่ของระบบ มีวงจรสร้างความถี่สำหรับการรับและส่งโดยตรง

อัตราการรับส่งข้อมูล (Data rate) ตามมาตรฐานทั่วไปของยูอาร์ท ถ้าทำการติดต่อกันด้วยกระแสไฟตรง (Direct Current) สามารถรับส่งข้อมูลในอัตราสูงถึง 40,000 บิท/วินาที โดยใช้ความถี่นาฬิกาเป็น 16 เท่าของอัตราการรับส่งข้อมูล นั่นคือสามารถใช้ความถี่นาฬิกาได้สูงถึง 640 KH_z

$$\text{อัตราการรับและส่งข้อมูล} = 640,000 \times \frac{1}{16} \quad \text{บิท/วินาที}$$

$$= 40,000 \quad "$$

โดยทั่วไปยูอาร์ทจะมีส่วนควบคุมการเลือกรูปแบบของสัญญาณในการติดต่อดังนี้ คือ

- สามารถกำหนดบิทข้อมูลในการรับส่งเป็น 5 6 7 หรือ 8 บิท
- สามารถเลือกส่งสตอปบิทเป็น 1 หรือ 2 บิทต่อออกไปหลังสิ้นสุดบิทข้อมูล
- สามารถเลือกตรวจสอบพารีตี้ (Parity) หรือไม่ก็ได้
- สามารถเลือกแบบของพารีตี้บิท เป็นพารีตี้คี่ (Odd) หรือ คู่ (Even)

นอกจากเอาท์พุทของข้อมูลแล้ว ยูอาร์ทยังมีแฟลกซึ่งเป็นเอาท์พุทสำหรับแสดงสถานะของบัฟเฟอร์รีจิสเตอร์ ทั้งด้านรับและส่ง ด้านรับจะบอกถึงข้อมูลต่อเนื่องที่รับเข้าบัฟเฟอร์รีจิสเตอร์ว่าเรียบร้อยหรือพร้อมแล้ว (Data ready) ส่วนด้านส่งจะบอกถึงสถานะของบัฟเฟอร์รีจิสเตอร์ว่าว่างหรือไม่ (Transmitter buffer empty)

ทางด้านรับมีแฟลกสำหรับตรวจสอบข้อผิดพลาดของข้อมูลหลายอย่างด้วยกันคือ รูปแบบผิดพลาด (Framing error) ข้อมูลถูกทับโดยตัวใหม่ (Overrun) และบิทข้อมูลที่ส่งผิดพลาด (Parity error) ส่วนรายละเอียดนอกเหนือจากที่กล่าวมาดูเพิ่มเติมในภาคผนวก ค.[3]

รายละเอียดของ ยูอาร์ท TMS 6011 ข้างล่างจะบอกว่า ขาต่าง ๆ ทำหน้าที่อะไร ต้องการไฟเลี้ยงที่ขาไหนเท่าไร รับส่งข้อมูลที่ขาใด

ไฟเลี้ยงที่ต้องการ :

ขา 1 : +5 โวลต์

ขา 2 : −12 โวลต์

ขา 3 : 0 โวลต์

ส่วนส่ง :

ขา 26 (อินพุท) : บิท 1 (LSB) ของการส่งอักขระ ASCII อะซิงโครนัส เป็นบิทแรกที่ถูกส่งออกหลัง สตาร์ทบิท ซึ่งเป็น ลอจิก "0"

ขา 27 (อินพุท) : บิท 2

ขา 28 (อินพุท) : บิท 3

ขา 29 (อินพุท) : บิท 4

ขา 30 (อินพุท) : บิท 5

ขา 31 (อินพุท) : บิท 6

ขา 32 (อินพุท) : บิท 7 (MSB) ของอักขระ ASCII อะซิงโครนัส

ขา 33 (อินพุท) : บิท 8 มักถูกเซ็ทให้เป็น ลอจิก "1" ในระบบ 11 บิท อักขระ ASCII อะซิงโครนัส ซึ่งประกอบด้วย สตาร์ทบิท สตอปบิท และ พาริตี้บิท สามารถเลือกได้ว่าเป็น คู่ หรือคี่ สำหรับกรณีที่ส่งแบบ รหัส BCD จะใช้ ขา 26–27 เท่านั้น

ขา 40 (อินพุท) : 16 X CLOCK 0 ถึง 640 KH_z มีความถี่เป็น 16 เท่า ของอัตราข้อมูล เอาท์พุท

ขา 25 (เอาท์พุท) : SERIAL OUTPUT จากส่วนส่ง มีอัตราความเร็วข้อมูล 0 ถึง 40,000 บิท/วินาที (1/16 ของความถี่สัญญาณนาฬิกา)

ขา 22 (เอาท์พุท) : TRANSMITTER BUFFER EMPTY แฟลก ถ้า TBMT แฟลก เท่ากับ 1 สามารถใส่อักขระใหม่เข้า บัฟเฟอร์ตัวส่ง ถ้า TBMT แฟลก เท่ากับ 0 แสดงว่าบัฟเฟอร์ตัวส่งยังไม่ว่าง

ขา 23 (อินพุท) : DATA STROBE จะรับอินพุทพัลส์แบบลบ (Active low) คือเมื่อสัญญาณเปลี่ยนจาก "0" เป็น "0" แล้วกลับเป็น "1" จะเริ่มส่งข้อมูลจากบัฟเฟอร์ ออกไปทางขา

ขา 24 (เอาท์พุท) : END OF CHARACTER แฟลก เมื่อ EOC แฟลก เท่ากับ 0 ยูอาร์ท จะอยู่ในระหว่างการส่งข้อมูลออกทาง SERIAL OUTPUT (ขา 25) เมื่อ EOC แฟลก เท่ากับ 1 ไม่มีการส่งอักขระ

ขา 21 (อินพุท) : MASTER RESET ให้อินพุทเป็นลอจิก 0 สำหรับช่วงการทำงานของระบบ อินพุทเป็นลอจิก 1 ยูอาร์ทจะถูกรีเซ็ทเริ่มใหม่

ขา 34 (อินพุท) : CONTROL STROBE ถ้าเป็น ลอจิก 1 จะ ส่งค่าควบคุมต่าง ๆ (ขา 35–39) เข้าสู่ CONTROL REGISTER ซึ่ง CONTROL STROBE สามารถใช้ สโตรป ⎍ หรือใช้ต่อสายตรงเป็น ลอจิก 1 ก็ได้ ขานี้จะทำให้สามารถเปลี่ยนบิทควบคุม ต่าง ๆ ได้ตลอด

ขา 35 (อินพุท) : NO PARITY ถ้าเป็น ลอจิก 1 จะตัด พาริตี้บิท ออกจากการส่งและรับ โดย สตอปบิท จะตามหลัง บิทข้อมูลสุดท้าย ถ้าต้องการ พาริตี้ ในการส่งรับด้วย จะต้อง เซ็ทขา นี้เป็น ลอจิก 0

ขา 36 (อินพุท) : NUMBER OF STOP BIT ถ้าเป็น ลอจิก 0 จะมี 1 สตอปบิท ในการส่งแต่ละ อักขระ ถ้าเป็น ลอจิก 1 จะมี 2 สตอปบิท

ขา 37 (อินพุท) :
ขา 38 (อินพุท) : } NUMBER OF DATA BIT/CHARACTER กำหนดตาม ตารางเพื่อเลือกบิทข้อมูลดังนี้

ขา 37	ขา 38	จำนวนของบิทข้อมูล/อักขระ
0	0	5
0	1	6
1	0	7
1	1	8

ขา 39 (อินพุท) : TYPE OF PARITY ขานี้จะเป็นการเลือกชนิดของพาริตี้ ตรวจสอบที่ตามหลัง บิทข้อมูล ถ้าเป็น ลอจิก 0 จะหมายถึง ออดพาริตี้ ถ้าเป็นลอจิก 1 จะหมายถึง อีเวนพาริตี้

ขา 16 (อินพุท) : STATUS WORD ENABLE ถ้าเป็นลอจิก 0 จะทำให้เอาท์พุท ขา 13, 14, 15, 19, และ 22 มีความต้านทานสูงเหมือนถูกตัดออกจากระบบ ถ้าเป็นลอจิก 1 ขาต่าง ๆ เหล่านี้จะให้ผลออกมาเป็นลอจิก 0 หรือ 1 ตามสถานะที่เกิด

ส่วนรับ :

ขา 12 (เอาท์พุท) : บิท 1 (LSB) ของการรับอักขระ ASCII อะซิงโครนัส เป็น บิท แรกที่รับเข้ามาหลังจากสตาร์ทบิท

ขา 11 (เอาท์พุท) : บิท 2

ขา 10 (เอาท์พุท) : บิท 3

ขา 9 (เอาท์พุท) : บิท 4

ขา 8 (เอาท์พุท) : บิท 5

ขา 7 (เอาท์พุท) : บิท 6

ขา 6 (เอาท์พุท) : บิท 7 (MSB) บิทสุดท้ายของอักขระ ASCII อะซิงโครนัส

ขา 5 (เอาท์พุท) : บิท 8 โดยมากมักเป็น ลอจิก 1 ในระบบอักขระ ASCII ที่ประกอบด้วย 1 สตาร์ทบิท 2 สตอปบิท หรืออาจเป็นพาริตี้ บิท ซึ่งสามารถเลือกเป็น อ๊อด หรือ อีเวน พาริตี้

ขา 17 (อินพุท) : 16 X CLOCK 0 ถึง 640 KH_z มีความถี่เป็น 16 เท่าของอัตราความเร็วข้อมูล

ขา 20 (อินพุท) : SERIAL INPUT จากส่วนรับ มีอัตราความเร็วข้อมูล อยู่ในช่วง 0 ถึง 40,000 บิท/วินาที (1/16 ของความถี่ สัญญาณนาฬิกา)

ขา 4 (อินพุท) : RECEIVE DATA ENABLE ถ้าเป็น ลอจิก 0 จะเป็น การกระตุ้นข้อมูล ออกสายเอาท์พุท 5 ถึง 12

ขา 19 (เอาท์พุท) : RECEIVE DATA AVAILABLE แฟลก ถ้าเป็นลอจิก 1 แสดงว่าข้อมูล สามารถนำออกใช้งานได้ ถ้าเป็นลอจิก 0 แสดงว่าข้อมูลที่ภาครับ ยังไม่พร้อมใช้งาน

ขา 18 (อินพุท) : RESET DATA AVAILABLE ถ้าเป็นลอจิก 0 คือการ รีเซ็ท RECEIVE DATA แฟลก (ขา 19)

ขา 13 (เอาท์พุท) : RECEIVE PARITY ERROR แฟลก ขานี้จะเป็นลอจิก 1 ถ้าอักขระ ที่รับเข้ามาตรวจพาริตี้ แล้วไม่ถูกต้องตามที่ตั้งไว้ ที่ขา 39

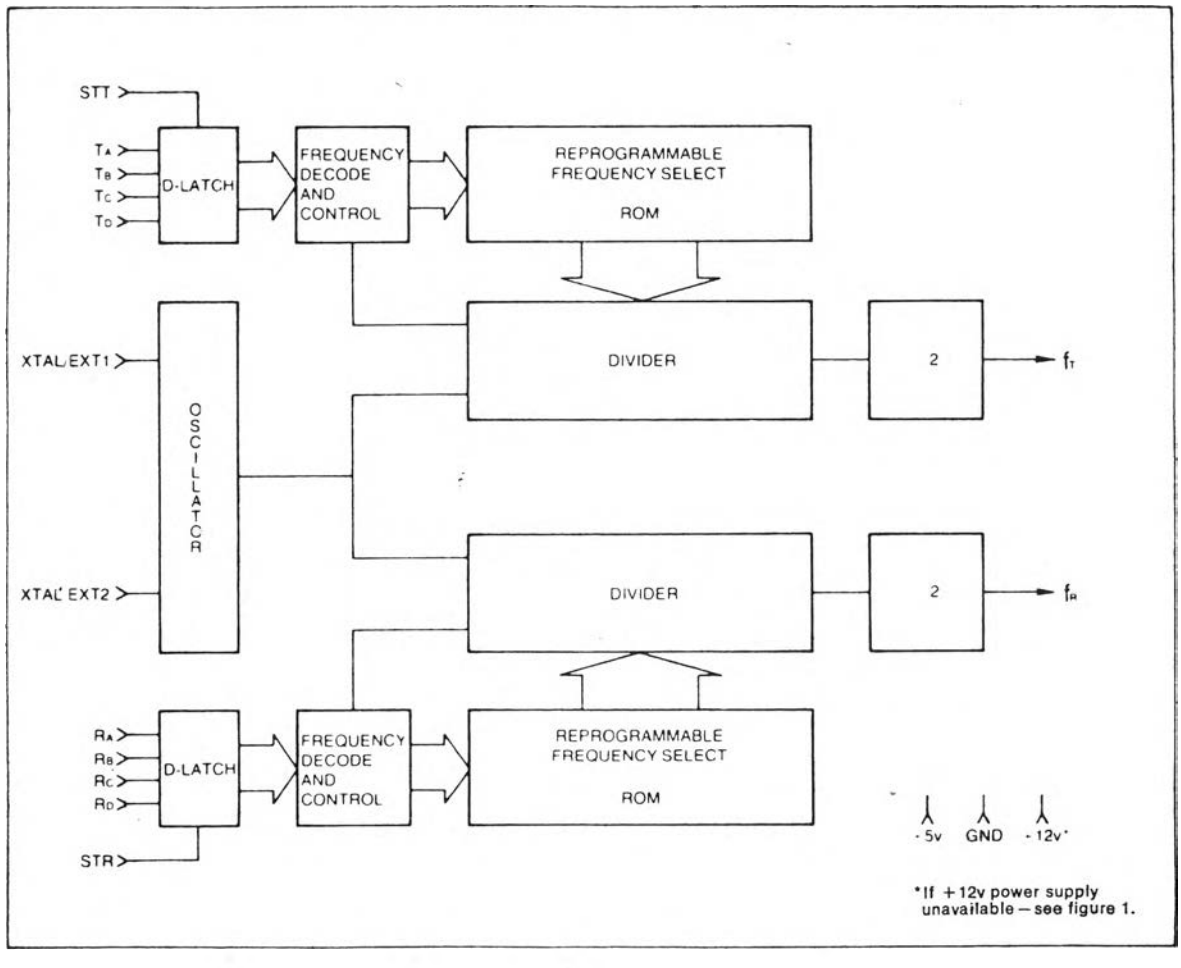
ขา 14 (เอาท์พุท) : FRAMING ERROR แฟลก ขานี้จะเป็นลอจิก 1 ถ้าอักขระ ที่รับเข้ามามี สตอปบิท ไม่ตรงกับที่ตั้งไว้

ขา 15 (เอาท์พุท) : OVER-RUN ขานี้จะเป็นลอจิก 1 ถ้า RECEIVE DATA AVAILABLE แฟลก ไม่ถูก รีเซ็ท และมีข้อมูลตามเข้ามาอีก

I16728506

3.5 อุปกรณ์สร้างอัตราความถี่

การสื่อสารข้อมูลแบบอะซิงโครนัสจะต้องมีส่วนของวงจรสร้างความถี่สัญญาณนาฬิกา เพื่อส่งให้ส่วนรับข้อมูลและส่วนส่งข้อมูล ความถี่ที่ใช้สำหรับการรับส่งข้อมูลแบบอะซิงโครนัสด้านรับและด้านส่งจะต้องใช้ความถี่ในอัตราเดียวกัน กำหนดเรียกกันเป็น บอดเรท (Baud rate หรือ บิท/วินาที) ใช้ความถี่ 16 หน่วยสัญญาณนาฬิกาในการส่ง 1 บิท เช่นถ้าต้องการส่งด้วย บอดเรท 1,200 ตัวส่งจะต้องใช้ความถี่สัญญาณนาฬิกา เป็น 19.2 KH_z วงจรที่ออกแบบสร้างกำหนดไว้เพื่อรับส่งด้วยบอดเรทสูงสุด 9,600 ซึ่งใช้ความถี่สูงสุด 153.6 KH_z สำหรับเป็นสัญญาณนาฬิกา



รูปที่ 3.6 แสดงส่วนประกอบต่าง ๆ ของไอซีเบอร์ COM 5016

CRYSTAL FREQUENCY = 5.0688 MHz

Transmit/Receive Address D	C	B	A	Baud Rate	Theoretical Frequency 16X Clock	Actual Frequency 16X Clock	Percent Error	Duty Cycle %	Divisor
0	0	0	0	50	0.8 KHz	0.8 KHz	—	50/50	6336
0	0	0	1	75	1.2	1.2	—	50/50	4224
0	0	1	0	110	1.76	1.76	—	50/50	2880
0	0	1	1	134.5	2.152	2.1523	0.016	*	2355
0	1	0	0	150	2.4	2.4	—	50/50	2112
0	1	0	1	300	4.8	4.8	—	50/50	1056
0	1	1	0	600	9.6	9.6	—	50/50	528
0	1	1	1	1200	19.2	19.2	—	50/50	264
1	0	0	0	1800	28.8	28.8	—	50/50	176
1	0	0	1	2000	32.0	32.081	0.253	50/50	158
1	0	1	0	2400	38.4	38.4	—	50/50	132
1	0	1	1	3600	57.6	57.6	—	50/50	88
1	1	0	0	4800	76.8	76.8	—	50/50	66
1	1	0	1	7200	115.2	115.2	—	50/50	44
1	1	1	0	9600	153.6	153.6	—	*	33
1	1	1	1	19.200	307.2	316.8	3.125	50/50	16

* When Duty Cycle is not exactly 50%, it is 50% ± 10%.

ตารางที่ 3.2 แสดงการกำหนดเลือกอัตราความเร็วรับส่งของไอซี COM 5016

อุปกรณ์สร้างความถี่ที่เลือกใช้ในวงจร เป็นไอซีเบอร์ COM5016 สามารถสร้างความถี่สัญญาณนาฬิกาส่งตรงให้ยูอาร์ทได้เลย ความถี่ที่จะส่งให้ตัวรับและตัวส่ง สามารถกำหนดเลือกได้ตามมาตรฐานของอัตรารับส่งที่ใช้กันอยู่ ในรูปที่ 3.6 เป็นแผนภูมิแสดงโครงสร้างภายในของไอซีเบอร์ COM5016 T_A-T_D และ R_A-R_D เป็นขาเลือกความถี่ STT และ STR จะเป็นสโตรปส่งสัญญาณเลือกเข้าควบคุม ความถี่เอาท์พุทจะออกมาทางขา f_T และ f_R และต้องใช้ผลึก (Crystral)กำหนดความถี่ 5.0688 MH_z ต่อเข้ากับวงจรออสซิลเลเตอร์ การเลือกความถี่เอาท์พุทสำหรับกำหนดอัตราความเร็วรับส่ง สามารถเลือกได้ตามต้องการ ดูได้จากตารางที่ 3.2