บทที่ 4

การวาดลายวงจรรวม (Layout) และแผ่นทดสอบวงจรรวม

เนื้อหาในบทนี้กล่าวถึงขั้นตอนหลังจากการออกแบบและจำลองการทำงาน คือการวาดลายวงจรรวม เพื่อให้วงจรที่ออกแบบกลายเป็นวงจรต้นแบบที่สามารถส่งให้โรงงานเจือสารนำไปผลิตได้ และการออกแบบแผ่นทดสอบเพื่อนำวงจรต้นแบบที่ได้มาทดสอบเพื่อวัดผลการทดลอง เป็นการยืนยันถึงความถูกต้องในการออกแบบ

4.1 การวาดลายวงจรรวม

เมื่อได้วงจรที่ทำงานได้ตามต้องการซึ่งยืนยันได้ด้วยการจำลองการทำงานแล้ว ขั้นต่อไปในการออกแบบคือการนำวงจรมาเขียนลายวงจรรวม เพื่อส่งให้โรงงานเจือสารทำการผลิตวงจรต้นแบบ (Prototype circuit) ต่อไป การวาดลายวงจรรวมจะทำบนโปรแกรมสำหรับวาดลายวงจรรวมโดยเฉพาะ ได้แก่ โปรแกรมแอลเอดิต (L-edit) และเวอร์ทัวโซ (Virtuoso) ข้อมูลสำหรับการวาดลายวงจรรวมนั้นต้องสอดคล้องกับข้อมูลที่ใช้ในการจำลองการทำงาน

ระหว่างการวาดจะต้องตรวจสอบว่าสิ่งที่วาดลงไปนั้นไม่ขัดกับข้อกำหนดของโรงงานด้วยการทำดีอาร์ซี (DRC หรือ Design Rule Check) โดยใช้ฟังก์ชันดีอาร์ซีในโปรแกรมแอลเอดิต หรือใช้โปรแกรมดีวา (DIVA) สำหรับลายวงจรรวมจากโปรแกรมเวอร์ทัวโซ

หลังการวาดลายวงจรรวมเสร็จสิ้นจะต้องตรวจสอบความถูกต้องของลายวงจรที่วาดด้วยการสกัด (Extract) ข้อมูลจากลายวงจรรวมกลับมาเป็นเน็ตลิสต์เพื่อตรวจทานกับเน็ตลิสต์ที่ใช้จำลองการทำงานว่าตรงกัน เรียกว่ากระบวนการแอลวีเอส (LVS หรือ Layout Versus Schematic) ในกรณีที่วงจรมีความซับซ้อนและมีทรานซิสเตอร์จำนวนมาก จำเป็นต้องอาศัยโปรแกรมตรวจสอบเข้ามาช่วย ในงานวิจัยนี้ใช้โปรแกรมที่ชื่อว่าแอลวีเอสในการตรวจสอบเน็ตลิสต์ เมื่อตรงกันแล้วจึงสามารถส่งลายวงจรรวมไปผลิตได้

รายละเอียดในการวาดลายวงจรรวมสามารถแบ่งออกเป็นห้าส่วน เช่นเดียวกับการออกแบบวงจร ได้แก่ วงจรไบแอสแบบแบนด์แกป วงจรส่วนหน้า ตัวแปลงแอนะล็อกเป็นดิจิทัล วงจรปรับเทียบ และวงจรส่วนดิจิทัล การวาดลายวงจรรวม 4 ส่วนแรกจะเป็นการวาดด้วยมือทั้ง

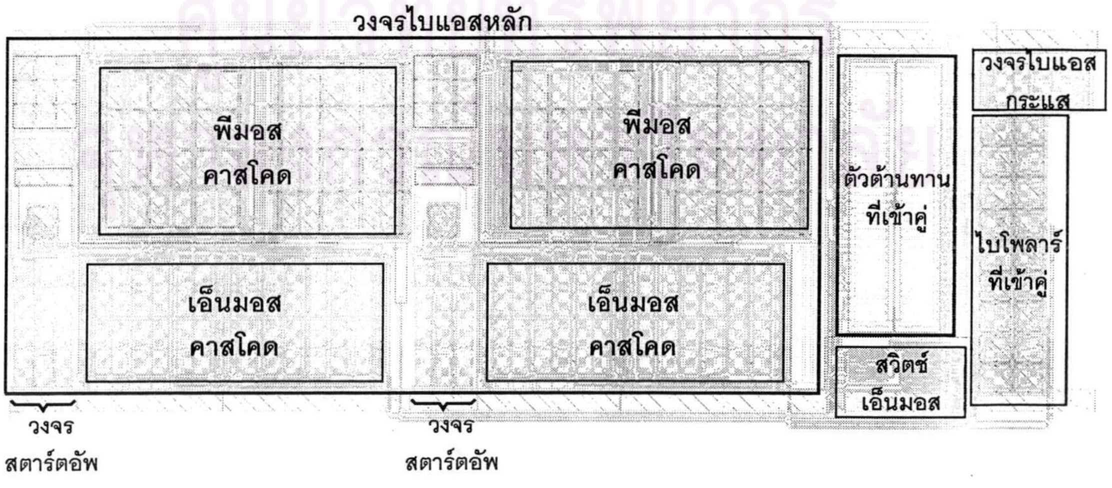
หมด ส่วนวงจรส่วนดิจิทัลจะใช้กระบวนการสร้างลายวงจรรวมอัตโนมัติที่เรียกว่าเอสพีอาร์ (SPR หรือ Standard-cell Place and Route)

4.1.1 วงจรไบแอสแบบแบนด์แกป

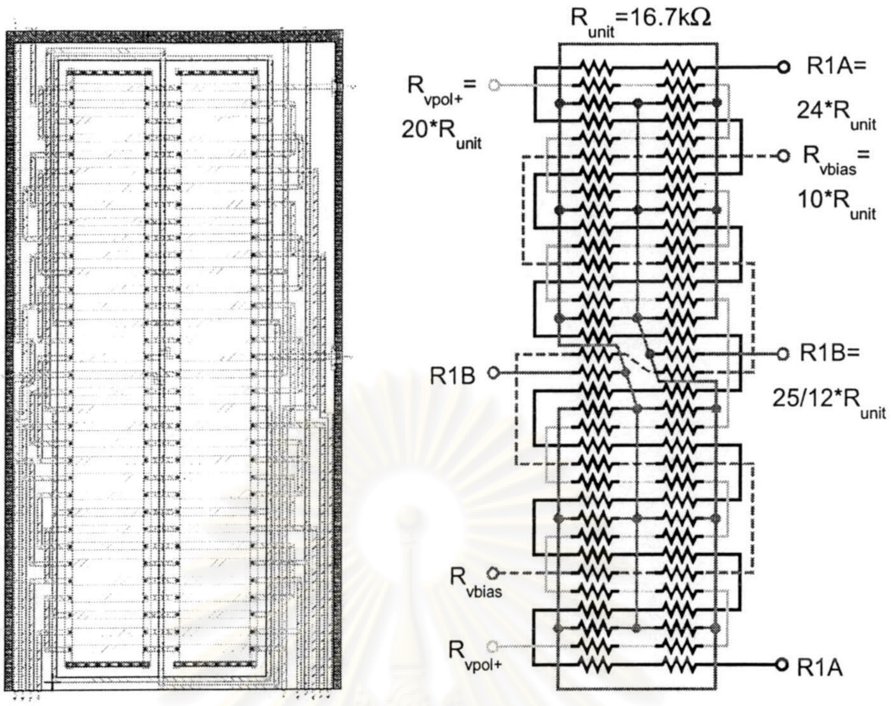
วงจรไบแอสในรูปที่ 3-9 มีลายวงจรเป็นดังรูปที่ 4-1 วงจรในรูปประกอบด้วยวงจรไบแอสหลักซึ่งประกอบด้วยวงจรไบแอสตัวเองแบบคาสโคด และวงจรสตาร์ตอัพ วงจรสร้างแรงดันอ้างอิงซึ่งประกอบด้วยตัวต้านทานและสวิตช์เอ็นมอส และวงจรไบแอสกระแสซึ่งเป็นทรานซิสเตอร์เอ็นมอส หลักการวางตำแหน่งของอุปกรณ์แอนะล็อกในงานวิจัยนี้จะยึดเทคนิคที่ใช้กันทั่วไป [48] เช่น เทคนิคเซนทรอยด์ร่วม (Common-centroid) และการใช้อุปกรณ์หุ่น (Dummy device) เพื่อให้อุปกรณ์มีความเข้าคู่ดีเป็นหลัก นอกจากนี้ยังต้องคำนึงถึงข้อแนะนำจากโรงงานเจือสารคือไม่ควรวางชั้นโลหะ (Metal layer) พาดผ่านอุปกรณ์ที่ต้องการให้มีความเข้าคู่ดี สำหรับตัวต้านทานและตัวเก็บประจุควรแบ่งเป็นหน่วยย่อย โดยให้อุปกรณ์ที่คู่กันสามารถสร้างจากหน่วยย่อยหน่วยเดียวกันได้ ดังเช่นตัวต้านทานในวงจรไบแอสแบบแบนด์แกปซึ่งต้องการให้เข้าคู่กันจะจัดวางเป็นกลุ่มของตัวต้านทานหนึ่งหน่วยดังรูปที่ 4-2 และทรานซิสเตอร์ไบโพลาร์แนวตั้งดังรูปที่ 4-3

4.1.2 วงจรส่วนหน้า

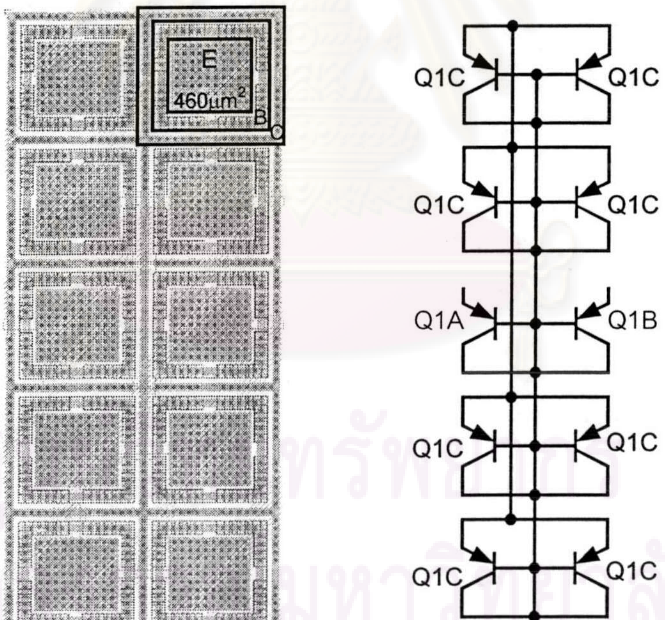
รูปที่ 4-4 แสดงลายวงจรรวมของวงจรส่วนหน้าซึ่งมีผังวงจรแสดงในรูปที่ 3-17 เฉพาะส่วนที่เป็นทรานซิสเตอร์ (ไม่รวมออปแอมป์ออฟเซตต่ำ) ทรานซิสเตอร์ที่ทำหน้าที่เป็นแหล่งจ่ายกระแสจำเป็นต้องมีความเข้าคู่กันดีเพื่อให้กระแสออฟเซตแบบสุ่มของวงจรส่วนหน้ามีค่าน้อย ดังนั้นจึงต้องวาดลายวงจรรวมในลักษณะเซนทรอยด์ร่วม ส่วนทรานซิสเตอร์เอ็นมอสซึ่งเป็นวงจรขยายคอมมอนเกต ทำหน้าที่บัฟเฟอร์กระแส (MN2A-C) นั้นไม่จำเป็นต้องเข้าคู่กันจึงวาดลายวงจรธรรมดาได้ ส่วนลายวงจรรวมของออปแอมป์สองขั้นตอนแสดงในรูปที่ 4-5 ทรานซิสเตอร์ที่ใช้



รูปที่ 4-1 ลายวงจรรวมของวงจรไบแอสแบบแบนด์แกป (พื้นที่ 1190x444 μm^2)

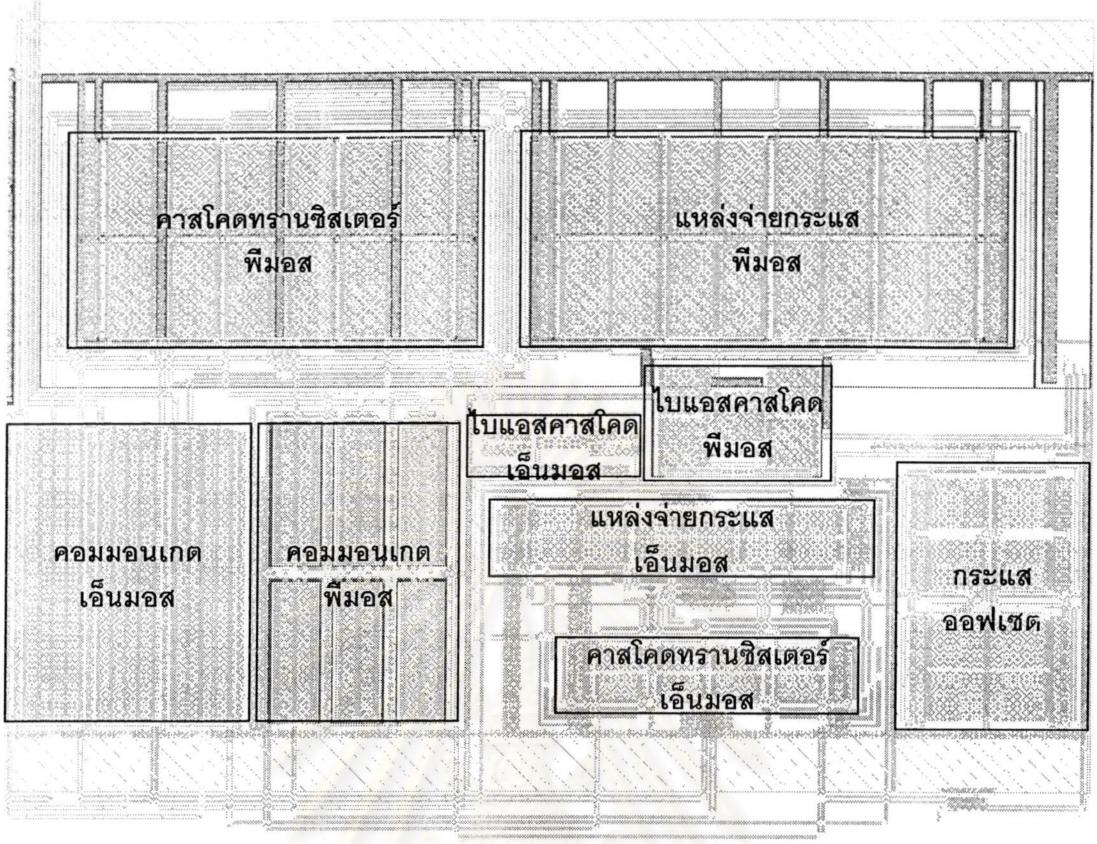


รูปที่ 4-2 ผังการเชื่อมต่อตัวต้านทานหนึ่งหน่วยเพื่อใช้ในวงจรไบแอส (พื้นที่ 162x314 μm^2)

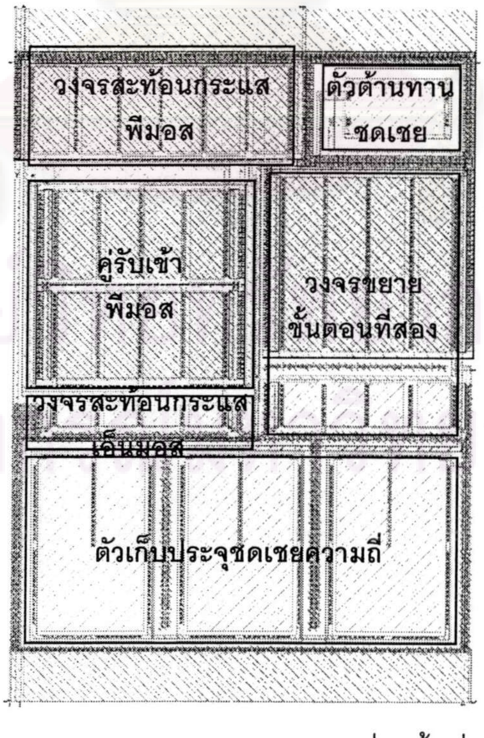


รูปที่ 4-3 ลายวงจรรวมของทรานซิสเตอร์ไบโพลาร์และการเชื่อมต่อ (พื้นที่ 78x174 μm^2)

ในวงจรขยายขั้นตอนแรกจะวางให้เข้าคู่กันเพื่อลดผลของออฟเซตแบบสุ่ม ขณะที่ทรานซิสเตอร์ในขั้นตอนที่สองไม่จำเป็นต้องเข้าคู่กับทรานซิสเตอร์ในขั้นตอนที่หนึ่งนัก จึงวาดลายวงจรแยกออกจากกันได้



รูปที่ 4-4 ลายวงจรรวมของวงจรส่วนหน้า (ไม่รวมออปแอมป์) (พื้นที่ 451x354 μm^2)



รูปที่ 4-5 ลายวงจรรวมของออปแอมป์ออฟเซตต่ำ (พื้นที่ 218x323 μm^2)

4.1.3 ตัวแปลงแอนะล็อกเป็นดิจิทัล

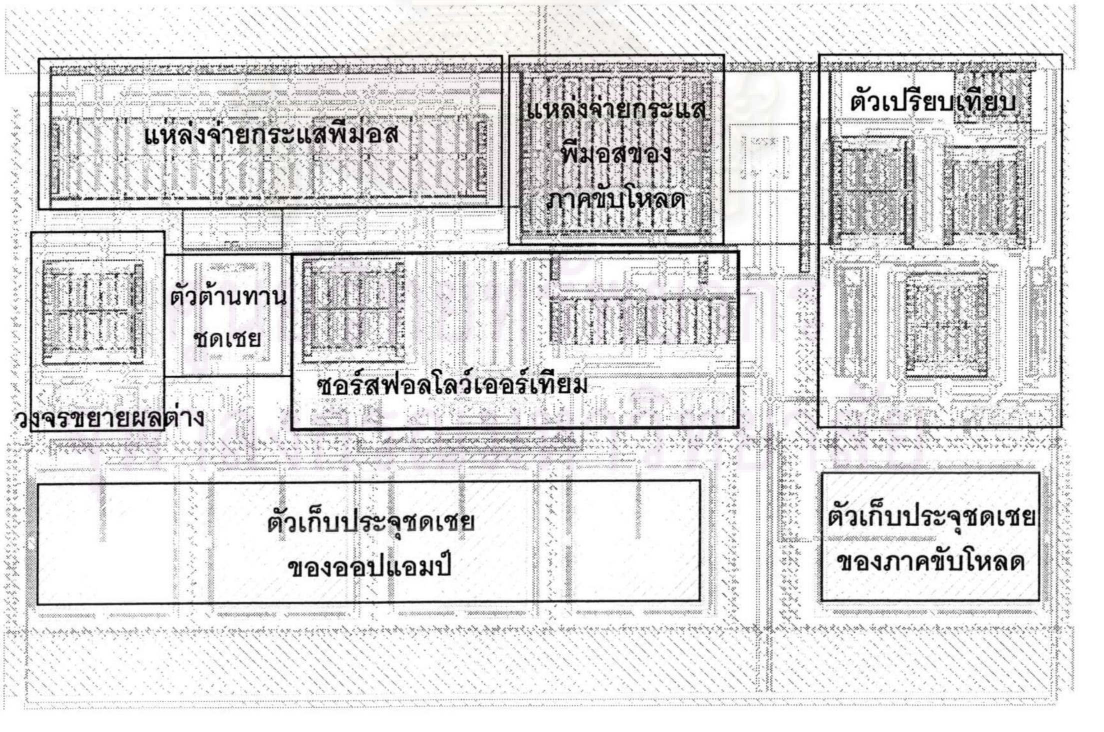
ตัวแปลงแอนะล็อกเป็นดิจิทัลประกอบด้วยออปแอมป์สองขั้นตอน และภาคขับโหลดในรูปที่ 3-22 และตัวเปรียบเทียบในรูปที่ 3-23 มีลายวงจรรวมเป็นดังรูปที่ 4-6 ข้อควรระวังอยู่ที่การลากสายสัญญาณนาฬิกามายังตัวเปรียบเทียบ สายสัญญาณดังกล่าวไม่ควรจะผ่านวงจรในส่วนแอนะล็อกหรืออยู่ใกล้กับสายสัญญาณที่มีความถี่ต่ำ และการวางตัวเปรียบเทียบไว้ข้างออปแอมป์นั้นควรจะมีคอนแทกต์ตัวฐานรอง (Substrate contact) จำนวนมากวางกั้นระหว่างตัวเปรียบเทียบกับออปแอมป์ เพื่อลดผลการรบกวนทางตัวฐานรองให้น้อยที่สุด

4.1.4 วงจรปรับเทียบ

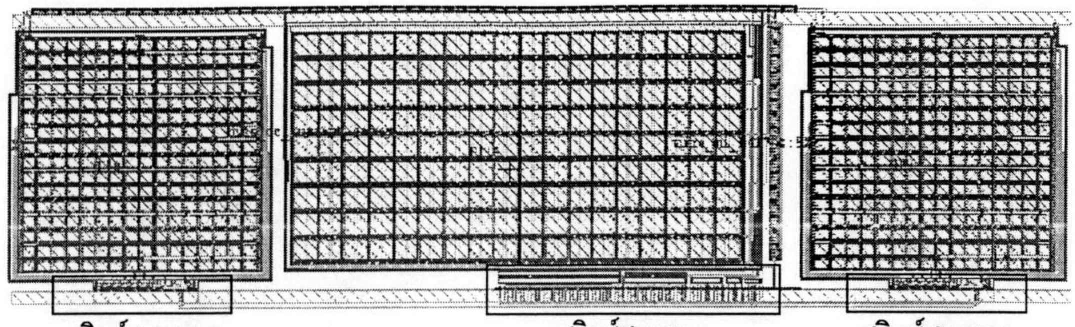
โครงสร้างหลักของวงจรปรับเทียบในรูปที่ 3-29 ได้แก่ แถวลำดับแหล่งจ่ายกระแสและวงจรหารกระแสโดยมีลายวงจรรวมเป็นดังรูปที่ 4-7 ด้านล่างของแถวลำดับและวงจรหารกระแสมีสวิตช์สองทางซึ่งถูกควบคุมโดยหน่วยปรับเทียบของวงจรดิจิทัล

4.1.5 วงจรส่วนดิจิทัล

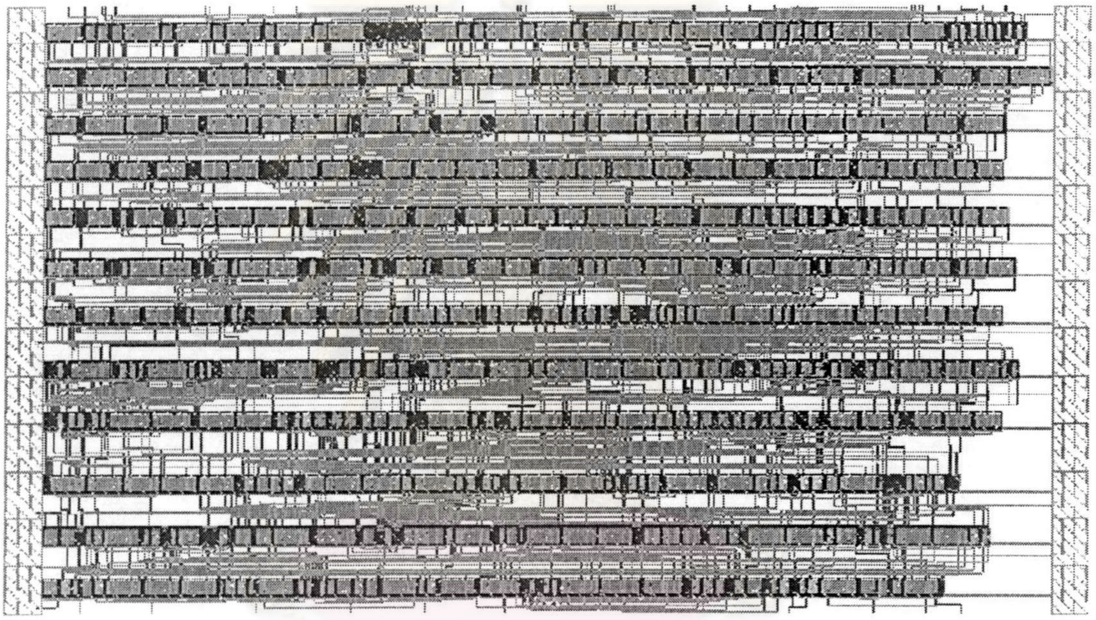
จากผังวงจรที่ออกแบบไว้ เราสามารถส่งออกเป็นเน็ตลิสต์และนำเน็ตลิสต์ที่ได้ไปผ่านกระบวนการเอสพีอาร์ซึ่งรองรับโดยโปรแกรมที่ใช้วาดลายวงจรรวม ลายวงจรรวมของวงจรส่วนดิจิทัลที่โปรแกรมสร้างขึ้นมีลักษณะดังรูปที่ 4-8



รูปที่ 4-6 ลายวงจรรวมของตัวแปลงแอนะล็อกเป็นดิจิทัล (พื้นที่ 403x261 μm^2)



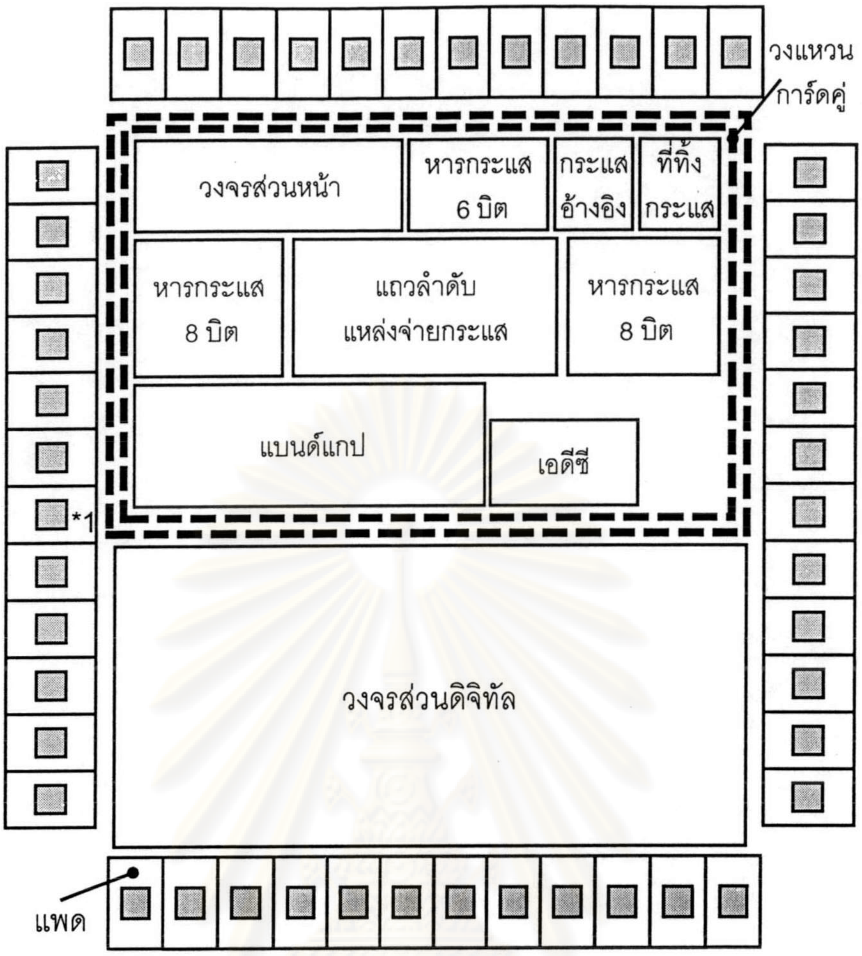
รูปที่ 4-7 ลายวงจรรวมของแถวลำดับแหล่งจ่ายกระแสปรับเทียบ (พื้นที่ 1902x539 μm^2)



รูปที่ 4-8 ลายวงจรรวมของวงจรส่วนดิจิทัล (พื้นที่ 2298x1275 μm^2)

4.1.6 ผังการจัดตำแหน่งลายวงจรรวม (Layout floorplan)

เมื่อได้ส่วนต่างๆ ของวงจรรวมแล้วจะต้องนำมารวมกันและเชื่อมต่อสายสัญญาณระหว่างวงจรแต่ละส่วน การวางตำแหน่งของวงจรทั้งห้าส่วนแสดงในรูปที่ 4-9 วงจรสร้างกระแสอ้างอิงนั้นแยกออกจากวงจรส่วนสร้างแรงดันไบแอส เนื่องจากวงจรส่วนนี้จำเป็นต้องต่อกับตัวต้านทานภายนอก จึงควรอยู่ใกล้แพดเพื่อให้สายสัญญาณสั้นที่สุดเท่าที่เป็นไปได้ เหตุผลเดียวกันนี้ใช้ได้กับวงจรส่วนหน้าด้วย เนื่องจากวงจรส่วนหน้าต้องรับสัญญาณกระแสจากตัวตรวจรู้ซึ่งอยู่ภายนอก การวางตำแหน่งของวงจรไบแอสหลักและแถวลำดับแหล่งจ่ายกระแสจะอยู่ใกล้จุดกึ่งกลางชิป ซึ่งบริเวณนี้จะมีความไม่เข้าคู่ต่ำกว่าบริเวณขอบชิป ที่ทิ้งกระแสที่แสดงในรูปหมายถึงวงจรที่ทำหน้าที่รับกระแสจากแถวลำดับที่ไม่ได้ใช้ ซึ่งเป็นส่วนหนึ่งในวงจรปรับเทียบ นอกจากนี้ยังมีการป้องกันสัญญาณรบกวนจากวงจรดิจิทัลผ่านทางตัวฐานรอง โดยใช้วงแหวนการ์ดคู่ (Double



รูปที่ 4-9 ผังการจัดตำแหน่งส่วนต่างๆ ของวงจร

guard ring) ล้อมรอบวงจร วงแหวนด้านในประกอบขึ้นจากคอนแทกต์ตัวฐานรอง ส่วนวงแหวนด้านนอกประกอบขึ้นจากคอนแทกต์บ่อชนิดเอ็น (N-well contact)

4.2 การวางแพด (Pad) และกำหนดขา (Pin)

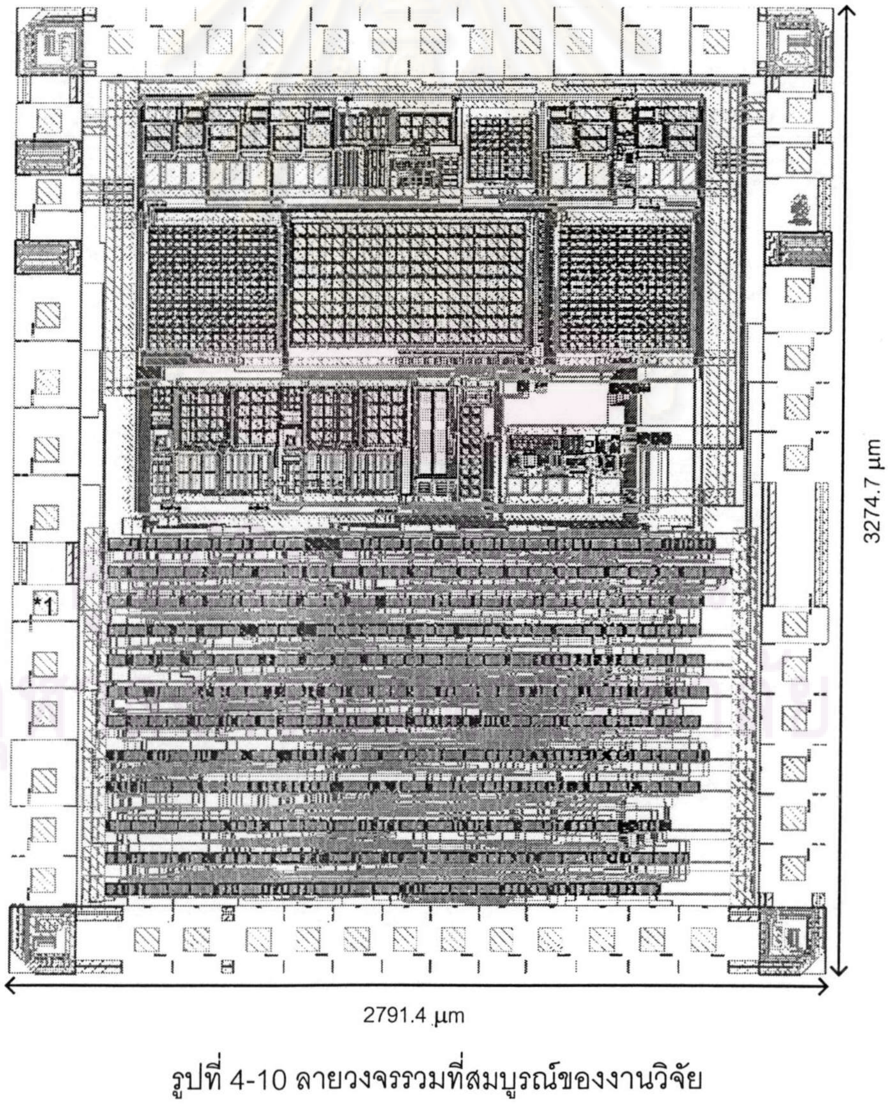
เมื่อสร้างลายวงจรรวมที่ต้องการได้แล้ว จะต้องสร้างแพดเพื่อเป็นจุดเชื่อมต่อระหว่างวงจรรวมกับลวดเชื่อม ซึ่งจะนำสัญญาณผ่านเข้าหรือออกจากชิป แพดซึ่งเป็นเซลล์มาตรฐานจากโรงงานที่ใช้ในงานวิจัยนี้มีอยู่สี่ประเภทด้วยกัน ได้แก่

- แพดป้องกัน ESD เป็นแพดที่มีไดโอดป้องกันไฟฟ้าสถิตย์
- แพดป้องกัน ESD และมีตัวต้านทานอนุกรม มีไดโอดเช่นเดียวกับแพดชนิดแรก แต่มีตัวต้านทานค่าต่ำต่ออนุกรมอยู่ ซึ่งป้องกันไฟฟ้าสถิตย์ได้มากยิ่งขึ้น
- แพดจ่ายกำลัง สำหรับต่อแหล่งจ่ายแรงดันเข้ากับวงจรรวม และจ่ายแรงดันให้กับวงแหวนแพด (Pad ring)

- แพดกราวด์ สำหรับต่อกราวด์ของวงจรรวมเข้ากับกราวด์ภายนอก และเป็นกราวด์ของวงแหวนแพด

นอกจากนี้ยังมีเซลล์มาตรฐานอื่นที่จำเป็นต่อการสร้างแพด ได้แก่ เซลล์มุม (Corner cell) ซึ่งใช้สำหรับเชื่อมต่อวงแหวนแพดที่มุมของชิป และเซลล์ป้องกัน ESD ที่มาทางแพดจ่ายกำลัง แพดสำหรับสัญญาณแอนะล็อกจะรวมกันอยู่ด้านบน โดยเฉพาะแพดสำหรับสัญญาณเข้าจะวางในตำแหน่งที่ใกล้กับขอบตัวถึงมากที่สุดเพื่อให้ลวดเชื่อมสั้น ทำให้ผลของสัญญาณรบกวนลดลง ลายวงจรรวมที่ต่อเข้ากับแพดเรียบร้อยแล้ว เป็นดังรูปที่ 4-10 พื้นที่ของวงจรรวม (Active die area) เท่ากับ 6.57mm^2 และพื้นที่ของชิปเท่ากับ 9.14 mm^2

การจัดตำแหน่งของชิป และการกำหนดขาสัญญาณเข้า/ออกของชิป ในตัวถัง (Package) แบบดิพ 48 ขา (DIP 48) (กรณีที่ไม่ต้องการแก้จุดบกพร่อง สามารถจะลดขาที่ไม่จำเป็นออกได้ 5 ขา ได้แก่ ขาที่ 28 และ 39 ถึง 42) เป็นไปตามรูปที่ 4-11 และคำอธิบายของแต่ละขาเป็นดัง



รูปที่ 4-10 ลายวงจรรวมที่สมบูรณ์ของงานวิจัย

ตารางที่ 4-1 ขาที่หนึ่งเชื่อมกับแพดที่มีเครื่องหมาย *1 กำกับ และขาลำดับถัดไปเรียงตามทิศทวนเข็มนาฬิกา ชื่อขาในรูปและตารางที่เห็นนี้แสดงชื่อขาที่ใช้ในการแก้จุดบกพร่องไว้ด้วย โดยใช้เครื่องหมาย | แบ่งระหว่างสัญญาณที่ใช้ปกติ (ชื่อแรก) กับสัญญาณที่ใช้แก้จุดบกพร่อง (ชื่อหลัง) อย่างไรก็ตามรายละเอียดของวงจรและวิธีแก้จุดบกพร่องอยู่นอกเหนือขอบเขตของงานวิจัย จึงสรุปไว้เพียงรายละเอียดของขา และเรจิสเตอร์ภายในที่เกี่ยวข้องกับการแก้จุดบกพร่องเท่านั้นดังตารางที่ 4-1 และตารางที่ 4-2

รูปที่ 4-11 ตำแหน่งของชิปบนตัวถัง และชื่อสัญญาณที่ขาต่างๆ

ตารางที่ 4-1 คำอธิบายชื่อขา

ลำดับ	ชื่อขา	ชนิด	คำอธิบาย
1	VDDD	กำลัง	แรงดันแหล่งจ่ายสำหรับวงจรส่วนดิจิทัล
43	VDDA	กำลัง	แรงดันแหล่งจ่ายสำหรับวงจรส่วนแอนะล็อก
29	VDDRING	-	วงแหวนการ์ดด้านนอก (สารกึ่งตัวนำชนิดเอ็น)
24	VSSD	กำลัง	กราวด์ของวงจรส่วนดิจิทัล
30	VSSA & CAVITY	กำลัง	กราวด์ของวงจรส่วนแอนะล็อก และเชื่อมเข้ากับโพรง (Cavity) ของตัวถัง
44	VSSRING & CAVITY	-	วงแหวนการ์ดด้านใน (สารกึ่งตัวนำชนิดพี) และเชื่อมเข้ากับโพรงของตัวถัง
2	RESET	เข้า	รีเซตวงจรส่วนดิจิทัล ส่งผลให้วงจรปรับเทียบกลับสู่ค่าโดยปริยาย (Default) คือ Ioscal = 0, Isncal = 1 μA (ปกติ) และเอดีซีอยู่ในเฟสการรีเซต
4	CLK	เข้า	สัญญาณนาฬิกาสำหรับวงจรส่วนดิจิทัล
45	SENSCAL	เข้า	วงจรเริ่มปรับเทียบความไวเมื่อได้รับสัญญาณเข้าเป็นตรรกะ 0
46	OFFSCAL	เข้า	วงจรเริ่มปรับเทียบออฟเซตเมื่อได้รับสัญญาณเข้าเป็นตรรกะ 0

28	TEST/NORM	เข้า	0: วงจรทำงานเป็นระบบประมวลผลสำหรับตัวตรวจรู้ที่ให้กระแสออก 1: วงจรเข้าสู่สถานะทดสอบ ขาสัญญาณสำหรับจอผลึกเหลวกลายเป็นขาสัญญาณสำหรับการทดสอบ
47	50/1	เข้า	0: อัตราการแสดงผลเป็น 1/50 เท่า (5 Hz) ของอัตราแปลงสัญญาณ และเฉลี่ยค่าที่แปลงได้ทุกๆ 50 ค่า 1: ไม่มีการเฉลี่ยค่าของสัญญาณ และรับสัญญาณมอดูเลตจากภายนอก
48	1000/100	เข้า	0: ปรับเทียบความไวโดยมีค่าเป้าหมายเท่ากับ 100 หน่วย 1: ปรับเทียบความไวโดยมีค่าเป้าหมายเท่ากับ 1000 หน่วย
3	BCKPLN	เข้า ออก	50/1=0: ขาเข้าของสัญญาณมอดูเลตรหัสเจ็ดส่วน 50/1=1: สัญญาณออกเพื่อขับฐานของจอผลึกเหลว ความถี่ 125 Hz
5	A0|OSIN	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน A0 (OSIN=0) TEST/NORM=1: กำหนดค่าในเรจิสเตอร์สำรองสำหรับหน่วยปรับเทียบออฟเซตเมื่อ SHF_SMP=1 (เริ่มจาก MSB และใช้ร่วมกับสัญญาณ OSCLK)
6	B0|OSOUT	ออก ออก	TEST/NORM=0: ขับจอผลึกเหลวส่วน B0 TEST/NORM=1: ดึงค่าเรจิสเตอร์ของหน่วยปรับเทียบออฟเซตออกมาเมื่อ SHF_SMP=1 (เริ่มจาก MSB และใช้ร่วมกับสัญญาณ OSCLK)
7	C0|OSCLK	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน C0 (OSCLK=0) TEST/NORM=1,SHF_SMP=0: สัญญาณแลตช์ค่าในเรจิสเตอร์หลักของหน่วยปรับเทียบออฟเซตมาเก็บในเรจิสเตอร์สำรอง (ทำงานที่ตรรกะ 1) TEST/NORM=1,SHF_SMP=1: สัญญาณนาฬิกาสำหรับเลื่อนค่าในเรจิสเตอร์สำรองของหน่วยปรับเทียบออฟเซต (ทำงานที่ขอบขาขึ้น)
8	D0|OSSEL	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน D0 (OSSEL=0) TEST/NORM=1: 0: ใช้ค่าในเรจิสเตอร์หลักควบคุมกระแสปรับเทียบออฟเซต 1: ใช้ค่าในเรจิสเตอร์สำรองควบคุมกระแสปรับเทียบออฟเซต
9	E0|SNIN	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน E0 (SNIN=0) TEST/NORM=1: กำหนดค่าเรจิสเตอร์สำรองสำหรับหน่วยปรับเทียบความไวเมื่อ SHF_SMP=1 (เริ่มจาก MSB และใช้ร่วมกับสัญญาณ SNCLK)
10	F0|SNOUT	ออก ออก	TEST/NORM=0: ขับจอผลึกเหลวส่วน F0 TEST/NORM=1: ดึงค่าเรจิสเตอร์ของหน่วยปรับเทียบความไวออกมาเมื่อ SHF_SMP=1 (เริ่มจาก MSB และต้องใช้ร่วมกับสัญญาณ SNCLK)

11	G0|SNCLK	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน G0 (SNCLK=0) TEST/NORM=1,SHF_SMP=0: สัญญาณแลตช์ค่าในเรจิสเตอร์หลักของหน่วยปรับเทียบความไวมาเก็บในเรจิสเตอร์สำรอง (ทำงานที่ตรรกะ 1) TEST/NORM=1,SHF_SMP=1: สัญญาณนาฬิกาสำหรับเลื่อนค่าในเรจิสเตอร์สำรองของหน่วยปรับเทียบความไว (ทำงานที่ขอบขาขึ้น)
12	A1|SNSEL	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน A1 (SNSEL=0) TEST/NORM=1: 0: ใช้ค่าในเรจิสเตอร์หลักควบคุมกระแสปรับเทียบความไว 1: ใช้ค่าในเรจิสเตอร์สำรองควบคุมกระแสปรับเทียบความไว
13	B1|SCLK	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน B1 (SCLK=0) TEST/NORM=1,SHF_SMP=0: สัญญาณแลตช์ค่าในฟลิปฟลอปของระบบมาเก็บในเรจิสเตอร์สำหรับทดสอบ (ทำงานที่ตรรกะ 1) TEST/NORM=1,SHF_SMP=1: สัญญาณนาฬิกาสำหรับเลื่อนค่าในเรจิสเตอร์สำหรับแก้จุดบกพร่อง (ทำงานที่ขอบขาขึ้น)
14	C1|SOUT	ออก ออก	TEST/NORM=0: ขับจอผลึกเหลวส่วน C1 TEST/NORM=1: ดึงค่าในเรจิสเตอร์สำหรับแก้จุดบกพร่องออกมาเมื่อ SHF_SMP=1 (เริ่มจาก MSB) (ใช้ร่วมกับสัญญาณ SCLK)
15	D1|SHF_SMP	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน D1 (SHF_SMP=0) TEST/NORM=1: 0: กำหนดให้เรจิสเตอร์ที่เกี่ยวข้องรับค่าเข้าเมื่อสัญญาณ OSCLK, SNCLK หรือ SCLK มีค่าเท่ากับหนึ่ง 1: กำหนดให้เรจิสเตอร์ที่เกี่ยวข้องเลื่อนค่าออกสู่ภายนอก เมื่อมีขอบขาขึ้นของสัญญาณ OSCLK, SNCLK หรือ SCLK
16	E1|MUXOUT	ออก ออก	TEST/NORM=0: ขับจอผลึกเหลวส่วน E1 TEST/NORM=1: สัญญาณออกจากมัลติเพล็กเซอร์เลือกสัญญาณภายในหน่วยควบคุมเอดีซี
17	F1|CIN	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน F1 (CIN=0) TEST/NORM=1: สัญญาณควบคุมวงจรทดสอบ ป้อนเข้าด้วยการเลื่อนเข้าแบบอนุกรม (เริ่มจาก MSB) โดยขอบขาขึ้นของสัญญาณ CCLK
18	G1|CCLK	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน G1 (CCLK=0) TEST/NORM=1: สัญญาณนาฬิกาสำหรับเลื่อนค่า CIN เข้าสู่วงจร
26	G2|CLTCH	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน G2 (CLTCH=0) TEST/NORM=1: สัญญาณแลตช์ค่า CIN ที่เลื่อนเข้ามาเรียบร้อยแล้วเข้าสู่เรจิสเตอร์ควบคุม (ทำงานที่ตรรกะ 1)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

19	A2|PHI1	ออก เข้า ออก	TEST/NORM=0: ขับจอผลึกเหลวส่วน A2 TEST/NORM=1: ป้อนสัญญาณเฟส ϕ_1 จากภายนอกเมื่อกำหนดสัญญาณควบคุม ENP1=1 (อยู่ในค่า CIN) และ FRC_OBS=1 TEST/NORM=1: ดึงสัญญาณเฟส ϕ_1 ออกมาภายนอกเมื่อ ENP1=0
20	B2|PHI2	ออก เข้า ออก	TEST/NORM=0: ขับจอผลึกเหลวส่วน B2 TEST/NORM=1: ป้อนสัญญาณเฟส ϕ_2 จากภายนอกเมื่อกำหนดสัญญาณควบคุม ENP2=1 และ FRC_OBS=1 TEST/NORM=1: ดึงสัญญาณเฟส ϕ_2 ออกมาภายนอกเมื่อ ENP2=0
21	C2|PHICF	ออก เข้า ออก	TEST/NORM=0: ขับจอผลึกเหลวส่วน C2 TEST/NORM=1: ป้อนสัญญาณเฟส ϕ_{CF} จากภายนอกเมื่อกำหนดสัญญาณควบคุม ENPCF=1 และ FRC_OBS=1 TEST/NORM=1: ดึงสัญญาณเฟส ϕ_{CF} ออกมาภายนอกเมื่อ ENPCF=0
22	D2|PHIRS	ออก เข้า ออก	TEST/NORM=0: ขับจอผลึกเหลวส่วน D2 TEST/NORM=1: ป้อนสัญญาณเฟส ϕ_{RS} จากภายนอกเมื่อกำหนดสัญญาณควบคุม ENPRS=1 และ FRC_OBS=1 TEST/NORM=1: ดึงสัญญาณเฟส ϕ_{RS} ออกมาภายนอกเมื่อ ENPRS=0
23	E2|CMPOUT	ออก เข้า ออก	TEST/NORM=0: ขับจอผลึกเหลวส่วน E2 TEST/NORM=1: ป้อนสัญญาณ COMPOUT จากภายนอกเมื่อกำหนดสัญญาณควบคุม ENCO=1 และ FRC_OBS=1 TEST/NORM=1: ดึงสัญญาณ COMPOUT ออกมาภายนอกเมื่อ ENCO=0
25	F2|FRC_OBS	ออก เข้า	TEST/NORM=0: ขับจอผลึกเหลวส่วน F2 TEST/NORM=1: 0: สัญญาณควบคุมเฟสทั้งสี่ และ COMPOUT มาจากวงจรภายในตามปกติ 1: รับสัญญาณควบคุมเฟสทั้งสี่ และ COMPOUT จากภายนอก
27	B3	ออก	ขับจอผลึกเหลวส่วน B3
31	DV2	เข้า	กำหนดแรงดัน Vpol+ = 0.3+0.1*([DV2]*4+[DV1]*2+[DV0]) เมื่อ [DVx] คือค่าตรรกะของสัญญาณเข้า DVx
32	DV1	เข้า	ดู DV2
33	DV0	เข้า	ดู DV2
34	RBIAS	เข้า	ต่อตัวต้านทานภายนอกเพื่อสร้างกระแสอ้างอิง
35	CAP-	เข้า	ต่อตัวเก็บประจุสำหรับอินทิเกรตเข้ากับขาลบของออปแอมป์
36	CAP+	ออก	ต่อตัวเก็บประจุสำหรับอินทิเกรตเข้ากับขาออกของออปแอมป์
37	VPOL+	เข้า	ไบแอสแรงดันขั้วบวกให้แก่ตัวตรวจรู้ (0.3-1.0 V)
38	VPOL-	เข้า	ไบแอสแรงดันขั้วลบให้แก่ตัวตรวจรู้ (0.2 V)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

39	ENFE	เข้า	0: ตัดวงจรส่วนหน้าออกจากขาเข้าของเอดีซี 1: ต่อวงจรส่วนหน้าเข้ากับขาเข้าของเอดีซี
40	DIIN	เข้า	ที่จ่ายสัญญาณกระแสขาเข้าเข้าสู่เอดีซีโดยตรง
41	AMUX1	เข้า/ออก	สัญญาณทดสอบจากส่วนแอนะล็อก กำหนดสัญญาณออกได้ด้วย CIN
42	AMUX2	เข้า/ออก	ดู AMUX1

ตารางที่ 4-2 คำอธิบายเรจิสเตอร์สำหรับการแก้จุดบกพร่อง

<table>
<tr><th>ชื่อเรจิสเตอร์</th><th>บิตที่</th><th>ชื่อบิต</th><th>คำอธิบาย</th></tr>
<tr><td>ปรับเทียบออฟเซตสำรอง</td><td>8(MSB)
ถึง
0(LSB)</td><td>-</td><td>ใช้แลตช์ค่าจากเรจิสเตอร์ปรับเทียบออฟเซตหลักเพื่อเลื่อนออกมาอ่าน หรือใช้ควบคุมแทนเรจิสเตอร์หลัก
ขาที่เกี่ยวข้อง: OSIN, OSOUT, OSCLK, OSSEL, SHF_SMP</td></tr>
<tr><td>ปรับเทียบความไวสำรอง</td><td>16(MSB)
ถึง
0(LSB)</td><td>-</td><td>ใช้แลตช์ค่าจากเรจิสเตอร์ปรับเทียบความไวหลักเพื่อเลื่อนออกมาอ่าน หรือใช้ควบคุมแทนเรจิสเตอร์หลัก
ขาที่เกี่ยวข้อง: SNIN, SNOUT, SNCLK, SNSEL, SHF_SMP</td></tr>
<tr><td>ควบคุม</td><td>10(MSB)
ถึง 8</td><td>SA2-SA0</td><td>มัลติเพล็กซ์สัญญาณภายในวงจรแอนะล็อกผ่านทางสวิตช์แอนะ-ล็อก ออกมายังขา AMUX1 และ AMUX2
<table>
<tr><th>SA2,SA1,SA0</th><th>: AMUX1</th><th>AMUX2</th></tr>
<tr><td>000 (ค่าโดยปริยาย)</td><td>: GND</td><td>GND</td></tr>
<tr><td>001</td><td>: bp_vbe</td><td>bpc_vbe</td></tr>
<tr><td>002</td><td>: bp_vptat</td><td>bpc_vptat</td></tr>
<tr><td>003</td><td>: biasp_cf</td><td>biaspc_cf</td></tr>
<tr><td>004</td><td>: biasp_cc</td><td>biaspc_cc</td></tr>
<tr><td>005</td><td>: vsnsr</td><td>v0_5</td></tr>
<tr><td>006</td><td>: vbe1x</td><td>Vbe8x</td></tr>
<tr><td>007</td><td>: biasp</td><td>idump</td></tr>
</table></td></tr>
<tr><td>ควบคุม</td><td>7 ถึง 5</td><td>S2-S0</td><td>มัลติเพล็กซ์สัญญาณภายในหน่วยควบคุมเอดีซีออกทาง ขา MUXOUT
<table>
<tr><th>S2,S1,S0</th><th>: MUXOUT</th><th>S2,S1,S0</th><th>: MUXOUT</th></tr>
<tr><td>000 (ค่าโดยปริยาย)</td><td>: COUNT</td><td>004</td><td>: DWN/UP</td></tr>
<tr><td>001</td><td>: COMPCLK</td><td>005</td><td>: 50_1</td></tr>
<tr><td>002</td><td>: FSMCLK</td><td>006</td><td>: DIV50RIP</td></tr>
<tr><td>003</td><td>: FCLK</td><td>007</td><td>: LATCH</td></tr>
</table></td></tr>
</table>

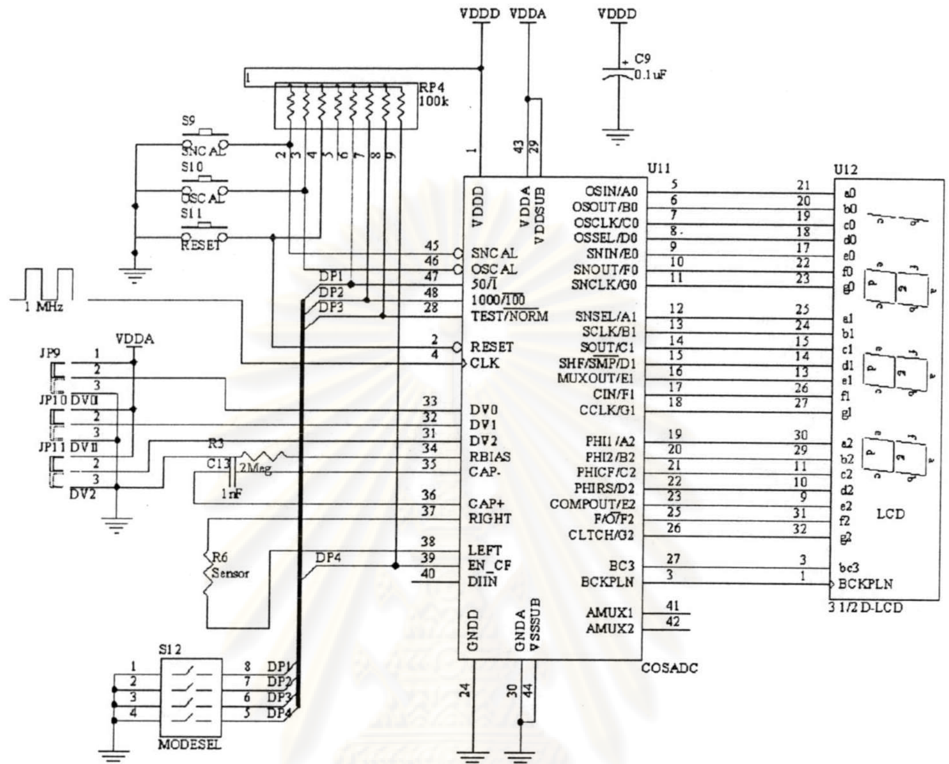
ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ควบคุม	4	ENCO	0: ใช้ขา E2|CMPOUT เป็นขาออก (ค่าโดยปริยาย) 1: บัฟเฟอร์ส่งออกของขา E2|CMPOUT อยู่ในสถานะ Hi-Z
ควบคุม	3	ENPRS	0: ใช้ขา D2|PHIRS เป็นขาออก (ค่าโดยปริยาย) 1: บัฟเฟอร์ส่งออกของขา D2|PHIRS อยู่ในสถานะ Hi-Z
ควบคุม	2	ENPCF	0: ใช้ขา C2|PHICF เป็นขาออก (ค่าโดยปริยาย) 1: บัฟเฟอร์ส่งออกของขา C2|PHICF อยู่ในสถานะ Hi-Z
ควบคุม	1	ENP2	0: ใช้ขา B2|PHI2 เป็นขาออก (ค่าโดยปริยาย) 1: บัฟเฟอร์ส่งออกของขา B2|PHI2 อยู่ในสถานะ Hi-Z
ควบคุม	0 (LSB)	ENP1	0: ใช้ขา A2|PHI1 เป็นขาออก (ค่าโดยปริยาย) 1: บัฟเฟอร์ส่งออกของขา A2|PHI1 อยู่ในสถานะ Hi-Z
แก้จุดบกพร่อง	44 (MSB) และ 43	FSM1, FSM0	สถานะของเครื่องสถานะจำกัด
แก้จุดบกพร่อง	42	LT	สัญญาณออกของตัวเปรียบเทียบดิจิทัล
แก้จุดบกพร่อง	41	B3	สัญญาณออกจากตัวถอดรหัสในหลักที่ 3
แก้จุดบกพร่อง	40 - 34	A2 - G2	สัญญาณออกจากตัวถอดรหัสในหลักที่ 2 (เรียงตามลำดับ)
แก้จุดบกพร่อง	33 - 27	A1- G1	สัญญาณออกจากตัวถอดรหัสในหลักที่ 1 (เรียงตามลำดับ)
แก้จุดบกพร่อง	26 - 20	A0 - G0	สัญญาณออกจากตัวถอดรหัสในหลักที่ 0 (เรียงตามลำดับ)
แก้จุดบกพร่อง	19 - 6	Q13-Q0	สัญญาณออกจากวงจรนับ 2000 ขึ้น/ลง (เรียงตามลำดับ)
แก้จุดบกพร่อง	5 – 0 (LSB)	Q50_5 – Q50_0	สัญญาณออกจากวงจรนับ 50 ขึ้น/ลง (เรียงตามลำดับ)

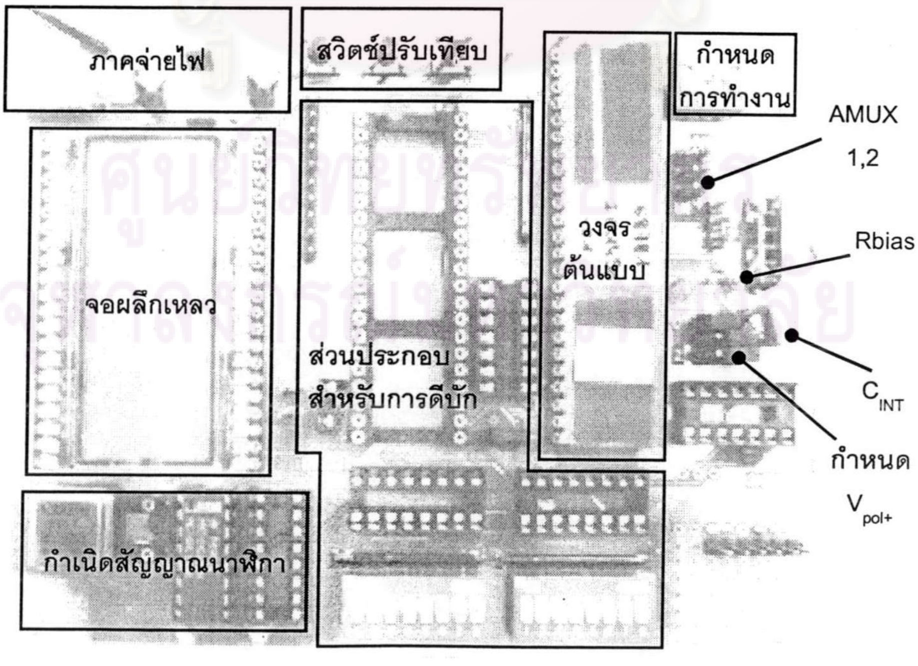
4.3 แผ่นทดสอบวงจรรวม

วงจรรวมต้นแบบที่ได้สามารถนำมาต่อใช้งานกับตัวตรวจรู้ได้ดังรูปที่ 4-12 แต่ก่อนอื่นจะต้องนำมาทดสอบเพื่อวัดผลการทำงาน และยืนยันความถูกต้องในการออกแบบ จึงต้องมีแผ่นทดสอบสำหรับเชื่อมวงจรต้นแบบเข้ากับอุปกรณ์รอบข้างที่จำเป็นต่อการทดสอบ การออกแบบแผ่นทดสอบจะต้องคำนึงถึงการกวนกันระหว่างสายสัญญาณ ดังนั้นจึงจัดอุปกรณ์ส่วนแอนะล็อกแยกออกจากส่วนดิจิทัล ผังวงจรของแผ่นทดสอบอยู่ในภาคผนวก ง จากรูปที่ 4-13 อุปกรณ์ที่เกี่ยวข้องกับวงจรแอนะล็อก เช่น ตัวต้านทาน R_{bias} ตัวเก็บประจุ C_{INT} และจุดต่อตัวตรวจรู้จะอยู่ทางด้านขวาของวงจรต้นแบบ และอยู่ด้านเดียวกับสัญญาณแอนะล็อกที่ออกจากชิป นอกจากนี้ยังพยายามวางให้ใกล้ขาของชิปมากที่สุด ส่วนด้านซ้ายของแผ่นทดสอบจึงบรรจุส่วนประกอบอื่นๆ เช่น วงจรสร้างสัญญาณนาฬิกา จอผลึกเหลว สวิตช์ปรับเทียบ และสวิตช์รีเซต เป็นต้น นอกจากนี้แผ่นทดสอบยังมีวงจรที่ใช้สำหรับแก้จุดบกพร่องในกรณีที่วงจรต้นแบบเกิดปัญหา โดยอุปกรณ์

หลักในการแก้จุดบกพร่อง ได้แก่ ไมโครคอนโทรลเลอร์และสวิตช์ตั้งค่า (ในรูปไม่ได้ต่ออยู่บนแผ่นทดสอบ) แผ่นทดสอบมีขนาด 5*4 ตารางนิ้ว หากไม่รวมวงจรสำหรับแก้จุดบกพร่องจะทำให้แผ่นทดสอบมีขนาดเหลือเพียงครึ่งหนึ่งเท่านั้น



รูปที่ 4-12 ผังวงจรแสดงการต่อใช้งานวงจรรวมต้นแบบ



รูปที่ 4-13 ส่วนประกอบของแผ่นทดสอบ

4.4 สรุป

เนื้อหาของบทนี้กล่าวถึงการวาดลายวงจรรวมของวงจรต้นแบบ และแผ่นทดสอบวงจรรวม วงจรส่วนแอนะล็อกนั้นวาดด้วยมือทั้งหมด ขณะที่วงจรส่วนดิจิทัลใช้โปรแกรมช่วยในการสร้างแบบอัตโนมัติ แล้วจึงนำวงจรทั้งสองส่วนมารวมกัน และวางแพดเพื่อเชื่อมต่อกับขาภายนอกด้วยมือ รวมทั้งการเลือกตัวถังและต่อลวดเชื่อมระหว่างแพดกับตัวถัง การจัดตำแหน่งของวงจรแอนะล็อกควรคำนึงถึงระยะห่างระหว่างสัญญาณกับแพดที่ต้องเชื่อมกัน และระยะห่างระหว่างแพดกับตัวถัง เพราะยิ่งห่างสัญญาณรบกวนจะยิ่งมีมากขึ้น

ช่วงเวลาที่รอวงจรต้นแบบสร้างเสร็จ ผู้วิจัยได้ออกแบบแผ่นทดสอบวงจรรวมเพื่อใช้ในการทดลองวัดค่าคุณสมบัติของวงจร รวมทั้งการแก้จุดบกพร่องวงจรในกรณีที่วงจรต้นแบบทำงานผิดปกติ หรือไม่ทำงาน

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย