การออกแบบวงจรรวมที่ให้ไบแอสปรับค่าได้และมีผลของอุณหภูมิและแหล่งจ่ายต่ำ สำหรับตัวตรวจรู้แบบให้กระแสออก

นายกานต์ โอภาสจำรัสกิจ

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย
ปีการศึกษา 2545

ISBN 974-17-1882-9

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย

A DESIGN OF A LOW TEMPERATURE AND SUPPLY-DEPENDENT IC WITH VARIABLE BIAS FOR CURRENT-OUTPUT SENSORS

Mr. Karn Opasjumruskit

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Engineering in Electrical Engineering
Department of Electrical Engineering
Faculty of Engineering
Chulalongkorn University
Academic Year 2002

ISBN 974-17-1882-9

หัวข้อวิทยานิพนธ์	การออกแบบวงจรรวมที่ให้ไบแอสปรับค่าได้และมีผลของอุณหภูมิและแหล่งจ่ายต่ำสำหรับตัวตรวจรู้แบบให้กระแสออก
โดย	นายกานต์ โอภาสจำรัสกิจ
สาขาวิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์ ดร.นัยวุฒิ วงษ์โคเมท

คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีคณะวิศวกรรมศาสตร์
(ศาสตราจารย์ ดร.สมศักดิ์ ปัญญาแก้ว)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ
(รองศาสตราจารย์ ดร.มานะ ศรียุทธศักดิ์)

..... อาจารย์ที่ปรึกษา
(ผู้ช่วยศาสตราจารย์ ดร.นัยวุฒิ วงษ์โคเมท)

..... กรรมการ
(อาจารย์ ดร.วันเฉลิม โปรา)

..... กรรมการ
(อาจารย์ ดร.อาภรณ์ ธีรมงคลรัศมี)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

กานต์ โอภาสจำรัสกิจ : การออกแบบวงจรรวมที่ให้ไบแอสปรับค่าได้และมีผลของอุณหภูมิและแหล่งจ่ายต่ำสำหรับตัวตรวจรู้แบบให้กระแสออก. (A DESIGN OF A LOW TEMPERATURE AND SUPPLY-DEPENDENT IC WITH VARIABLE BIAS FOR CURRENT-OUTPUT SENSORS) อ. ที่ปรึกษา : ผศ. ดร.นัยวุฒิ วงษ์โคเมท, 162 หน้า. ISBN 974-17-1882-9.

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรรวมสำหรับอ่านค่าจากตัวตรวจรู้แบบให้กระแสออกและแสดงผลทางจอผลึกเหลว วงจรรวมนี้ได้รับผลกระทบจากการเปลี่ยนแปลงของอุณหภูมิและแรงดันแหล่งจ่ายน้อยมาก เหมาะสำหรับนำไปสร้างเครื่องมือพกพา วงจรดังกล่าวรวมส่วนประกอบที่จำเป็นเกือบทั้งหมดเอาไว้ ได้แก่วงจรรับกระแส ตัวแปลงแอนะล็อกเป็นดิจิทัล หน่วยปรับเทียบ และวงจรควบคุมแบบดิจิทัล ยกเว้นอุปกรณ์ภายนอกเพียงสองตัว คือตัวต้านทาน 2 MΩ และตัวเก็บประจุ 1 nF วงจรสร้างแรงดันอ้างอิงแบนด์แกปภายในเป็นตัวสร้างแรงดันโพลาไรเซชันสำหรับไบแอสตัวตรวจรู้ แรงดันโพลาไรเซชันสามารถปรับได้ขั้นละ 0.1 โวลต์ ตั้งแต่ 0.1 ถึง 0.8 โวลต์ ตัวแปลงแอนะล็อกเป็นดิจิทัลใช้เทคนิคการแปลงแบบสี่สโลปซึ่งกำจัดผลของออฟเซตและสัญญาณรบกวนความถี่ต่ำ วงจรต้นแบบซึ่งออกแบบด้วยเทคโนโลยีซีมอส 0.7 ไมครอนมีพื้นที่ชิป 9.14 mm^2 ผลการทดสอบแสดงให้เห็นว่าวงจรที่ออกแบบสามารถทำงานได้ด้วยแรงดันแหล่งจ่าย 2.0 ถึง 5.0 โวลต์ และเกือบจะไม่ได้รับผลกระทบจากอุณหภูมิแวดล้อมในช่วง 0 ถึง 70 °C วงจรใช้กระแสสูงสุด 300 μA ที่แรงดันแหล่งจ่าย 5.0 โวลต์ หลังจากการปรับเทียบ วงจรสามารถวัดกระแสขาเข้าได้ตั้งแต่ 0-1000 nA ด้วยความแม่นยำ 1.25 nA

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา วิศวกรรมไฟฟ้า ลายมือชื่อนิสิต กานต์ โอภาสจำรัสกิจ

สาขาวิชา วิศวกรรมไฟฟ้า ลายมือชื่ออาจารย์ที่ปรึกษา

ปีการศึกษา 2545

4370222921 : MAJOR ELECTRICAL ENGINEERING

KEY WORD: CURRENT-OUTPUT SENSOR / BANDGAP REFERENCE / QUAD-SLOPE ANALOG TO DIGITAL CONVERTER / OFFSET CALIBRATION / SENSITIVITY CALIBRATION

KARN OPASJUMRUSKIT : A DESIGN OF A LOW TEMPERATURE AND SUPPLY-DEPENDENT IC WITH VARIABLE BIAS FOR CURRENT-OUTPUT SENSORS. THESIS ADVISOR : ASST. PROF. NAIYAVUDHI WONGKOMET, Ph.D., 162 pp. ISBN 974-17-1882-9.

This thesis presents a design of an IC that can read from current-output sensors and display the results on a LCD. This IC is hardly affected by temperature and supply-voltage change which is suitable for making a portable device. The circuit integrates most of the required components: a current-buffer circuit, an A/D converter, a calibration unit and a digital control circuit. The exceptions are two external devices: a 2-MΩ resistor and a 1-nF capacitor. Internal bandgap voltage reference generates a polarization voltage for biasing a sensor. The voltage can be adjusted from 0.1 to 0.8 V in 0.1-V step. The A/D converter uses the quad-slope conversion technique, which eliminates the effects of offsets and low-frequency noise. The prototype circuit, designed in a 0.7-μm CMOS technology, has the chip area of 9.14 mm^2. Experimental results show that the circuit can operate from 2.0 to 5.0 V supply voltage and is virtually independent of the ambient temperature from 0 to 70 °C. The circuit consumes current up to 300 μA at 5.0-V supply voltage. After calibration, input current from 0-1000 nA can be measured with an accuracy of 1.25 nA.

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

Department ELECTRICAL ENGINEERING Student's signature

Field of study ELECTRICAL ENGINEERING Advisor's signature

Academic year 2002

กิตติกรรมประกาศ

ข้าพเจ้าในฐานะผู้วิจัยขอขอบพระคุณ ผศ. ดร.นัยวุฒิ วงษ์โคเมท อาจารย์ที่ปรึกษาวิทยานิพนธ์ สำหรับข้อเสนอแนะ ความคิดเห็น และแนวทางแก้ปัญหาต่างๆ ที่เกิดขึ้นระหว่างการทำวิจัย ทำให้วิทยานิพนธ์เล่มนี้สำเร็จลุล่วงได้ด้วยดี และขอบพระคุณอาจารย์ทุกท่านที่ให้ข้อคิดเห็นอันเป็นประโยชน์ต่อการทำวิจัย

ข้าพเจ้าขอขอบคุณศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) ที่ให้ทุนสนับสนุนค่าใช้จ่ายในการส่งวงจรรวมไปเจือสาร

ข้าพเจ้าขอขอบคุณคุณณพงศ์ ปณิธานธรรม สำหรับความช่วยเหลือในการใช้งานโปรแกรมจำลองการทำงานและวาดลายวงจรรวม รวมถึงคำปรึกษา และข้อแนะนำต่างๆ ในการออกแบบวงจร ขอขอบคุณคุณมานะ เมฆถาวรวัฒนา สำหรับข้อมูลในการออกแบบระบบ ขอขอบคุณคุณอาทิตย์ และคุณทวีศักดิ์ สำหรับแง่คิดและการแลกเปลี่ยนประสบการณ์ในการออกแบบวงจรแอนะล็อก และขอบคุณคุณคณิตพงศ์ สำหรับคำแนะนำในการออกแบบวงจรดิจิทัล

สุดท้ายนี้ ข้าพเจ้าขอขอบพระคุณบิดา มารดา และทุกคนในครอบครัว ที่ให้กำลังใจ คอยช่วยเหลือ ส่งเสริมในทุกๆ ด้าน ขอขอบคุณคุณรัชพร ซึ่งเป็นกำลังใจให้ตลอดเวลาที่ทำวิทยานิพนธ์ รวมถึงขอขอบคุณเพื่อนๆ รุ่นพี่ และรุ่นน้องในห้องปฏิบัติการการออกแบบและประยุกต์วงจรรวม (IDAR) ทุกคนสำหรับมิตรภาพที่ดีที่มีให้กัน

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อวิทยานิพนธ์ ..... ง
บทคัดย่อวิทยานิพนธ์ภาษาอังกฤษ ..... จ
กิตติกรรมประกาศ ..... ฉ
สารบัญ ..... ช
สารบัญตาราง ..... ฎ
สารบัญภาพ ..... ฎ
บทที่ 1 บทนำ 1
1.1 ความเป็นมาและความสำคัญของงานวิจัย 1
1.2 วัตถุประสงค์ของการวิจัย 4
1.3 ขอบเขตของการวิจัย 4
1.4 ประโยชน์ที่คาดว่าจะได้รับ 5
1.5 วิธีดำเนินการวิจัย 5
1.6 โครงสร้างวิทยานิพนธ์ 5
บทที่ 2 ตัวตรวจรู้แบบให้กระแสออกและระบบประมวลผล 7
2.1 ตัวตรวจรู้แบบให้กระแสออก 7
2.2 ปริทัศน์วรรณกรรม (Literature review) ของระบบประมวลผล 10
2.2.1 งานวิจัยเกี่ยวกับโพเทนชิออสแตต 10
2.2.2 งานวิจัยเกี่ยวกับระบบประมวลผลแบบชิปเดี่ยว (Single chip) 10
2.3 ระบบประมวลผลที่ใช้ร่วมกับตัวตรวจรู้ 12
2.3.1 ภาพรวมของระบบ 13
2.3.2 วงจรส่วนหน้า (Front-end circuit) 14
2.3.2.1 วงจรทรานส์อิมพีแดนซ์ 15
2.3.2.2 วงจรสายพานกระแส 18
2.3.2.3 วงจรบัฟเฟอร์กระแส 20
2.3.3 ตัวแปลงแอนะล็อกเป็นดิจิทัล (Analog-to-digital converter, ADC) 23
2.3.3.1 เอดีซีแบบดูอัลสโลป 23
2.3.3.2 ตัวแปลงซิกมาเดลต้า 24
2.3.4 วงจรสร้างแรงดันอ้างอิงและกระแสอ้างอิงแบนด์แกป 26

สารบัญ (ต่อ)

หน้า

2.3.5 วงจรปรับเทียบออฟเซตและความไวของตัวตรวจรู้ 30
2.3.6 วงจรส่วนดิจิทัล 33
2.4 สรุป 35
บทที่ 3 การออกแบบและจำลองการทำงานวงจรแต่ละส่วน 37
3.1 ข้อมูลเบื้องต้นในการออกแบบ 37
3.2 ความไม่เป็นอุดมคติในวงจรรวม 38
3.2.1 ความไม่เข้าคู่ของอุปกรณ์ 39
3.2.1.1 ความไม่เข้าคู่ของทรานซิสเตอร์มอส 39
3.2.1.2 ความไม่เข้าคู่ของอุปกรณ์อื่นๆ 42
3.2.2 สัญญาณรบกวน 42
3.2.2.1 การทำงานของเอดีซีแบบสี่สโลป 43
3.2.2.2 ฟังก์ชันถ่ายโอนสัญญาณรบกวนของเอดีซีแบบสี่สโลป 45
3.3 วงจรสร้างแรงดันอ้างอิงและกระแสอ้างอิงแบนด์แกป 49
3.3.1 วงจรไบแอสหลัก และวงจรสตาร์ตอัพ 50
3.3.2 ส่วนอื่นๆ ของวงจรไบแอส 52
3.3.3 ผลการจำลองการทำงาน 55
3.4 วงจรรับสัญญาณกระแสจากตัวตรวจรู้ (วงจรส่วนหน้า) 58
3.4.1 ผังวงจร 60
3.4.2 สัญญาณรบกวนสมมูลของวงจรส่วนหน้า 62
3.4.3 ผลการจำลองการทำงาน 63
3.5 ตัวแปลงแอนะล็อกเป็นดิจิทัล 64
3.5.1 ผังวงจร 66
3.5.2 การจัดสรรพิสัยพลวัต 71
3.5.3 สัญญาณรบกวนสมมูลของเอดีซี 71
3.5.4 ผลการจำลองการทำงาน 73
3.6 วงจรปรับเทียบออฟเซตและความไวของตัวตรวจรู้ 75
3.6.1 ความไม่เข้าคู่ของแถวลำดับกระแส 76
3.6.2 ผังวงจร 78

สารบัญ (ต่อ)

หน้า

3.6.3 ผลการจำลองการทำงาน 80
3.7 วงจรส่วนดิจิทัล 81
3.7.1 รายละเอียดของวงจร 82
3.7.1.1 วงจรนับ 4000_{BCD} 84
3.7.1.2 หน่วยควบคุมเอดีซี 84
3.7.1.3 วงจรนับขึ้น/ลง 89
3.7.1.4 แลตช์และวงจรถอดรหัส 91
3.7.1.5 ตัวขับจอผลึกเหลว 92
3.7.1.6 เครื่องสถานะจำกัด 92
3.7.1.7 หน่วยปรับเทียบออฟเซตและความไว 94
3.7.1.8 มัลติเพลกเซอร์ (Multiplexer) และตัวเปรียบเทียบดิจิทัล 94
3.7.2 ผลการจำลองการทำงาน 95
3.8 การจำลองการทำงานทั้งระบบ 95
3.9 สรุป 101
บทที่ 4 การวาดลายวงจรรวม (Layout) และแผ่นทดสอบวงจรรวม 103
4.1 การวาดลายวงจรรวม 103
4.1.1 วงจรไบแอสแบบแบนด์แกป 104
4.1.2 วงจรส่วนหน้า 104
4.1.3 ตัวแปลงแอนะล็อกเป็นดิจิทัล 107
4.1.4 วงจรปรับเทียบ 107
4.1.5 วงจรส่วนดิจิทัล 107
4.1.6 ผังการจัดตำแหน่งลายวงจรรวม (Layout floorplan) 108
4.2 การวางแพด (Pad) และกำหนดขา (Pin) 109
4.3 แผ่นทดสอบวงจรรวม 116
4.4 สรุป 118
บทที่ 5 ผลการวัดคุณสมบัติของวงจรรวมต้นแบบ 119
5.1 เครื่องมือที่ใช้ในการวัด 119
5.2 ผลการวัด 120

สารบัญ (ต่อ)

หน้า

5.2.1 ความแม่นยำของแรงดันไฟตรง 120
5.2.2 ความแม่นยำของเอดีซี 124
5.2.3 การทำงานของระบบโดยรวม 126
5.3 สรุปผลการทดลอง 131
บทที่ 6 ข้อสรุปและข้อเสนอแนะ 133
6.1 ข้อสรุป 133
6.2 ข้อเสนอแนะ 134
6.2.1 ข้อเสนอแนะในการออกแบบ 134
6.2.2 ข้อเสนอแนะในการวาดลายวงจรรวม 134
6.2.3 คุณสมบัติเพิ่มเติมของวงจร 135
รายการอ้างอิง 136
ภาคผนวก 141
ภาคผนวก ก วงจรไบแอสซีมอสที่น่าสนใจ 142
ภาคผนวก ข การหาออฟเซตของวงจรขยายผลต่าง 146
ภาคผนวก ค ผลจากแบนด์วิดท์ของตัวเปรียบเทียบต่อผลการเปรียบเทียบ 148
ภาคผนวก ง ข้อมูลเกี่ยวกับแผ่นทดสอบวงจรรวม 150
ภาคผนวก จ บทความที่ได้รับการตีพิมพ์ใน 2001 IEEJ International Analog VLSI Workshop 152
ภาคผนวก ฉ บทความที่ได้รับการพิจารณาตอบรับใน 2003 IEEE International Symposium on Circuits and Systems 157
ประวัติผู้เขียนวิทยานิพนธ์ 162

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

ตาราง หน้า
ตารางที่ 2-1 ข้อมูลสรุปของงานวิจัยเกี่ยวกับโพเทนชิออสแตต 11
ตารางที่ 2-2 ข้อมูลสรุปของงานวิจัยเกี่ยวกับระบบประมวลผลแบบชิปเดี่ยว 12
ตารางที่ 3-1 สรุปขนาดของทรานซิสเตอร์และตัวต้านทานที่ใช้ในผังวงจรรูปที่ 3-9 51
ตารางที่ 3-2 สรุปขนาดของอุปกรณ์ที่ใช้ในผังวงจรรูปที่ 3-10 และรูปที่ 3-12 55
ตารางที่ 3-3 สรุปผลการจำลองการทำงานของวงจรสร้างแรงดันอ้างอิง 56
ตารางที่ 3-4 สรุปคุณสมบัติของออปแอมป์ออฟเซตต่ำ 57
ตารางที่ 3-5 สรุปขนาดของอุปกรณ์ที่ใช้ในวงจรส่วนหน้า 61
ตารางที่ 3-6 สรุปผลการจำลองการทำงานของวงจรส่วนหน้า 63
ตารางที่ 3-7 ขนาดของอุปกรณ์ที่ใช้ในออปแอมป์สำหรับตัวอินทิเกรต 68
ตารางที่ 3-8 ขนาดของอุปกรณ์ที่ใช้ในตัวเปรียบเทียบ 70
ตารางที่ 3-9 สรุปคุณสมบัติของวงจรเอดีซีจากการจำลองการทำงาน 74
ตารางที่ 3-10 ขนาดของอุปกรณ์ที่ใช้ในวงจรปรับเทียบ 79
ตารางที่ 3-11 สรุปคุณสมบัติของวงจรปรับเทียบจากการจำลองการทำงาน 81
ตารางที่ 3-12 สรุปผลการออกแบบวงจรส่วนแอนะล็อก 101
ตารางที่ 4-1 คำอธิบายชื่อขา 111
ตารางที่ 4-2 คำอธิบายเรจิสเตอร์สำหรับการแก้จุดบกพร่อง 115
ตารางที่ 5-1 ผลการวัดความผิดพลาดของแรงดันไฟตรงระหว่างชิป 121
ตารางที่ 5-2 ผลการวัดผลของอุณหภูมิต่อแรงดันอ้างอิงจากวงจรต้นแบบ 122
ตารางที่ 5-3 ผลการวัดผลของแรงดันแหล่งจ่ายต่อแรงดันอ้างอิงจากวงจรต้นแบบ 123
ตารางที่ 5-4 ความแม่นยำในการอ่านค่ากระแสของเอดีซี 125
ตารางที่ 5-5 การกินกระแสของวงจรรวมต้นแบบ 130
ตารางที่ 5-6 สรุปผลการวัดคุณสมบัติของวงจรรวมต้นแบบ 131

สารบัญภาพ

ภาพประกอบ หน้า

รูปที่ 1-1 แผนภาพบล็อกแสดงองค์ประกอบของเครื่องมือวัดที่ใช้หลักการทางไฟฟ้า 2

รูปที่ 2-1 ความผิดพลาดชนิดต่างๆ ในลักษณะถ่ายโอนของตัวตรวจรู้ 8

รูปที่ 2-2 ลักษณะถ่ายโอนของตัวตรวจรู้น้ำตาลกลูโคส 9

รูปที่ 2-3 ตัวอย่างการนำไปใช้งานระบบประมวลผลไปใช้งานกับตัวตรวจรู้ 13

รูปที่ 2-4 แผนภาพบล็อกแสดงองค์ประกอบโดยรวมของระบบ (ในเส้นประ) 13

รูปที่ 2-5 แผนภาพบล็อกแสดงคุณสมบัติของวงจรส่วนหน้า 14

รูปที่ 2-6 สัญลักษณ์ของวงจรทรานส์อิมพีแดนซ์ 16

รูปที่ 2-7 วงจรทรานส์อิมพีแดนซ์ (ก) แบบเกตร่วม (ข) มีการป้อนกลับแบบสุ่มแรงดันผสมแรงดัน (ค) มีการป้อนกลับแบบสุ่มแรงดันผสมกระแส (ง) ออปแอมป์ที่มีการป้อนกลับแบบสุ่มแรงดันผสมกระแส 16

รูปที่ 2-8 สัญลักษณ์ของวงจรสายพานกระแสรุ่นที่สอง 18

รูปที่ 2-9 โครงสร้างของวงจรสายพานกระแสรุ่นที่สอง (ก) ประกอบด้วยออปแอมป์และ วงจรสะท้อนกระแส (ข) ทรานซิสเตอร์ 19

รูปที่ 2-10 สัญลักษณ์ที่ใช้แทนวงจรบัฟเฟอร์กระแส 20

รูปที่ 2-11 โครงสร้างของวงจรบัฟเฟอร์กระแสแบบ (ก) ชั้นเอความต้านทานขาเข้าสูง (ข) ชั้นเอบีความต้านทานขาเข้าสูง (ค) ชั้นเอความต้านทานขาเข้าต่ำ 21

รูปที่ 2-12 วงจรขยายเกตร่วม 22

รูปที่ 2-13 เอดีซีแบบดูอัลสโลป (ก) สัญญาณเข้าเป็นแรงดัน (ข) สัญญาณเข้าเป็นกระแส 24

รูปที่ 2-14 แผนภาพเวลาของเอดีซีแบบดูอัลสโลป 24

รูปที่ 2-15 ตัวแปลงซิกมาเดลต้าแบบเวลาต่อเนื่อง (ก) ช่วงอินทิเกรตขาขึ้น (ข) ช่วงอินทิเกรตขาลง 24

รูปที่ 2-16 แผนภาพเวลาของตัวแปลงซิกมาเดลต้า 25

รูปที่ 2-17 แหล่งจ่ายกระแสแบบพื้นฐาน 26

รูปที่ 2-18 วงจรไบแอสตัวเอง (ก) อ้างอิงจาก V_{BE} (ข) อ้างอิงจาก V_{th} 27

รูปที่ 2-19 (ก) จุดทำงานของวงจรไบแอสตัวเอง (ข) วงจรสตาร์ตอัพ 27

รูปที่ 2-20 วงจรไบแอสแบบแบนด์แกปที่ใช้หลักการรวมแรงดัน (ก) ไม่มีการป้อนกลับ (ข) มีการป้อนกลับ 28

รูปที่ 2-21 วงจรไบแอสแบบแบนด์แกปที่ใช้หลักการรวมกระแส 29

สารบัญภาพ (ต่อ)

ภาพประกอบ หน้า

รูปที่ 2-22 ตัวอย่างขั้นตอนปรับเทียบตัวตรวจรู้น้ำตาลกลูโคส 30

รูปที่ 2-23 (ก) เอดีซีที่มีวงจรปรับเทียบ (ข) โครงสร้างของแหล่งจ่ายกระแสถ่วงน้ำหนักแบบทวิภาค 31

รูปที่ 2-24 ดีเอซีกระแส (ก) แบบเครือข่ายตัวต้านทาน (ข) แบบสะท้อนกระแส (ค) แบบหารกระแส 32

รูปที่ 2-25 โครงสร้างของแถวลำดับแหล่งจ่ายกระแสสำหรับปรับเทียบความไว 33

รูปที่ 2-26 แผนภาพบล็อกแสดงส่วนประกอบหลักของวงจรส่วนดิจิทัล 35

รูปที่ 3-1 วงจรที่ใช้ในการหาค่าพารามิเตอร์ของทรานซิสเตอร์ (ก) เอ็นมอส (ข) พีมอส 38

รูปที่ 3-2 แผนภาพเวลาของการแปลงผันสัญญาณแอนะลอกเป็นดิจิตอลแบบสี่สโลป 44

รูปที่ 3-3 โครงสร้างวงจรเอดีซีแบบสี่สโลป 44

รูปที่ 3-4 ผลของออฟเซตต่อสัญญาณของเอดีซี 45

รูปที่ 3-5 แหล่งกำเนิดสัญญาณรบกวนในเอดีซี 46

รูปที่ 3-6 ความหนาแน่นสเปกตรัมของสัญญาณรบกวนจากทรานซิสเตอร์ และผลจากฟังก์ชันถ่ายโอนของเอดีซี 47

รูปที่ 3-7 ผลของเทคนิคซีดีเอส และแบนด์วิดท์ ต่อสัญญาณรบกวน 49

รูปที่ 3-8 แผนภาพบล็อกแสดงส่วนประกอบของวงจรไบแอส 50

รูปที่ 3-9 วงจรสตาร์ตอัพ และวงจรไบแอสหลัก 51

รูปที่ 3-10 (ก) วงจรสร้างแรงดันอ้างอิง (ข) วงจรสร้างกระแสอ้างอิง (ค) วงจรไบแอสกระแส 53

รูปที่ 3-11 วงจรถอดรหัสไบนารีเป็นอุณหภูมิ 54

รูปที่ 3-12 โครงสร้างของออปแอมป์ออฟเซตต่ำ 54

รูปที่ 3-13 ค่าแรงดันไบแอสเมื่อได้รับผลจากกระบวนการผลิต อุณหภูมิ และแหล่งจ่าย 57

รูปที่ 3-14 วงจรส่วนหน้าที่ได้รับการดัดแปลงให้ใช้ได้กับเอดีซีที่ออกแบบ 58

รูปที่ 3-15 วงจรบัฟเฟอร์กระแส (ก) ใช้แหล่งจ่ายกระแสคาสโคด (ข) เทคนิคเรพลิคาไบแอส 59

รูปที่ 3-16 แผนภาพบล็อกของวงจรส่วนหน้า 60

รูปที่ 3-17 ผังวงจรของวงจรส่วนหน้า 61

รูปที่ 3-18 แบบจำลองสำหรับวิเคราะห์สัญญาณรบกวนของวงจรส่วนหน้า 62

รูปที่ 3-19 แผนภาพบล็อกของเอดีซี 64

รูปที่ 3-20 แผนภาพเวลาของเอดีซี 65

สารบัญภาพ (ต่อ)

ภาพประกอบ หน้า
รูปที่ 3-21 แผนภาพบล็อกภายในออปแอมป์ 66
รูปที่ 3-22 ผังวงจรออปแอมป์สำหรับตัวอินทิเกรต 67
รูปที่ 3-23 ผังวงจรของตัวเปรียบเทียบ 68
รูปที่ 3-24 แผนภาพแสดงรายละเอียดของวงจรสวิตช์ 70
รูปที่ 3-25 แผนภาพแสดงการจัดสรรพิสัยพลวัต 72
รูปที่ 3-26 แบบจำลองสำหรับวิเคราะห์สัญญาณรบกวนของตัวเปรียบเทียบ 73
รูปที่ 3-27 กระบวนการค้นแบบทวิภาคสำหรับปรับเทียบกระแสออฟเซต 76
รูปที่ 3-28 กระบวนการปรับเทียบที่เพิ่มบิตพิเศษเข้าไป 78
รูปที่ 3-29 ผังวงจรของระบบปรับเทียบ 79
รูปที่ 3-30 วงจรหารกระแส (ก) 8 บิต (ข) 6 บิต 80
รูปที่ 3-31 แผนภาพบล็อกของวงจรส่วนดิจิทัลแสดงรายละเอียดของสัญญาณต่อเชื่อม 82
รูปที่ 3-32 ผังวงจรทั้งหมดของวงจรส่วนดิจิทัล 85
รูปที่ 3-33 ผังวงจรของวงจรนับ 4000 86
รูปที่ 3-34 ผังวงจรของหน่วยควบคุมเอดีซี 87
รูปที่ 3-35 แผนภาพเวลาของสัญญาณจากหน่วยควบคุมเอดีซี 88
รูปที่ 3-36 ผังวงจรของวงจรนับ 50 89
รูปที่ 3-37 ผังวงจรของวงจรนับขึ้น/ลง 90
รูปที่ 3-38 ผังวงจรของวงจรนับ 2000_{BCD} ขึ้น/ลง 90
รูปที่ 3-39 ผังวงจรของวงจรนับ 50 ขึ้น/ลง 91
รูปที่ 3-40 ผังวงจรของวงจรถอดรหัสบีซีดีเป็นรหัสเจ็ดส่วน 92
รูปที่ 3-41 ตำแหน่งของสัญญาณที่ควบคุมส่วนต่างๆ ของจอผลึกเหลว 92
รูปที่ 3-42 ผังวงจรของตัวขับจอผลึกเหลว 93
รูปที่ 3-43 แผนภาพสถานะของเครื่องสถานะจำกัด 93
รูปที่ 3-44 ผังวงจรของเครื่องสถานะจำกัด 93
รูปที่ 3-45 แผนภาพบล็อกของหน่วยปรับเทียบ 94
รูปที่ 3-46 ผังวงจรของตัวเปรียบเทียบดิจิทัล 95
รูปที่ 3-47 ผลการจำลองการทำงานทั้งระบบด้วยโปรแกรมสไปซ์ 97
รูปที่ 3-48 ผลการจำลองการทำงานทั้งระบบจากโปรแกรมโมเดลซิม 98

สารบัญภาพ (ต่อ)

ภาพประกอบ หน้า

รูปที่ 3-49 ผลการจำลองการทำงานของวงจรขณะปรับเทียบออฟเซต 99

รูปที่ 3-50 ผลการจำลองการทำงานของวงจรขณะปรับเทียบความไว..... 100

รูปที่ 3-51 ผลการจำลองการทำงานเมื่ออัตราการแลตช์มีค่าปกติสลับกับต่ำลง 50 เท่า 100

รูปที่ 4-1 ลายวงจรรวมของวงจรไบแอสแบบแบนด์แกป (พื้นที่ 1190x444 μm^2) 104

รูปที่ 4-2 ผังการเชื่อมต่อตัวต้านทานหนึ่งหน่วยเพื่อใช้ในวงจรไบแอส (พื้นที่ 162x314 μm^2) .. 105

รูปที่ 4-3 ลายวงจรรวมของทรานซิสเตอร์ไบโพลาร์และการเชื่อมต่อ (พื้นที่ 78x174 μm^2) 105

รูปที่ 4-4 ลายวงจรรวมของวงจรส่วนหน้า (ไม่รวมออปแอมป์) (พื้นที่ 451x354 μm^2) 106

รูปที่ 4-5 ลายวงจรรวมของออปแอมป์ออฟเซตต่ำ (พื้นที่ 218x323 μm^2) 106

รูปที่ 4-6 ลายวงจรรวมของตัวแปลงแอนะล็อกเป็นดิจิทัล (พื้นที่ 403x261 μm^2) 107

รูปที่ 4-7 ลายวงจรรวมของแถวลำดับแหล่งจ่ายกระแสปรับเทียบ (พื้นที่ 1902x539 μm^2) 108

รูปที่ 4-8 ลายวงจรรวมของวงจรส่วนดิจิทัล (พื้นที่ 2298x1275 μm^2)..... 108

รูปที่ 4-9 ผังการจัดตำแหน่งส่วนต่างๆ ของวงจร 109

รูปที่ 4-10 ลายวงจรรวมที่สมบูรณ์ของงานวิจัย..... 110

รูปที่ 4-11 ตำแหน่งของชิปบนตัวถัง และชื่อสัญญาณที่ขาต่างๆ..... 111

รูปที่ 4-12 ผังวงจรแสดงการต่อใช้งานวงจรรวมต้นแบบ 117

รูปที่ 4-13 ส่วนประกอบของแผ่นทดสอบ 117

รูปที่ 5-1 ภาพถ่ายวงจรรวมต้นแบบ..... 120

รูปที่ 5-2 กราฟแสดงผลของอุณหภูมิต่อแรงดันอ้างอิง..... 122

รูปที่ 5-3 กราฟแสดงผลของแรงดันแหล่งจ่ายต่อแรงดันไบแอส 123

รูปที่ 5-4 ผลการวัดความผิดพลาดของเอดีซีที่ปรับเทียบแล้ว (สูงสุด 0.94 ต่ำสุด –1.25)..... 126

รูปที่ 5-5 สัญญาณออกของตัวอินทิเกรตเมื่อไม่มีกระแสขาเข้า 127

รูปที่ 5-6 สัญญาณออกของตัวอินทิเกรตขณะที่ปรับเทียบออฟเซต (ก) กระแสขาเข้ามีค่า 200 nA (ข) กระแสขาเข้ามีค่า 100 nA..... 128

รูปที่ 5-7 สัญญาณออกของตัวอินทิเกรตขณะที่ปรับเทียบความไว (ก) กระแสขาเข้ามีค่า 500 nA (ข) กระแสขาเข้ามีค่า 1500 nA (ค) ภาพซ้อนของการปรับเทียบในรูป ก (ง) ภาพซ้อนของการปรับเทียบในรูป ข..... 129

รูปที่ 5-8 สัญญาณขับจอผลึกเหลวเจ็ดส่วน (เลขเก้า)..... 130

รูปที่ 6-1 วิธีการวาดคู่ทรานซิสเตอร์ซึ่งต่อคาสโคดให้ประหยัดพื้นที่ 135

สารบัญภาพ (ต่อ)

ภาพประกอบ หน้า

รูปที่ ก-1 วงจรไบแอสทรานส์คอนดักแตนซ์คงที่ 143

รูปที่ ก-2 วงจรไบแอสซึ่งใช้เทคนิคเลื่อนระดับแรงดัน (ก) แนวคิด (ข) วงจรจริง 144

รูปที่ ก-3 วงจรไบแอสที่ใช้ทรานซิสเตอร์ในย่านไทรโอด 145

รูปที่ ข-1 วงจรขยายผลต่าง 146

รูปที่ ค-1 ผลของแบนด์วิดท์ต่อการเปรียบเทียบ (ก) เมื่อแบนด์วิดท์กว้าง (ข) แบนด์วิดท์แคบ .. 148

รูปที่ ค-2 แบบจำลองสัญญาณขนาดเล็กของตัวเปรียบเทียบในสถานะติดตาม 149

รูปที่ ค-3 ผลตอบชั่วครู่ของแรงดัน v_o เมื่อวงจรอยู่ในสถานะติดตาม 149

รูปที่ ง-1 ลายวงจรพิมพ์ของแผ่นทดสอบด้านบน (บน) และด้านล่าง (ล่าง) 150

รูปที่ ง-2 ผังวงจรของแผ่นทดสอบวงจรรวม 151

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย