บทที่ 3

บัสและระบบไมโครโปรเซสเซอร์

3.1 ลักษณะของบัสในระบบไมโครโปรเซสเซอร์ [3],[4],[5],[11]

ระบบไมโครโปรเซสเซอร์โดยทั่วไปประกอบด้วย ตัวซีพียู (Central Processor Unit :CPU) หรือไมโครโปรเซสเซอร์ (Microprocessor) หน่วยความจำ (Memory) ส่วนอินพุต/เอาท์พุต(Input/Output :I/O) และส่วนอินเตอร์เฟส (Interfacing Unit) เป็นต้น ส่วนต่าง ๆ เหล่านี้จะมีการเชื่อมต่อขึ้นมาเป็นระบบ เดิมระบบไมโครโปรเซสเซอร์ใช้ในการควบคุมขนาดเล็ก มีวงจรไม่มาก การออกแบบระบบจึงใช้ชิปไอซี (Chip IC) มาต่อกันเป็นวงจรบนแผ่นวงจรพิมพ์ (Printed Circuit Board:PCB) ต่อมาเมื่อระบบใหญ่ขึ้นก็จะแบ่งเป็นโมดูล (Module) ตามฟังก์ชันการทำงาน (Function) การออกแบบวงจรจะใช้แต่ละโมดูลมาประกอบกันเป็นวงจรแทน โดยที่วงจรของแต่ละโมดูลจะอยู่บนแผ่นวงจรพิมพ์ขนาดเล็กแล้วเชื่อมต่อแต่ละโมดูลด้วยแผ่นสัญญาณด้านหลัง (Backplane) จะเห็นว่าเป็นการเปลี่ยนการออกแบบระบบจากระดับขององค์ประกอบวงจรมาต่อกัน (Component Level) ไปเป็นระดับบอร์ด (Board Level) โดยที่เรียกแต่ละโมดูลว่า บอร์ดลูก(Daughter Board) และเรียกแผ่นสัญญาณด้านหลังว่า บอร์ดแม่ (Mother Board) นอกจากการเชื่อมต่อดังที่กล่าวมาแล้วยังมีการเชื่อมต่อแบบที่ใช้สายเคเบิล (Cable) ซึ่งส่วนใหญ่เป็นการต่อระบบกับส่วนอินพุต/เอาต์พุตมีทั้งแบบอนุกรม (Serial) และแบบขนาน (Parallel) การเชื่อมต่อทั้งหมดนี้รวมเรียกว่า บัส (Bus) บัสไม่ได้มีความหมายเพียงการเชื่อมต่อสัญญาณแบบขนานหรือการที่สัญญาณหลาย ๆ เส้นเดินทางพร้อมกันจากจุดเดียวกันไปยังจุดปลายเดียวกัน แต่บัสในระบบไมโครโปรเซสเซอร์ หมายถึง ช่องทางสื่อสารข้อมูลเชิงเลขระหว่างส่วนต่าง ๆ ของระบบ บัสมีหลายรูปแบบแตกต่างกันตามลักษณะอุปกรณ์ที่เชื่อมต่อ ชนิดและหน้าที่ของการสื่อสาร

3.1.1 ประเภทของบัส

หากแบ่งตามกลไกการติดต่อระหว่างอุปกรณ์ บัสจะมีอยู่ 3 ประเภท คือ แอดเดรสบัส (Address Bus) บัสข้อมูล (Data Bus) และบัสควบคุม (Control Bus) จากรูปที่ 3.1 [11] อุปกรณ์ M1 และ M4 เป็นนาย (Master) ซึ่งเป็นตัวริเริ่มการรับส่งข้อมูล ส่วนอุปกรณ์ S2 และ S3 เป็นบ่าว (Slave) คือเป็นตัวจ่ายหรือรับข้อมูลเมื่อนายสั่งให้ทำ เริ่มแรกพิจารณา M1 ต้องการติดต่อกับ S2 M1 จะต้องส่งสัญญาณที่ทำให้ S2 ตอบสนองไปบนบัส คือเป็นสัญญาณที่เลือก S2 ให้ต่างจากอุปกรณ์อื่น ๆ บนบัสซึ่งเรียกว่า แอดเดรส ถ้า M1 ส่งข้อมูลไปให้ S2 จะเรียกว่า M1 เขียนข้อมูลไปยัง S2 (Write) แต่ถ้า S2 ส่ง

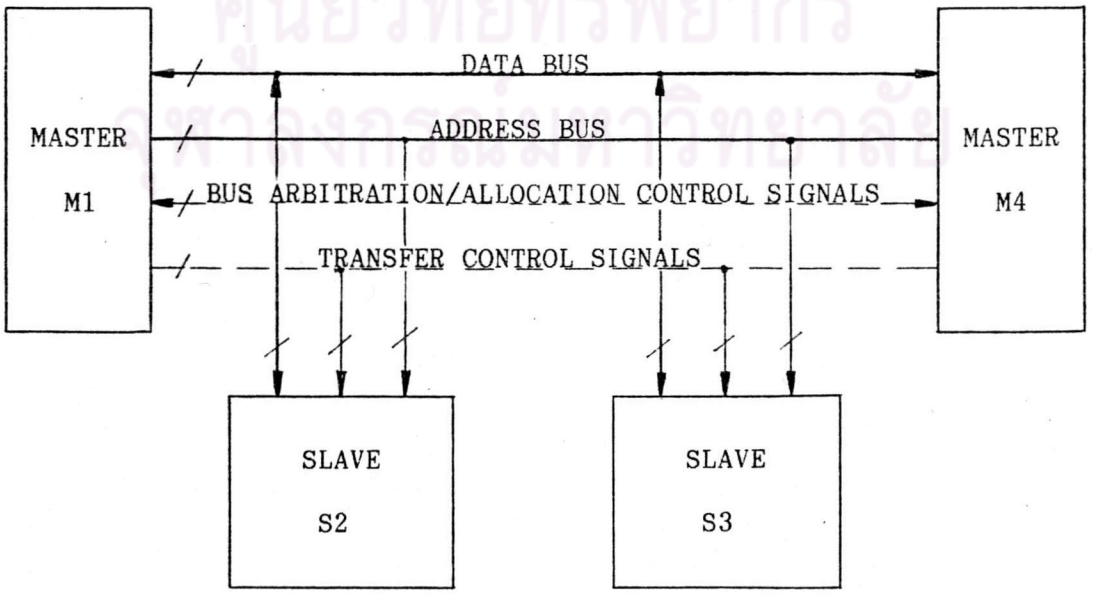
ข้อมูลให้ M1 จะเรียกว่า M1 อ่านข้อมูลจาก S2 (Read) จะเห็นว่าเป็นการรับส่งข้อมูลบนสายสัญญาณเดียวกัน เราจึงเรียกสายรับส่งนี้ว่า บัสแบบสองทิศทาง(Bidirectional Bus) ซึ่งตรงข้ามกับบัสที่มีทิศทางเดียว (Unidirectional Bus) สัญญาณที่ M1 ส่งไปให้ S2 พร้อมกับแอดเดรสเพื่อจะบอกว่าอ่านหรือเขียนนั้นเรียกว่า บัสควบคุม อุปกรณ์บางอย่างสามารถเป็นได้ทั้งนายและบ่าว แต่โดยทั่วไปจะไม่เป็นทั้งสองอย่างในเวลาเดียวกัน และจะทำอย่างไรหาก M4 ต้องการใช้บัสด้วย ถ้า M4 เริ่มป้อนสัญญาณไปบนบัสขณะที่ M1 ใช้อยู่จะทำให้เกิดการสับสน(Confusion) เพราะขณะเวลาหนึ่ง ๆ บัสสามารถนำสัญญาณได้เพียงสัญญาณเดียว ดังนั้นอุปกรณ์ที่ต้องการใช้บัสจะต้องแน่ใจก่อนว่า บัสว่าง จึงส่งสัญญาณออกไป และจะทำอย่างไรถ้า M1 และ M4 ต้องการใช้บัสพร้อมกัน ในระบบที่ใหญ่กว่านี้จะมีความซับซ้อนของบัสควบคุมมากกว่านี้ เราสามารถแบ่งประเภทย่อย ๆ ได้อีก 4 ประเภท คือ

1. บัสควบคุมของการมัลติเพล็กซ์ (Multiplex Control Bus) เป็นสายสัญญาณที่บอกว่า ขณะนี้ข่าวสารอะไรกำลังใช้บัสอยู่ เช่น สัญญาณ ALE ของ 8085 เป็นต้น

2. บัสควบคุมของการรับส่งข้อมูล(Transfer Control Bus)ประกอบด้วยสายสัญญาณที่กำหนดว่าข่าวสารถูกส่งเมื่อไร และส่งเรียบร้อยหรือยัง

3. บัสควบคุมของการจัดสรร(Allocation Control Bus) ประกอบด้วยสายสัญญาณที่กำหนดว่า สายของบัสตัวไหนที่ทำการควบคุมการติดต่อของบัสอยู่

4. บัสควบคุมการอินเตอร์รัพต์(Interrupt Control Bus) ประกอบด้วยสายสัญญาณที่บอกว่า บ่าวตัวไหนกำลังพร้อมที่จะรับส่งข้อมูลด้วย



รูปที่ 3.1 แสดงชนิดของบัส

ในบัสควบคุมบางเส้นก็รวมเอาหน้าที่ควบคุมไว้หลายประเภทและเนื่องจากมีการแบ่งปันกันใช้บัสทำให้ต้องมีกฎ หรือโพรโตคอล (Protocol) ขึ้น เพื่อป้องกันการชนกันของสัญญาณ (Bus Contention) โพรโตคอลเป็นตัวกำหนดรูปแบบการทำงานของบัสตัวหนึ่งโดยรูปแบบการทำงานของบัส ขึ้นอยู่กับข้อกำหนด ดังต่อไปนี้

1. ข้อกำหนดทางฮาร์ดแวร์ (Hardware Specification) กำหนดลักษณะทางกล ซึ่งได้แก่ จำนวน การวางตัวและช่องว่างระหว่างสายสัญญาณ ชนิดของตัวเชื่อมต่อของบัส ขนาดและความหนาของแผ่นวงจรพิมพ์ เป็นต้น ทั้งยังกำหนดคุณสมบัติทางไฟฟ้าของบัสอีก เช่น อิมพีแดนซ์ของสาย (Characteristic Impedance) ความยาวมากที่สุดของสายสัญญาณ รูปแบบของสัญญาณ (Signaling Format) ข้อกำหนดของตัวขับบัสและตัวรับ วิธีการสิ้นสุดของสัญญาณ (Line Termination Method) เป็นต้น

2. ข้อกำหนดรูปแบบของบัส(Bus Format Specification) กำหนดจำนวน ความกว้างของบัสข้อมูล/แอดเดรสบัส และยังบอกหน้าที่ของสัญญาณควบคุม

3. โพรโตคอลควบคุมการรับส่งข้อมูล (Data Transfer Control Protocol) กำหนดช่วงผันแปรเวลา (Time Variation) และการตอบโต้ของสัญญาณควบคุมในระหว่างการรับส่งข้อมูล

4. โพรโตคอลควบคุมการจัดสรร(Allocation Control Protocol) กำหนดช่วงผันแปรเวลา และกำหนดการตอบโต้ของสัญญาณควบคุม ขณะจะเปลี่ยนไปควบคุมโดยนายตัวใหม่

5. โพรโตคอลการซิงโครไนเซชันของอุปกรณ์ (Device Synchronization Protocol) กำหนดช่วงผันแปรเวลา และกำหนดการตอบโต้ของสัญญาณควบคุมซึ่งบอกความพร้อมของการรับส่งข้อมูลโดยบ่าว

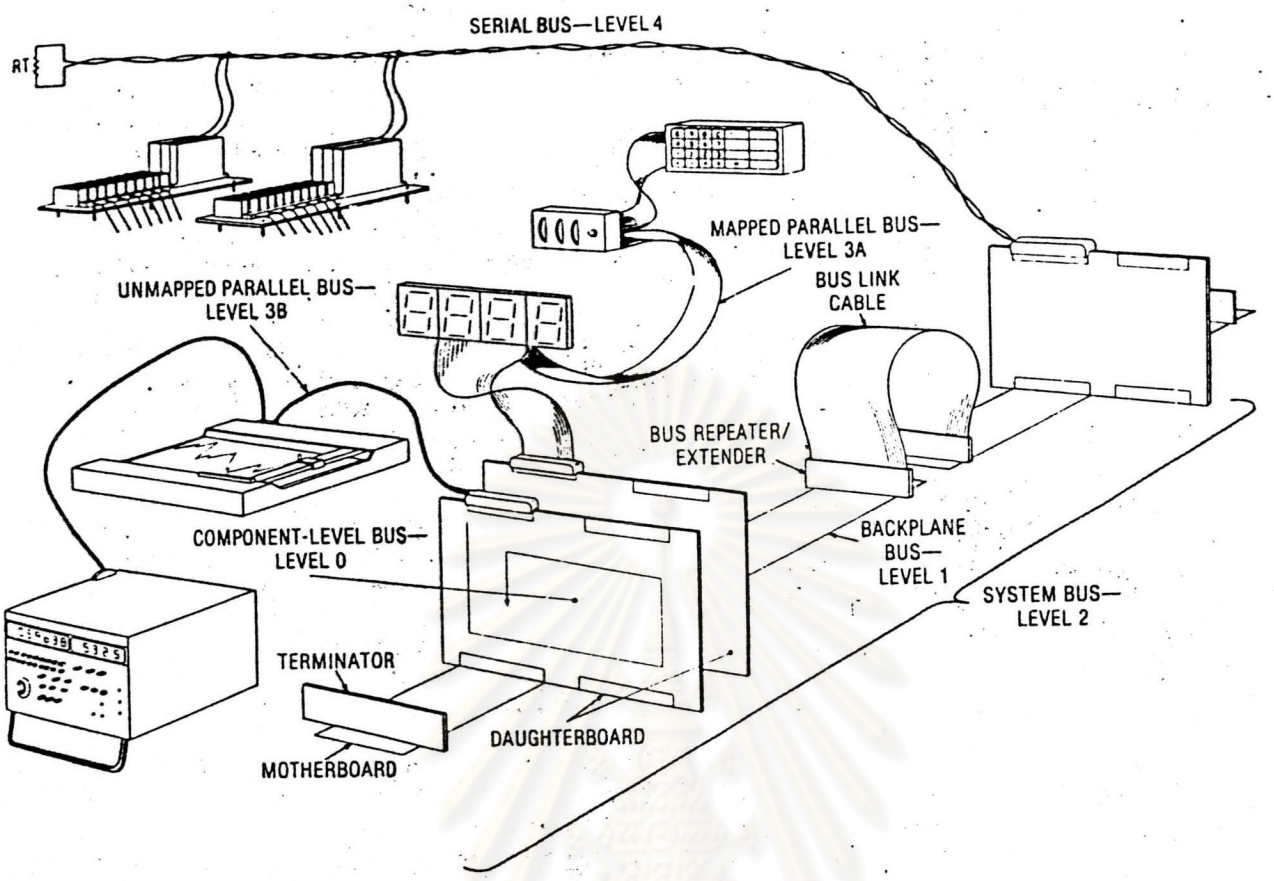
นอกจากนี้เรายังสามารถจำแนกบัสออกเป็นระดับด้วยระยะทาง(Length) ความเร็ว (Speed) ความกว้าง (Width)และโพรโตคอล (Protocol) ที่ใช้ติดต่อสื่อสาร เช่นเดียวกับการจำแนกระดับโปรแกรมของคอมพิวเตอร์ออกเป็นลำดับชั้นของความเร็ว และความจุ(Hierachy of Speed and Capacity) ด้วยจำนวนของเครื่องคอมพิวเตอร์เสมือน (Virtual Machine) และขนาดของหน่วยความจำที่ใช้ จากรูปที่ 3.2 [5] สามารถแบ่งบัสได้ 5 ระดับดังนี้

1. ระดับศูนย์-บัสระดับส่วนประกอบของวงจร (Level 0-Component Level Bus) เป็นบัสที่เชื่อมต่อระหว่างส่วนประกอบต่าง ๆ ของวงจรบนบอร์ด ถือได้ว่าเป็นบัสระดับต่ำที่สุดที่ผู้ออกแบบสามารถเข้าถึงได้ แต่ไม่ใช่บัสระดับต่ำที่สุดของระบบเพราะยังมีบัส

017973

ที่อยู่ภายในตัวอุปกรณ์ที่เป็นบัสระดับต่ำกว่าอีก บัสระดับศูนย์นี้ใช้รับส่งข้อมูลความเร็วสูงบ่อยที่สุด เพราะจะมีการรับส่งคำ (Word) หรือไบต์ (Byte) สำหรับควบคุมลำดับการทำงานระดับจุลภาคของระบบ (Sequence of Micro-Operation) บัสทั้งหมดในระดับนี้อยู่บนแผ่นวงจรพิมพ์เพียงแผ่นเดียวจึงเป็นข้อจำกัดด้านความยาวของสายสัญญาณ (Wire,Trace or Signal Line) สัญญาณส่วนใหญ่จะถูกใช้โดยตัวประมวลผล (Processor) หรืออุปกรณ์แอลเอสไอ (LSI Device) ทำให้บัสระดับนี้มีลักษณะอุทิศตัวและมีความยืดหยุ่นได้น้อย (Dedicated and Inflexible) อุปกรณ์แอลเอสไอบนบอร์ดไม่จำเป็นต้องใช้ตัวบัฟเฟอร์ (Buffer) เพราะอาจมีกำลังขับพอ ยกเว้นส่วนที่ต้องติดต่อกับระดับสัญญาณด้านหลัง (Backplane Level) เพราะสัญญาณในบัสระดับนี้จะต้องถูกแบ่งปันกันใช้งาน โดยอุปกรณ์มากมายในเวลาต่าง ๆ กัน ค่าระดับแรงดันอาจแยกไม่ออกว่าเป็นลอจิก (Logic) "0" หรือ "1" ทั้งยังต้องมีวิธีที่ทำให้เอาต์พุตทางดิจิตอล (Digital) ของอุปกรณ์ไม่ต่อกับบัสเมื่อไม่ได้ใช้งานอีก อันได้แก่ การใช้ตัวขับสามสถานะ (Tri-State Driver) การใช้ตัวขับแบบคอลเลกเตอร์เปิด (Open-Collector Driver) ในตระกูลทีทีแอล (TTL) เป็นต้น [4] และเนื่องจากการบรรจุวงจรลงในตัวอุปกรณ์ที่มีขามาก ๆ มีราคาสูง จึงมีรูปแบบใหม่ของบัสระดับนี้ที่เรียกว่า การมัลติเพล็กซ์ (Multiplexing) ซึ่งเป็นการรวมสัญญาณข้อมูลและแอดเดรสเข้าไว้ด้วยกัน เช่น ในตัวไมโครโปรเซสเซอร์เบอร์ 8085 ,8048 และ 8086 เป็นต้น ทั้งนี้เพื่อลดจำนวนขาของอุปกรณ์และเป็นการลดจำนวนสายสัญญาณ จำนวนการเชื่อมต่อ จึงเป็นการเพิ่มความเชื่อถือได้ของวงจรด้วยโดยจะต้องมีการทำงานแบบประสานจังหวะ(Synchronization Process) มาเกี่ยวข้องกับการทำงานของบัส แต่ถ้าหากวงจรไม่มีอุปกรณ์รอบข้างที่มีระบบมัลติเพล็กซ์ เช่น ซีพียู 8085 มี 8155 เป็นตัวอินเตอร์เฟสแบบมัลติเพล็กซ์ ก็จะต้องมีตัวดีมัลติเพล็กซ์ (Demultiplex) เป็นตัวแยกสัญญาณในวงจรด้วย

2. ระดับที่หนึ่ง-บัสระดับแผ่นสัญญาณด้านหลัง (Level 1- Backplane Bus) เป็นบัสที่ใช้ติดต่อสื่อสารระหว่างบอร์ดของระบบโดยผ่านแผ่นสัญญาณด้านหลังหรือบอร์ดแม่ (Backplane or Mother Board) ซึ่งจะมีบอร์ดลูกหลายชนิด หลายหน้าที่ และจากหลายผู้ผลิตมาใช้บัสบนบอร์ดแม่นี้ร่วมกัน ฉะนั้นการออกแบบบัสระดับนี้จึงต้องพยายามหลีกเลี่ยงการเชื่อมต่อกับอุปกรณ์แบบหนึ่งต่อหนึ่ง เพื่อรองรับความแตกต่างของอุปกรณ์และบอร์ดที่ใช้บนบัส บัสระดับนี้จะถูกใช้งานไม่บ่อยเท่าบัสระดับศูนย์ เพราะจะใช้รับส่งข้อมูลความเร็วสูงระหว่างส่วนประกอบศูนย์กลางของระบบ(Control Component of the System) ที่อยู่บนแต่ละบอร์ดเท่านั้น และนอกจากจะเป็นการเชื่อมต่อของสัญญาณต่าง ๆ แล้วยังเชื่อมต่อไฟจากแหล่งจ่ายไฟไปให้กับบอร์ดลูกอีกด้วย

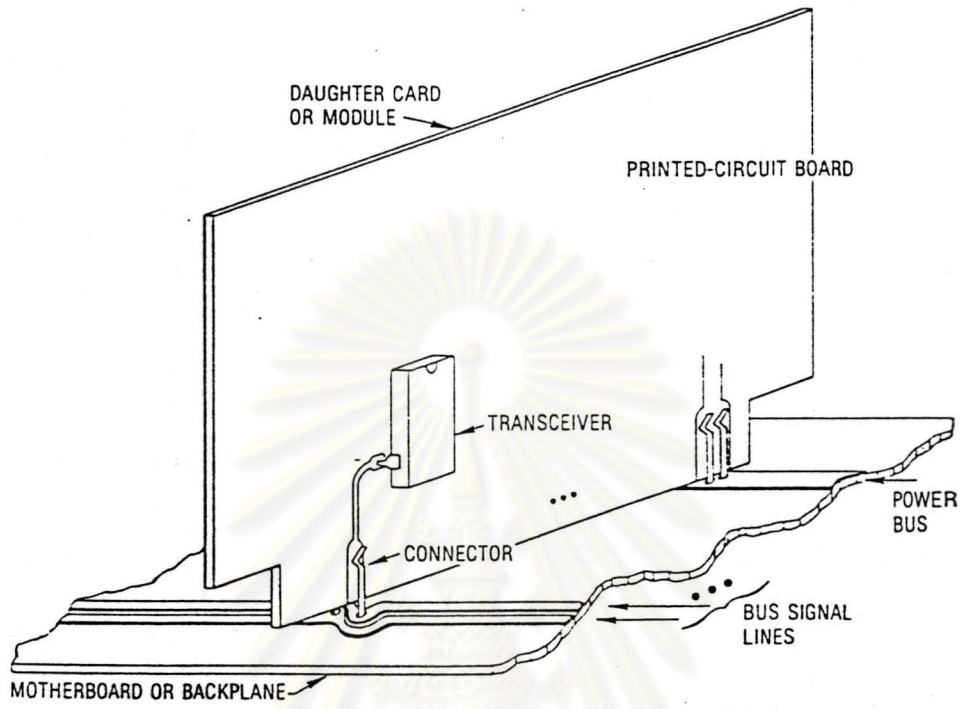


รูปที่ 3.2 แสดงลำดับชั้นของบัสระดับต่าง ๆ

บอร์ดแม่นี้จะเป็นแผ่นวงจรพิมพ์ที่มีลายทองแดงของสัญญาณ วางเรียงขนานกันและต่ออยู่กับด้านหลังของตัวคอนเนกเตอร์ (Connector) ลักษณะการเชื่อมต่อของบัสระดับนี้มี 2 แบบ ด้วยกัน คือ

1. การเชื่อมต่อโดยตรง(Direct-Edge Connecting) ใช้ขอบบอร์ดซึ่งมีลายทองแดงที่เป็นขั้ว ๆเรียงขนานกันอยู่บนส่วนที่ยื่นออกมาจากตัวบอร์ดเป็นตัวเชื่อมต่อกับตัวคอนเนกเตอร์สปริงที่วางตั้งอยู่กลางลายทองแดงบนบอร์ดแม่เป็นระยะ ๆ ดังแสดงในรูปที่ 3.3 [4] โดยมากลายทองแดงบนขอบบอร์ดและตัวคอนเนกเตอร์สปริงจะเคลือบด้วยทองเพื่อป้องกันการสึกกร่อนของหน้าสัมผัสจากการเสียบบอร์ดเข้า หรือถอดออกหลาย ๆ ครั้ง

2. การเชื่อมต่อโดยอ้อม(Indirect/Two-part Connecting) ใช้คอนเนกเตอร์ที่เป็นตัวผู้กับตัวเมีย ซึ่งอยู่ที่ขอบของบอร์ดลูกและตั้งอยู่กลางลายทองแดงของบอร์ดแม่ตามลำดับ บางระบบอาจใช้คอนเนกเตอร์ตัวผู้กับบอร์ดแม่และใช้คอนเนกเตอร์ตัวเมียกับบอร์ดลูก ข้อดีของตัวเชื่อมต่อแบบนี้คือ สามารถใช้เชื่อมต่อสัญญาณกับบอร์ดแม่ได้มากกว่าสองแถว ขึ้นอยู่กับความหนาแน่นของการเชื่อมต่อที่ขอบของบอร์ด ทั้งยังมีความเชื่อถือได้มากกว่าแบบแรก เพราะมีส่วนที่กันฝุ่นละออง และสิ่งสกปรกครอบตัวคอนเนกเตอร์อยู่ด้วย



รูปที่ 3.3 แสดงการเชื่อมต่อโดยตรงซึ่งใช้ขอบบอร์ดเป็นคอนเนกเตอร์

บัสระดับนี้อาจใช้งานแบบมัลติเพล็กซ์ได้แต่ต้องไม่ขึ้นอยู่กับตัวประมวลผลใด ๆ โดยมีการดีมัลติเพล็กซ์ที่บัสระดับส่วนประกอบของวงจรเพื่อติดต่อกับอุปกรณ์ภายในบอร์ด และจะทำการมัลติเพล็กซ์อีกครั้งที่ส่วนอินเตอร์เฟสของบอร์ดกับบัสระดับแผ่นสัญญาณด้านหลังนี้ การใช้วิธีมัลติเพล็กซ์ที่แผ่นสัญญาณด้านหลังนี้เป็นการถ่วงสมรรถนะของตัวประมวลผลที่ไม่มีการมัลติเพล็กซ์ในตัวด้วย [5]

คุณสมบัติหนึ่งที่บอกลักษณะของบัสที่แผ่นสัญญาณด้านหลังได้คือ แผนภาพเวลา (Timing Diagram) ซึ่งใช้แสดงจังหวะการรับส่งข้อมูลบนบัส รูปแบบของจังหวะการรับส่งมี 3 แบบ คือ

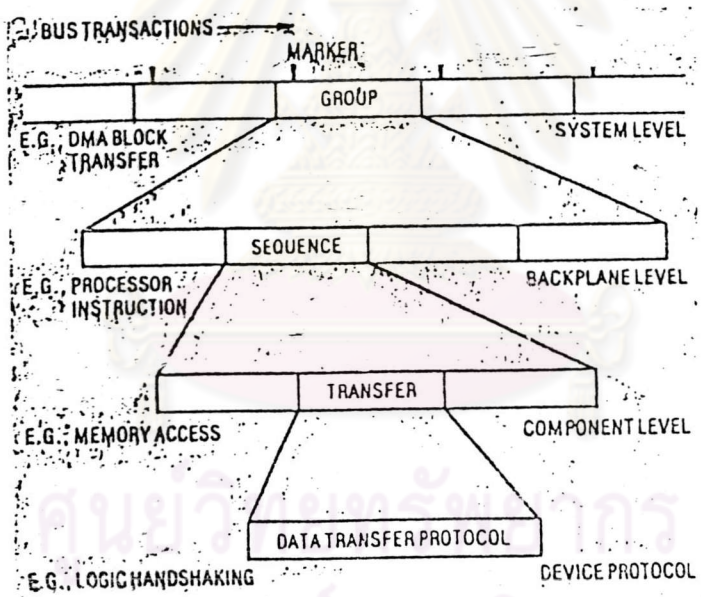
1. การรับส่งแบบซิงโครนัส (Synchronous Transfer) เป็นการรับส่งข้อมูลที่ต้องอิงกับสัญญาณนาฬิการ่วม(Common Clock) และให้อัตราปริมาณงานสูงสุดในทางทฤษฎี เนื่องจากใช้สัญญาณควบคุมเส้นเดียวที่มีทิศทางจากนายสู่บ่าวและไม่มีปัญหาเรื่องการหยุดชะงัก (Hang) แต่ถ้าหากเกิดการผิดพลาดก็จะแสดงผลทันที

2. การรับส่งแบบอะซิงโครนัส(Asynchronous Transfer)เป็นการรับส่งข้อมูลที่มีความยืดหยุ่นมากเพราะสามารถปรับความเร็วในการรับส่งได้ตามบ่าว แต่จะช้ากว่าแบบซิงโครนัส เพราะต้องใช้สัญญาณควบคุมอย่างน้อย 2 สัญญาณ คือ นายส่งสัญญาณสโตรบ (Strobe) ไปแล้วรอรับสัญญาณตอบสนองจากบ่าว ทำให้ต้องใช้เวลาในการเดินทางของสัญญาณทั้งสองสัญญาณที่มีทิศทางสวนกันรวมทั้งเวลาประวิงของวงจรลอจิก(Logic Delay) และยังอาจมีปัญหาเรื่องการหยุดชะงัก (Hang) เนื่องจากไม่ได้รับสัญญาณตอบสนองจากบ่าว จึงต้องมีตัวบอกหมดเวลาแบบเอกเสถียร(Timeout Monostable) เพื่อบอกการสิ้นสุดการรอสัญญาณตอบสนอง และบอกว่ามีการผิดพลาดเกิดขึ้นที่บัส

3. การรับส่งแบบแยกวัฏจักร(Split-Cycle Transfer) เพื่อแก้ไขการสูญเสียเวลาในการเข้าถึงบ่าว นายจะส่งสัญญาณแอดเดรสไปเพื่อขอข้อมูลจากบ่าว และจะเลิกใช้บัส เมื่อข้อมูลจากบ่าวพร้อมที่จะส่งให้นาย บ่าวจะทำตัวเป็นนายจำลอง (Psuedomaster)ส่งแอดเดรสของนายไปให้พร้อมทั้งข้อมูล ปัจจุบันเลิกใช้การรับส่งแบบนี้แล้ว

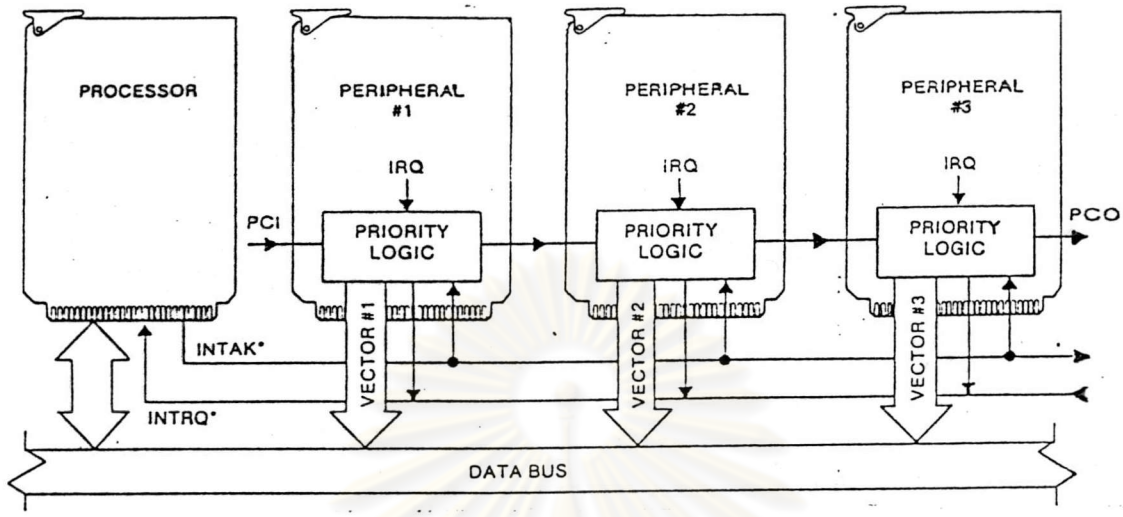
3. ระดับที่สอง-บัสระบบ (Level 2 - System Bus) เป็นบัสที่ใช้รับส่งกลุ่มของข้อมูลความเร็วสูง ระหว่างไมโครคอมพิวเตอร์กับหน่วยความจำร่วมในระบบมัลติโปรเซสเซอร์ (Multiprocessor System) หรือระหว่างไมโครคอมพิเตอร์แผ่นวงจรพิมพ์เดี่ยว (Single-Board Microcomputer) กับอุปกรณ์อินพุต/เอาท์พุตในระบบคอมพิวเตอร์สมรรถนะสูง ส่วนใหญ่บัสระบบจะเป็นแบบขนานและจะรวมถึงบัสระดับแผ่นสัญญาณด้านหลังที่เชื่อมต่อกันด้วยตัวเชื่อมโยงบัส (Bus Linker) ตัวทวนสัญญาณบัส (Bus Repeater) หรือตัวขยายบัส (Bus Extender) ที่เชื่อมระหว่างแผ่นสัญญาณด้านหลัง 2 แผ่น ดังแสดงในรูปที่ 3.2 และในบางระบบบัสระดับนี้อาจเป็นบัสแบบอนุกรม ซึ่งใช้รับส่งข้อมูลระดับสูงในระยะสั้น ๆ ที่ใช้ไม่บ่อยนัก เมื่อบัสมีขนาดยาวมากจะมีปัญหาเกี่ยวกับการเปลี่ยนแปลงของสัญญาณเนื่องจากการเหนี่ยวนำของสัญญาณใกล้เคียง หรือ ครอสทอก (Crosstalk) ซึ่งสามารถแก้ปัญหาด้วยการชีลด์ (Sheilding) แต่ปัญหาที่พบบ่อยเมื่อเกิดครอสทอก ก็คือการเหนี่ยวนำให้เกิดการเปลี่ยนแปลงของแอดเดรส เมื่อสายสัญญาณข้อมูลทุกเส้นมีการเปลี่ยนแปลงพร้อม ๆ กัน ซึ่งทำให้การเข้ารหัสแอดเดรสเปลี่ยนแปลงเร็วมาก จนพอที่จะทำให้ข้อมูลที่ถูกต้องในกลุ่มก่อนหน้าถูกย้ายออกจากบัสก่อนที่ตัวประมวลผลจะมาอ่าน ดังนั้นแทนที่จะให้ตัวประมวลผลอ่านข้อมูลผ่านบัฟเฟอร์ที่แผงวงจรบ่าวอย่างง่าย ๆ ก็ควรใช้วิธีการแลตช์แอดเดรส (Address Latch) เพื่อจับสัญญาณแอดเดรสบนแผงวงจรบ่าวให้คงค่าอยู่สำหรับวัฏจักรการทำงานส่วนที่เหลือ และหลังจากที่แอดเดรสถูกแลตช์เก็บไปแล้วนายตัวอื่นยังสามารถส่งแอดเดรสใหม่สู่บัสเพื่อเตรียมพร้อมที่จะทำงานในวัฏจักรถัดไปซึ่งเรียกว่า การทำไพป์ไลน์(Pipelining)

ในระบบที่ซับซ้อนเมื่อเราออกแบบวงจร เราจะต้องคำนึงถึงระดับสัญญาณและการประวิงของสัญญาณซึ่งเนื่องมาจากโพรโตคอลการรับส่งข้อมูล(Data Transfer Protocol) ลองพิจารณาการรับส่งข้อมูลระหว่างส่วนย่อยต่าง ๆ บนบอร์ด เช่น เมื่อไมโครโปรเซสเซอร์อ่านข้อมูลจากหน่วยความจำ หรือการรับส่งข้อมูลในระดับแผ่นสัญญาณด้านหลัง จะเห็นว่าต้องมีลำดับในการรับส่ง (Sequence of Transfer) เช่น การทำงานตามคำสั่งของตัวประมวลผลซึ่งอาจต้องใช้หลายวัฏจักรของบัส ยิ่งในระบบใหญ่ ๆ บัสระบบก็ต้องมีกลุ่มของลำดับชั้นในการรับส่ง (Group of Sequence) อย่างเช่น การขนถ่ายกลุ่มข้อมูลของดีเอ็มเอ (Direct Memory Access : DMA) ดังนั้นจึงมีการจัดลำดับชั้นของการออกแบบบัสในทางซอฟต์แวร์ที่เป็นโมดูล (Hierarchy of Levels for Bus Design Work) ดังแสดงในรูปที่ 3.4 [5] ส่วนรายละเอียดของลำดับในการรับส่งจะขึ้นอยู่กับโมดูลของนาย (Master Module) และสถาปัตยกรรมของระบบ (System Architecture)



รูปที่ 3.4 แสดงลำดับชั้นของการออกแบบบัสในด้านซอฟต์แวร์ที่เป็นโมดูล

4. ระดับที่สาม-บัสอินเตอร์เฟสแบบขนาน (Level 3 – Parallel Interface Bus) เป็นบัสที่เชื่อมต่อระบบกับอุปกรณ์รอบข้าง (Peripheral Device) โดยใช้กับการรับส่งกลุ่มของข้อมูลขนาดใหญ่ที่ใช้ไม่บ่อยนัก ซึ่งอาจมีการโยงเป็นสายโซ่แบบเดซี (Daisy Chaining) กับอุปกรณ์รอบข้างหลาย ๆ ตัว การโยงเป็นสายโซ่แบบเดซีเป็นการจัดลำดับความสำคัญของการขออินเตอร์รัปต์ของอุปกรณ์รอบข้าง ในรูปที่ 3.5 [12] แสดงรูปแบบของการโยงเป็นสายโซ่แบบเดซีบน STD บัส



รูปที่ 3.5 แสดงรูปแบบของการโยงเป็นสายโซ่แบบเดซีบน STD บัส

บัสอินเตอร์เฟสแบบขนานสามารถแบ่งได้เป็น 2 ประเภท ดังนี้

1. บัสอินเตอร์เฟสขนานแบบแมป (Mapped Parallel Interface Bus)เป็นส่วนหนึ่งของส่วนขยายบัสระบบ โดยสัญญาณข้อมูลบางสัญญาณหรือทั้งหมดถูกแลตช์ผ่านไปยังโลกภายนอกที่กำหนดตำแหน่งโดยสายแอดเดรส การรับส่งแบบนี้จะต้องมีสัญญาณควบคุม 2 ชนิด คือ สัญญาณสโตรบที่ให้จังหวะการทำงานรับส่งข้อมูลกับอุปกรณ์รอบข้างที่ถูกเลือกและสัญญาณที่บอกทิศทางการส่งผ่านข้อมูล

2. บัสอินเตอร์เฟสขนานแบบไม่แมป (Unmapped Parallel Interface Bus) เป็นระบบทางด่วนของข้อมูลที่แยกออกจากสัญญาณปกติ ซึ่งได้จากการรับส่งระหว่างตัวประมวลผลกับหน่วยความจำของมัน โดยจะต้องใช้วงจรส่วนอินเตอร์เฟสมากกว่าบัสอินเตอร์เฟสขนานแบบแมป และมีเพียงรีจิสเตอร์ควบคุม (Control Register) ของส่วนอินเตอร์เฟสเท่านั้นที่กำหนดตำแหน่งของมันอิงกับการเข้าถึงแบบหน่วยความจำ หรือแบบไอ/โอ

5. ระดับที่สี่-บัสอินเตอร์เฟสแบบอนุกรม (Level 4 - Serial Interface Bus) เป็นบัสที่นิยมใช้ในเครือข่ายคอมพิวเตอร์ (Computer Network) ร่วมกับโพรโตคอลการสวิตช์ของกลุ่มข้อมูล (Packet-Switching Protocol) นอกจากนี้ยังมีแนวโน้มที่จะนำมาใช้ เป็นบัสแบบอนุกรมสำหรับ การเชื่อมต่อของส่วนรวบรวมข้อมูล (Data Acquisition) และโมดูลไอ/โอเชิงเลข (Digital I/O Module) กับอุปกรณ์แอลเอสไอ

ที่ใช้อินเตอร์เฟส บัสอนุกรมนี้เป็นบัสที่มีระยะไกลที่สุดและช้าที่สุดที่ยังคงใช้ระดับลอจิกแบบดีซี (DC logic Level) ในการติดต่อสื่อสาร จะเห็นว่าบัสอนุกรมที่เป็นมาตรฐานแบบ RS-422 สามารถส่งรับข้อมูลได้ไกลมากกว่า 1,000 เมตร ซึ่งการรับส่งระยะไกลนี้จะต้องคำนึงถึงการลดทอนของสัญญาณเนื่องจากการส่งระยะไกลด้วย วิธีการที่ใช้ในบัสอนุกรมที่ไม่วิกฤติทางความเร็วของการส่งจะใช้การช่วงชิงโดยพลการ (Contention Arbitration) คือ เริ่มแรกนายจะตรวจดูสภาวะของบัสว่าว่างหรือไม่ ถ้าว่างก็จะส่งข่าวสารข้อมูลพร้อมทั้งตรวจดูสภาวะของบัสไปด้วย ถ้าข่าวสารถูกแทรกแซงก็จะถอนตัวจากการส่งในช่วงนั้นแล้วพยายามใหม่อีกครั้ง

3.1.2 มาตรฐานของบัส (Bus Standard) [11]

ในยุคแรก ๆ ของไมโครคอมพิวเตอร์ บัสถูกกำหนดตามสัญญาณซึ่งปรากฏที่ขาของไมโครโปรเซสเซอร์ และแต่ละผู้ผลิตก็กำหนดบัสและโพรโตคอลของตนเอง เมื่อ 15 ปีที่ผ่านมา มีการเปลี่ยนแปลงทางเทคโนโลยีของไมโครโปรเซสเซอร์อย่างรวดเร็ว จากปี ค.ศ.1971 ซึ่งมีไมโครโปรเซสเซอร์เพียงเบอร์เดียวจนกระทั่งปีค.ศ.1985 มีจำนวนมากกว่า 30 เบอร์ ซึ่งสมรรถนะก็ถูกพัฒนาให้ดีขึ้นจาก 4 บิต (Bit) เป็น 32 บิตไมโครโปรเซสเซอร์ จากแอดเดรสสเปซ(Address Space) 4 กิโลไบต์(Kbyte) มาเป็น 4 กิกกะไบต์(Gbyte) จากเวลาครบรอบ (Cycle Time) 10 ไมโครวินาที (usec) มาเป็น 0.1 ไมโครวินาที และยังพบว่ามีการออกแบบระบบไมโครโปรเซสเซอร์ของผู้ผลิตต่างกัน มาทำงานในระบบเดียวกัน ทางด้านผู้ใช้ไมโครโปรเซสเซอร์ก็ประสบปัญหากับพัฒนาการของซอฟต์แวร์ใหม่ ๆ ปัญหาการออกแบบหรือปรับปรุงฮาร์ดแวร์ใหม่ทุกครั้งที่ใช้ไมโครโปรเซสเซอร์เบอร์ใหม่ และปัญหาจากความแตกต่างของหน่วยความจำหรืออุปกรณ์รอบข้างที่มีหลากชนิดจากผู้ผลิตต่าง ๆ ทำให้ผู้ผลิตไมโครโปรเซสเซอร์ตระหนักว่า ถ้าไม่มีการกำหนดความเข้ากันได้ (Compatibility) ของผลิตภัณฑ์ใหม่กับผลิตภัณฑ์ที่มีอยู่จะทำให้ตลาดไม่ยอมรับผลิตภัณฑ์ใหม่ เนื่องจากต้นทุนในการยกระดับไปใช้ผลิตภัณฑ์ใหม่มีราคาสูง ความเข้ากันได้ในระดับไอซีหรือระดับส่วนประกอบของวงจรนั้นทำได้ยาก เพราะไมโครโปรเซสเซอร์แต่ละรุ่นก็มีความแตกต่างทางสถาปัตยกรรมและข้อกำหนดของสมรรถนะ ผู้ผลิตจึงได้กำหนดมาตรฐานของบัสในระดับแผ่นสัญญาณด้านหลังขึ้น ซึ่งเป็นผลให้ข้อกำหนดของบัสต่าง ๆ ตั้งอยู่บนมาตรฐานของบัสนี้ บัสระดับแผ่นสัญญาณด้านหลังของไมโครโปรเซสเซอร์ และไมโครคอมพิวเตอร์ที่ใช้กันแพร่หลาย ได้แก่ บัส S100 ซึ่งออกแบบตามไมโครโปรเซสเซอร์ของบริษัทอินเทลเบอร์ 8080 (Intel 8080) มัลติบัส (Multibus) ออกแบบอิงกับ Intel 8085 และยูนิบัส (Unibus) ซึ่งออกแบบอิงกับ DEC PDP 11 เป็นต้น และเนื่องจากการออกแบบบัสมาตรฐานถูกพัฒนาโดยปราศจากการคำนึงถึง

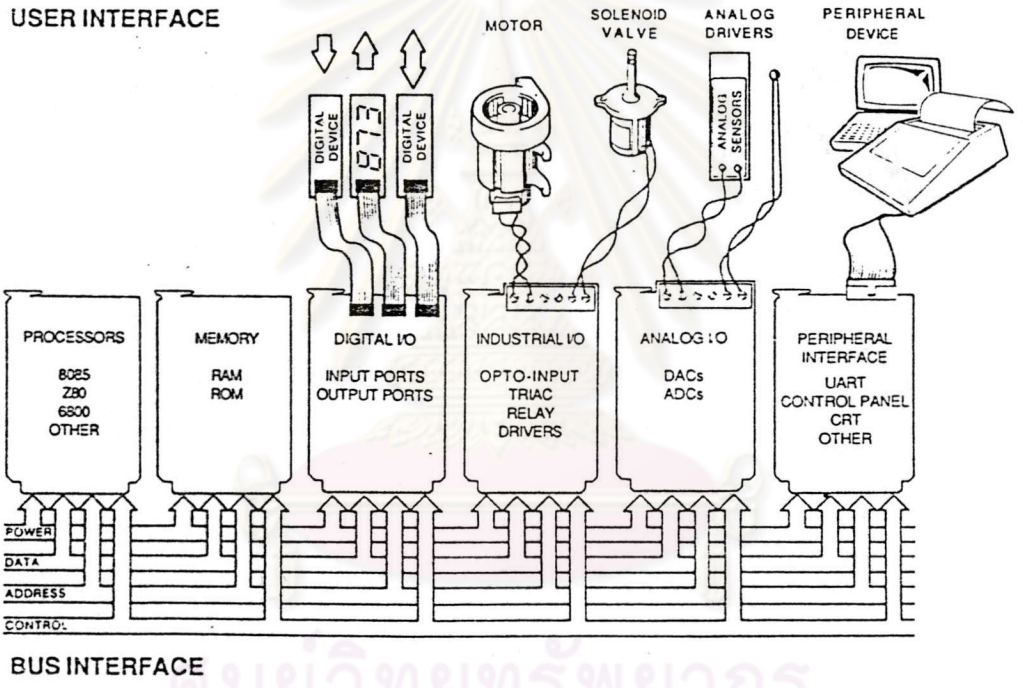
ความเหมาะสมที่สุดกับการทำงานของบัส รวมทั้งมาตรฐานที่ไม่เป็นทางการ ทำให้ผู้ผลิตอื่นสามารถเปลี่ยนข้อกำหนดของบัสให้เหมาะกับความต้องการของตนเอง จึงเป็นผลให้ไออีซี (International Electrotechnical Commission : IEC) และแอนซี (American National Standards Institute : ANSI) เห็นความสำคัญของการกำหนดมาตรฐานที่แน่นอนและเป็นทางการ จึงได้ตั้งคณะกรรมการมาตรฐานทางคอมพิวเตอร์ (IEEE Computer Standards Committee)ขึ้นเพื่อกำหนดและดูแลปรับปรุงบัสมาตรฐานเดิมให้เป็นบัสมาตรฐานของ IEEE Bus Standard ที่สามารถใช้กับไมโครโปรเซสเซอร์ในปัจจุบัน และสามารถรองรับไมโครโปรเซสเซอร์รุ่นใหม่ในอนาคตได้ เช่น บัส IEEE 488 ซึ่งอิงกับบัสจีพีไอบี (General Purpose Interface Bus of Hewlett Packard : GPIB) ,IEEE 696 บัสซึ่งอิงกับบัส S100ของบริษัทอินเทล และบัส IEEE 961 ซึ่งอิงกับ STD Bus ของบริษัทโปรลอกและมอสเทคเป็นต้น นอกจากนี้ยังมีกลุ่มของผู้ใช้ ผู้ผลิตและการทหาร ได้กำหนดบัสมาตรฐานของบัสระดับต่าง ๆ ขึ้นอีก เช่น

- ในระดับส่วนประกอบของวงจร ได้แก่ Philips IEC Bus, National Semiconductor Microbus และ DI-AN Micro System COLUMBUS
- ในระดับแผ่นสัญญาณด้านหลัง ได้แก่ S100 bus, Zilog-Bus, Mostek STD-Z80 Bus, Pro-Log STD Bus และ Ministry of Defence Eurobus
- ในระดับบัสระบบได้แก่ Intel Multibus2,Texas Instruments NuBus และ National Semiconductor CIMBUS เป็นต้น
- ในระดับไอ/โอบัสที่เป็นบัสขนานแบบแมป ไม่มีมาตรฐานด้านการค้า ดังนั้นวิศวกรต้องออกแบบเอง โดยอิงกับความต้องการและจำนวนของอุปกรณ์รอบข้าง ส่วนบัสขนานแบบไม่แมป มักจะมีการกำหนดมาตรฐานโดยอุปกรณ์รอบข้างแอลเอสไอ เช่น Zilog PIO หรือ Intel 8292/8291 และบัสมาตรฐานไอ/โอแบบขนานและไม่แมปที่ใช้กันแพร่หลายก็คือ IEEE 488 นั่นเอง

บัสเป็นเสมือนกระดูกสันหลังของระบบ และเป็นส่วนสำคัญมากในสถาปัตยกรรมของระบบเพราะถ้าบัสถูกออกแบบมาดี เร็วและมีความยืดหยุ่นก็สามารถจะขยายสมรรถนะของตัวประมวลผลที่ใช้ออกมาได้เต็มที่ และจะใช้ได้กับระบบทั่ว ๆ ไป แต่ถ้าบัสถูกออกแบบมาไม่ดี ไม่มีความยืดหยุ่นหรือช้าก็จะเป็นอุปสรรคในการประยุกต์ใช้งานทั้งยังไม่สามารถใช้ต่อไปในอนาคตกับตัวประมวลผลที่จะถูกพัฒนาขึ้นใหม่ด้วย

3.2 STD Bus [12],[13],[15]

STD บัส (Simple To Designed Bus)ได้ถูกแนะนำครั้งแรกในช่วงปีค.ศ.1978 โดยความร่วมมือของบริษัทอเมริกัน 2 บริษัท ได้แก่ บริษัท PRO-LOG และ MOSTEK ซึ่งในครั้งนั้นได้ถูกออกแบบมาเพื่อเป็นบัสมาตรฐานสำหรับไมโครโปรเซสเซอร์ขนาด 8 บิต ที่มีอยู่ในขณะนั้น (8085A, Z-80A, 6800) จุดประสงค์หลักของการแนะนำบัสมาตรฐาน STD บัสนี้เพื่อเสนอระบบควบคุมมาตรฐานทางอุตสาหกรรมที่มีราคาถูก และออกแบบไว้เป็นโมดูลเพื่อใช้แทนที่ระบบแบบเก่าที่เป็น Discrete Logic ระบบพื้นฐานของบัสมาตรฐาน STD บัสสามารถแสดงดังรูปที่ 3.6 [12]



รูปที่ 3.6 แสดงระบบพื้นฐานของบัสมาตรฐาน STD บัส

นอกจากบัสมาตรฐาน STD บัสจะถูกออกแบบมารองรับซีพียูขนาด 8บิตในขณะนั้นแล้ว สิ่งที่สำคัญกว่าก็คือ ความอ่อนตัวในสถาปัตยกรรมของ STD บัสเอง ที่ยอมให้มีการปรับปรุงเพิ่มเติมสำหรับอนาคต หลังจากที่ PRO-LOG และ MOSTEK ได้ร่วมมือกันกำหนดมาตรฐานของ STD บัส และเผยแพร่ออกมาในลักษณะ Public Domain ทำให้มีผู้หันมาผลิตอุปกรณ์รองรับระบบบัสนี้กันมากขึ้น ในปลายปี ค.ศ.1985 มีผู้ผลิตอุปกรณ์รองรับระบบ STD บัสถึง 171 ราย และมีการรวมกลุ่มกันเป็นกลุ่มผู้ผลิต ที่เรียกว่า STD Manufacturers Group (STDMG) โดยสามารถทำตลาดได้ถึง 78 ล้านเหรียญสหรัฐ ในปัจจุบันมีผู้ผลิตอุปกรณ์รองรับ STD บัสมากกว่า 2,000 รายทั่วโลก ซึ่งสามารถครอบคลุมเกือบทุกฟังก์ชันที่ใช้ในระบบควบคุม

จากตารางที่ 3.1 เปรียบเทียบขนาดของบัสต่าง ๆ การ์ดของ STD บัส มีขนาด 6.5 นิ้ว x 4.5 นิ้ว จะโตกว่าซิงเกิ้ลยูโรเปียนการ์ด (Single European Card) ของ VME บัสซึ่งมีขนาด 6.3 นิ้ว x 3.94 นิ้ว เพียงเล็กน้อย ส่วนจำนวนขั้วสัมผัสของ STD บัส มีทั้งหมด 56 คอนแทก (Contact) ซึ่งน้อยกว่าระบบบัสอื่น ๆ แต่มีประสิทธิภาพในการทำงานสูงมาก การเชื่อมต่อแบบคอนแทกจะช่วยให้ลดเวลาในการตรวจซ่อมลงได้มากด้วย

ตารางที่ 3.1 เปรียบเทียบบัสต่าง ๆ ที่นิยมใช้มากในปัจจุบัน

	ขนาดแผ่นการ์ด	คอนเนกเตอร์	จำนวนขั้วสัมผัส
PC & PC/AT	13.2" x 4"	EDGE	62/98
STD	6.5" x 4.5"	EDGE	56
VME	9.187"x6.3" (6.3"x3.94")	DIN	96
MULTIBUS	12" x 6.75"	EDGE	86

เป็นเวลากว่า 7 ปีที่ STD บัสได้รองรับซีพียูขนาด 8 บิต อันได้แก่ Z-80 ซึ่งเป็นซีพียู 8 บิตที่นิยมใช้มากที่สุดในขณะนั้น [15] ในช่วงนั้นเองซีพียู 8 บิตเทียม เช่น 6309, 68008, 8088 และ 80188 เริ่มได้รับความนิยมอย่างแพร่หลายเนื่องจากสถาปัตยกรรมภายในเป็นแบบ 16 บิต ความเร็วของการประมวลผลจะสูงกว่าและดีกว่าแบบ 8 บิตโดยเห็นได้จากซีพียูเบอร์ 8088 ของ Intel ที่ถูกนำไปใช้ในเครื่องคอมพิวเตอร์ส่วนบุคคลของ IBM และได้รับความนิยมอย่างมาก บริษัท WIN SYSTEMS และกลุ่มผู้ผลิตผลิตภัณฑ์ STD บัสได้เสนอข้อกำหนดใหม่ของ STD บัสขนาด 16 บิตออกมาและได้รับการยอมรับจากสมาคม STDMG อันเป็นจุดเริ่มต้นของ STD บัสแบบ 16 บิต ซึ่งทำให้ STD บัสทำงานได้เร็วขึ้นและรองรับซีพียูขนาด 16 บิตได้ ตลาดในช่วงนั้นได้แก่ 68000, 68010, 8086, 80186 และ 80286 โดยขยายส่วนบัสข้อมูลออกเป็น 16 บิต และบัสแอดเดรสออกเป็น 24 เส้น แต่ไม่จำเป็นต้องแก้ไขใด ๆ ในส่วนโครงสร้างของการ์ดเลย กรณีนี้ทำได้โดยมัลติเพล็กซ์แอดเดรส A16-A23 ลงบนบัสข้อมูล ซึ่งแอดเดรสจะถูกแลตช์ที่การ์ดปลายทาง โดยใช้สัญญาณควบคุม MCSYNC (Machine Cycle Sync) ที่สร้างจากซีพียูการ์ด ส่วนบัสข้อมูล 8 บิตบนจะถูกมัลติเพล็กซ์

กับบัสแอดเดรส A8-A15 ดูได้จากตารางที่ 3.2 ซึ่งแสดงการวางขาสัญญาณของ STD บัส 8/16 บิต จะเห็นได้ว่า ไม่จำเป็นต้องแทรกสภาวะรอคอย (Wait State) ให้กับซีพียูเลย และยังทำให้ความเร็วในการประมวลผลไม่ถูกลดลงไปด้วย

ตารางที่ 3.2 แสดงการวางขาสัญญาณของ STD บัสขนาด 8/16 บิต

Bus Connector Pin Assignment

	COMPONENT SIDE				CIRCUIT SIDE			
	PIN	SIGNAL NAME	SIGNAL FLOW	DESCRIPTION	PIN	SIGNAL NAME	SIGNAL FLOW	DESCRIPTION
LOGIC POWER BUS	1	VCC	In	Logic Power (+ 5 V dc)	2	VCC	In	Logic Power (+ 5 V dc)
	3	GND	In	Logic Ground	4	GND	In	Logic Ground
	5	VBAT	In	Battery Power	6	VBB	In	Logic Bias (- 5 V dc)
DATA BUS	7	D3/A19	In/Out	Data Bus/Address Ext	8	D7/A23	In/Out	Data Bus/Address Ext
	9	D2/A18	In/Out		10	D6/A22	In/Out	
	11	D1/A17	In/Out		12	D5/A21	In/Out	
	13	D0/A16	In/Out		14	D4/A20	In/Out	
ADDRESS BUS	15	A7	Out	Address Bus	16	A15	Out	Address Bus
	17	A6	Out		18	A14	Out	
	19	A5	Out		20	A13	Out	
	21	A4	Out		22	A12	Out	
	23	A3	Out		24	A11	Out	
	25	A2	Out		26	A10	Out	
	27	A1	Out		28	A9	Out	
	29	A0	Out		30	A8	Out	
CONTROL BUS	31	WR*	Out	Write to Memory or I/O	32	RD*	Out	Read Memory or I/O
	33	IORQ*	Out	I/O Address Select	34	MEMRQ*	Out	Memory Address Select
	35	IOEXP	In/Out	I/O Expansion	36	MEMEX	In/Out	Memory Expansion
	37	REFRESH*	Out	Refresh Timing	38	MCSYNC*	Out	CPU Machine Cycle Sync.
	39	STATUS 1*	Out	CPU Status	40	STATUS 0*	Out	CPU Status
	41	BUSAK*	Out	Bus Acknowledge	42	BUSRQ*	In	Bus Request
	43	INTAK*	Out	Interrupt Acknowledge	44	INTRQ*	In	Interrupt Request
	45	WAITRQ*	In	Wait Request	46	NMIRQ*	In	Nonmaskable Interrupt
	47	SYSRESET*	Out	System Reset	48	PBRESET*	In	Pushbutton Reset
	49	CLOCK*	Out	Clock from Processor	50	CNTRL*	In	AUX Timing
	51	PCO	Out	Priority Chain Out	52	PCI	In	Priority Chain In
AUXILIARY POWER BUS	53	AUX GND	In	AUX Ground	54	AUX GND	In	AUX Ground
	55	AUX +V	In	AUX Positive (+ 12 V dc)	56	AUX -V	In	AUX Negative (- 12 V dc)

* Low-level active indicator

นอกจากนี้ STD บัสยังถูกพัฒนาให้ใช้เทคโนโลยีของอุปกรณ์ซีมอส (CMOS) อีก คือ ในช่วงปี ค.ศ.1984 วงการอุตสาหกรรมอิเล็กทรอนิกส์เริ่มเปลี่ยนมาใช้เทคโนโลยีของอุปกรณ์แบบซีมอสแทน เทคโนโลยีด้านซีมอสในช่วงนั้นค่อนข้างก้าวหน้าทำให้อุปกรณ์ซีมอสมีราคาถูกลงกว่าอุปกรณ์แบบอื่นที่ใช้เทคโนโลยีเอ็นมอส (NMOS) หรือทีทีแอล ช่วงนี้เอง STDMG ได้นำเอามาใช้กับ STD บัส จึงทำให้มี STD บัสชนิดซีมอสขึ้นซึ่งมีข้อดี ดังนี้

1. ถูกออกแบบให้สามารถป้องกันสัญญาณรบกวนได้ดี

2. ทนอุณหภูมิการใช้งานได้สูงขึ้นกว่า 2 เท่าตัว แต่ใช้กำลังเพียง 1 ใน 10 ถึง 1 ใน 1000 เท่าจากของเดิม

จากข้อดีนี้เองทำให้ STD บัสซีมอสใช้งานภายใต้อุณหภูมิช่วง 0-65 องศาเซลเซียสได้โดยไม่จำเป็นต้องติดพัดลมระบายความร้อนแต่อย่างใด และใช้งานภายในโรงงานที่มีสัญญาณรบกวนสูง ๆ ได้ดีอีกด้วย ปัจจุบันยังมีการพัฒนา STD บัสให้รองรับการทำมัลติโปรเซสเซอร์เพื่อให้ความเร็วในการประมวลผลสูงขึ้นและให้ทำงานแบบมัลติทาสกิง (Multi-tasking)ได้

ข้อมูลทางเทคนิคของบัสมาตรฐาน STD บัส ขนาด 8/16 บิต สามารถดูข้อมูลโดยละเอียดได้จากภาคผนวกและเอกสารอ้างอิง [15] ซึ่งสามารถสรุปย่อ ๆ ได้ดังนี้

3.2.1 การวางตำแหน่งขาสัญญาณและไทม์มิงของ STD บัส

การจัดวางขาสัญญาณของ STD บัส 8/16 บิต สามารถจัดได้ 4 กลุ่ม คือ

1. กลุ่มบัสข้อมูล(ขา 7-14)เป็นบัสขนาด 8 บิต (D0-D7) มีการไหลของสัญญาณเป็นแบบ 2 ทิศทางและเป็นบัสแบบ 3 สถานะ โดยทิศทางการไหลถูกควบคุมจากสัญญาณควบคุม ได้แก่ สัญญาณ Read(/RD),สัญญาณ Write(/WR) และสัญญาณ Interrupt Acknowledge (/INTAK) บัสข้อมูลเป็นบัสที่แอกทีฟ (Active) ที่ลอจิก "1" และจะกลายเป็นสถานะอิมพีแดนซ์สูงเมื่อซีพียูหลักตอบรับสัญญาณ Bus Request (/BUSRQ) ซึ่งเกิดในขณะทำดีเอ็มเอข้อมูล บัสข้อมูล D0-D7 ยังถูกนำไปมัลติเพล็กซ์ร่วมกับบัสแอดเดรส A16-A13 และบัสข้อมูล 8 บิตบน คือ D8-D15 จะมัลติเพล็กซ์ร่วมกับบัสแอดเดรส A8-A15 เพื่อใช้กับซีพียูขนาด 16 บิตและเพื่อขยายแอดเดรสสเปซ

2. กลุ่มบัสแอดเดรส(ขา 15-30) เป็นบัสขนาด 16 บิต ซึ่งสัญญาณถูกสร้างมาจากซีพียูหลัก ประกอบด้วยส่วน 8 บิตล่างตั้งแต่ A0-A7 จะเป็นบัสแบบ 3 สถานะแอกทีฟที่ลอจิก "1" ส่วน A8-A15 และ A16-A23 จะไปมัลติเพล็กซ์กับบัสข้อมูลดังที่กล่าวไว้แล้วในเรื่องบัสข้อมูล บัสแอดเดรสจะเปลี่ยนสถานะเป็นอิมพีแดนซ์สูงเมื่อได้รับสัญญาณ/BUSRQ การอ้างหน่วยความจำกระทำได้โดยการถอดรหัส (Decode) จากบัสแอดเดรสทั้งหมด ส่วนการอ้างอุปกรณ์ไอ/โอนั้นกระทำได้โดยการถอดรหัสจากสายแอดเดรสเพียง 8 เส้นสำหรับซีพียูขนาด 8 บิตและ 16 เส้นสำหรับซีพียูขนาด 16 บิต สัญญาณควบคุมการอ้างหน่วยความจำใช้สัญญาณ Memory Request (/MEMRQ) และสัญญาณควบคุมการอ้างไอ/โอใช้สัญญาณ I/O Request (/IORQ) ส่วนสัญญาณควบคุมการแลตช์แอดเดรสที่มัลติเพล็กซ์อยู่กับบัสข้อมูล คือ สัญญาณ Machine Cycle Sync (/MCSYNC) โดยจะใช้ช่วงขอบขาขึ้นของสัญญาณ

3. กลุ่มบัสควบคุม(ขา 31-52) สามารถแบ่งได้เป็น 5 กลุ่มใหญ่ ๆ คือ

- กลุ่มสัญญาณควบคุมหน่วยความจำและไอ/โอ เป็นสัญญาณควบคุมพื้นฐานซึ่งการประยุกต์ใช้งานง่าย ๆ อาจใช้เพียง 6 สัญญาณนี้ ได้แก่

ขา 31 สัญญาณ /WR เป็นสัญญาณที่ซีพียูสร้างขึ้นเพื่อทำหน้าที่

ควบคุมการเขียนข้อมูลเข้าหน่วยความจำหรืออุปกรณ์ไอ/โอ เป็นสัญญาณแบบ 3 สถานะและแอกทีฟที่ลอจิก "0"

ขา 32 สัญญาณ /RD เป็นสัญญาณที่ซีพียูสร้างขึ้นเพื่อทำหน้าที่ควบคุมการอ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์ไอ/โอ เป็นสัญญาณแบบ 3 สถานะและแอกทีฟที่ลอจิก "0"

ขา 33 สัญญาณ /IORQ เป็นสัญญาณที่ซีพียูสร้างขึ้นเพื่อบอกว่าต้องการอ่านหรือเขียนข้อมูลกับอุปกรณ์ไอ/โอ เป็นสัญญาณแบบ 3 สถานะและแอกทีฟที่ลอจิก"0"

ขา 34 สัญญาณ /MEMRQ เป็นสัญญาณที่ซีพียูสร้างขึ้นเพื่อบอกว่าต้องการอ่านหรือเขียนข้อมูลกับหน่วยความจำ เป็นสัญญาณแบบ 3 สถานะและแอกทีฟที่ลอจิก"0"

ขา 35 สัญญาณ IOEXP เป็นสัญญาณแบบ 3 สถานะ ใช้เป็นตัวกำหนดการแอกทีฟของอุปกรณ์ไอ/โอที่มาต่อเข้ากับบัส เมื่ออุปกรณ์ไอ/โอแบบ 8 บิตมาต่อกับบัสจะอ้างแอดเดรสเพียง 8 เส้น ซีพียูจะต้องให้สัญญาณ IOEXP เป็น "0" เพื่อทำให้แอดเดรส A8-A15 เป็นลอจิก "0" หมด ส่วนการอ้างแอดเดรส 16 เส้นแบบใน 8088 ก็ให้สัญญาณ IOEXP เป็น "1" เพื่อขยายการอ้างแอดเดรสไอ/โอ นั่นเอง

ขา 36 สัญญาณ MEMEX เป็นสัญญาณแบบ 3 สถานะ ใช้เป็นตัวกำหนดการอ้างแอดเดรสหน่วยความจำเพื่อการอ่านเขียน โดยการแอกทีฟหน่วยความจำที่อยู่ในแอดเดรสสเปซช่วง 64 กิโลไบต์แรก ซีพียูจะให้สัญญาณ MEMEX เป็นลอจิก "0"

- กลุ่มสัญญาณควบคุมอุปกรณ์รอบข้าง เป็นสัญญาณสำหรับอุปกรณ์รอบข้างที่ต่อร่วมอยู่ภายในระบบเพื่อให้ทำงานซิงโครไนซ์กับซีพียูได้ STD บัส 8 บิตนี้ออกแบบให้ใช้กับซีพียู 8 บิตตัวใดก็ได้แต่อุปกรณ์รอบข้างส่วนใหญ่ถูกออกแบบมารองรับการทำงานเฉพาะกับโปรเซสเซอร์ตัวใดตัวหนึ่ง ดังนั้นสัญญาณต่อไปนี้ทั้ง 4 สัญญาณจะได้จากสัญญาณของซีพียูต่างกัน ดังแสดงในตารางที่ 3.3 [13]

ขา 37 สัญญาณ /REFRESH เป็นสัญญาณ 3 สถานะ แอกทีฟที่ลอจิก"0" ใช้สำหรับรีเฟรช (Refresh) หน่วยความจำแบบไดนามิก ในระบบที่ใช้หน่วยความจำแบบสถิตย์อาจไม่ใช้สัญญาณนี้เลย

ขา 38 สัญญาณ /MCSYNC เป็นสัญญาณ 3 สถานะ แอกทีฟที่ลอจิก "0" สัญญาณ /MCSYNC เป็นสัญญาณที่สร้างขึ้นจากโปรเซสเซอร์ตัวที่กำลังใช้บัสอยู่ซึ่งจะเกิดขึ้นทุกบัสไซเกิลโดยเกิดขึ้นในช่วงต้น ๆ ของบัสไซเกิล อุปกรณ์รอบข้างที่ต่อร่วมอยู่ในระบบที่สามารถจะใช้สัญญาณนี้เพื่อซิงโครไนซ์กับโปรเซสเซอร์ที่ใช้บัสอยู่ และนอกจากนี้สัญญาณ /MCSYNC ยังใช้ในการดีมัลติเพล็กซ์แอดเดรสออกจากบัสข้อมูล

ขา 39 สัญญาณ /STATUS1 เป็นสัญญาณ 3 สถานะ แอกทีฟที่ลอจิก"0" เป็นสัญญาณที่บอกสภาวะการทำงานของโปรเซสเซอร์ตัวที่กำลังใช้บัสอยู่โดยสัญญาณ /STATUS1 จะใช้ร่วมกับสัญญาณ /STATUS0 และ /IORQ ทั้งยังเป็นตัวบอกการเฟทช์ (Fetch) คำสั่งของโปรเซสเซอร์ด้วย

ขา 40 สัญญาณ /STATUS0 เป็นสัญญาณ 3 สถานะ แอกทีฟที่ลอจิก"0" ใช้ร่วมกับสัญญาณ /STATUS1 บอกสภาวะการทำงานของโปรเซสเซอร์ตัวที่กำลังใช้บัสอยู่

ตารางที่ 3.3 แสดงที่มาของสัญญาณควบคุมอุปกรณ์รอบข้างของ STD บัสจากซีพียูต่าง ๆ

Examples of Peripheral Timing Control Lines

PROCESSOR	REFRESH* PIN 37	MCSYNC* PIN 38	STATUS 1* PIN 39	STATUS 0* PIN 40
8080	-	SYNC*	M1*	-
8085	-	ALE*	S1*	S0*
Z80	REFRESH*	(RD+WR+INTAK)*	M1*	-
NSC800	REFRESH*	ALE*	S1*	S0*
8088	-	ALE*	S1*	S0*
6800	-	Ø2*	VMA*	R/W*
6809	-	EOUT*(Ø2*)	-	R/W*
6809E	-	EOUT*(Ø2*)	LIC*	R/W*
6502	-	Ø2*	SYNC*	R/W*

* Low-level active
\- Not used
R/W* Read high, write low

- กลุ่มสัญญาณอินเตอร์รัปต์และสัญญาณควบคุมบัส เป็นสัญญาณที่ใช้ในขบวนการต่าง ๆ เช่น ขบวนการทำดีเอ็มเอ การทำมัลติโปรเซสเซอร์ การทำซิงเกิลสเตป (Single Step) และการทำขบวนการเกี่ยวกับการอินเตอร์รัปต์ ซึ่งได้แก่

ขา 41 สัญญาณ /BUSAK เป็นสัญญาณตอบสนองของการขอใช้บัส (/BUSRQ) แอกทีฟที่ลอจิก"0" โดยสัญญาณนี้จะสร้างหลังจากที่โปรเซสเซอร์ได้รับสัญญาณการขอใช้บัสจากโปรเซสเซอร์ตัวอื่นที่ต้องการใช้บัส และจะปล่อยบัสให้ใช้ได้เมื่อมันทำคำสั่งล่าสุดจบ

ขา 42 สัญญาณ /BUSRQ เป็นสัญญาณขอใช้บัส แอกทีฟที่ลอจิก "0" และเป็นสัญญาณแบบคอลเลกเตอร์เปิด สัญญาณนี้ใช้ในงานที่ต้องการทำดีเอ็มเอ

ขา 43 สัญญาณ /INTAK เป็นสัญญาณที่ตัวโปรเซสเซอร์สร้างออกมาเพื่อให้อุปกรณ์ที่ขออินเตอร์รัปต์ทราบว่า โปรเซสเซอร์พร้อมที่จะให้บริการแล้ว โดย

อุปกรณ์ที่ร้องขอการอินเตอร์รัปต์จะส่งอินเตอร์รัปต์เวกเตอร์ (Interrupt Vector) มาให้กับโปรเซสเซอร์ สัญญาณนี้แอกทีฟที่ลอจิก "0"

ขา 44 สัญญาณ /INTRQ เป็นสัญญาณอินพุตที่สร้างจากอุปกรณ์ภายนอกเพื่อให้โปรเซสเซอร์ทำโปรแกรมบริการของอุปกรณ์นั้น ๆ โดยอุปกรณ์ภายนอกจะส่งสัญญาณแอกทีฟที่ลอจิก "0"มาให้ โปรเซสเซอร์จะให้บริการหรือไม่แล้วแต่กลไกการมาส์ค (Mask) และกลไกการอินเตอร์รัปต์ สัญญาณนี้เป็นแบบคอลเลกเตอร์เปิดด้วย

ขา 45 สัญญาณ /WAITRQ เป็นสัญญาณอินพุตที่อุปกรณ์ภายนอกส่งเข้ามาเพื่อให้โปรเซสเซอร์ทำงานช้าลง โดยโปรเซสเซอร์จะหยุดการทำงานขณะที่สัญญาณนี้แอกทีฟ คือที่ลอจิก "0" ซึ่งโปรเซสเซอร์ควรจะอยู่ในสภาวะที่รักษาค่าแอดเดรสบนบัสให้คงค่าเดิมอยู่ด้วย

ขา 46 สัญญาณ /NMIRQ เป็นสัญญาณอินพุตเพื่อร้องขอการอินเตอร์รัปต์แบบที่มีลำดับความสำคัญสูงสุดและแอกทีฟที่ลอจิก "0" ควรจะใช้ในกรณีฉุกเฉิน เช่น ระบบไฟเกิดขัดข้อง โปรเซสเซอร์ต้องรีบป้องกันข้อมูลเสียหาย เป็นต้น

- กลุ่มสัญญาณควบคุมการจัดลำดับความสำคัญของโปรเซสเซอร์ (Priority Chain) ได้แก่ สัญญาณ PCI และ PCO ซึ่งบอกว่าลำดับความสำคัญของแต่ละบอร์ดในระบบถ้าบอร์ดใดไม่ต้องการจัดลำดับด้วยควรจะต่อ PCI กับ PCO บนบอร์ดเข้าด้วยกัน

ขา 51 สัญญาณ PCO เป็นสัญญาณ Priority Chain Out โดยสัญญาณ PCO จะถูกส่งไปเข้าขาสัญญาณ PCI ของบอร์ดที่มีลำดับความสำคัญต่ำกว่า บอร์ดที่ต้องการขอใช้ลำดับความสำคัญควรจะให้สัญญาณ PCO เป็นลอจิก "0"

ขา 52 สัญญาณ PCI เป็นสัญญาณ Priority Chain In โดยจะเป็นสัญญาณอินพุตจากบอร์ดที่มีลำดับความสำคัญสูงกว่า ส่วนสัญญาณ PCI ของบอร์ดที่มีความสำคัญสูงสุดควรจะต่อความต้านทานเข้ากับไฟเลี้ยงของระบบ +5 โวลต์ไว้(R Pull-up)

- กลุ่มสัญญาณนาฬิกาและสัญญาณรีเซต ได้แก่

ขา 47 สัญญาณ /SYSRESET เป็นสัญญาณที่ต่อจากระบบรีเซต (System Reset) สัญญาณนี้สร้างจากวงจรรีเซตภายในซึ่งจะเกิดขึ้นได้ 2 กรณี คือเมื่อเริ่มเปิดเครื่องและกรณีกดปุ่มรีเซต สัญญาณ /SYSRESET นี้จะถูกต่อไปยังบอร์ดต่าง ๆ เพื่อรีเซตระบบทั้งหมด โดยแอกทีฟที่ลอจิก "0"

ขา 48 สัญญาณ /PBRESET เป็นขาอินพุตจากการรีเซตด้วยปุ่มกด แอกทีฟที่ลอจิก "0"

ขา 49 สัญญาณ /CLOCK เป็นสัญญาณนาฬิกาของระบบโดยที่

ความถี่ของสัญญาณนาฬิกาขึ้นอยู่กับโปรเซสเซอร์ที่ใช้

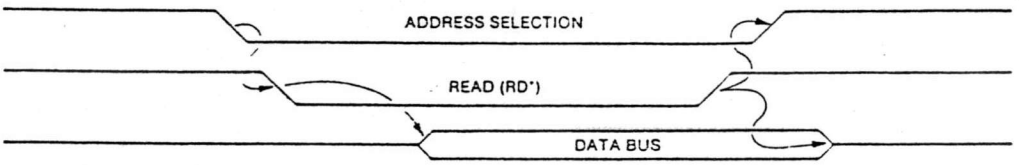
ขา 50 สัญญาณ /CNTRL อาจสร้างจากวงจรบนบอร์ดใด ๆ ในระบบเพื่อจะใช้สัญญาณนาฬิกาพิเศษซึ่งอาจใช้ในระบบที่มีหลายสัญญาณนาฬิกา

4. กลุ่มไฟเลี้ยงระบบ(ขา 1-6 และ 53-56) แบ่งเป็นสายไฟเลี้ยง 2 ชุดทำให้สามารถแยกเป็นไฟเลี้ยงของวงจรดิจิตอลและไฟเลี้ยงของวงจรอะนาลอกได้ ทุกบอร์ดจะใช้ขา 1 และขา 2 เป็นไฟเลี้ยงลอจิกและขา 3 ขา 4 เป็นดิจิตอลกราวน์(Digital Ground)ส่วนขาอื่น ๆ อาจไม่จำเป็นต้องใช้ นอกจากนี้ยังมีขาที่บอกสถานะของระบบไฟเลี้ยง คือขา 6 สัญญาณ /DCPD ย่อมาจาก DC Power Down เมื่อแรงดันไฟเลี้ยงตกลงต่ำกว่า 4.75 โวลต์ (ที่ Vcc = 5 V.) สัญญาณนี้จะแอกทีฟเพื่อบอกให้วงจรป้องกันต่าง ๆ ทำการป้องกันการเสียหายของหน่วยความจำจากไฟตก

คุณสมบัติทางไทม์มิง (Timing Specification) ของ STD บัสจะเป็นตัวกำหนดจังหวะการทำงานของสัญญาณต่าง ๆ บนบัสซึ่งจะขึ้นอยู่กับชนิดของซีพียูด้วย ในการออกแบบระบบไมโครโปรเซสเซอร์จำเป็นต้องคำนึงถึงเวลาวิกฤตของสัญญาณต่าง ๆ เพื่อให้จังหวะการทำงานเป็นไปอย่างถูกต้อง คุณสมบัติทางไทม์มิงแบ่งได้เป็น 6 แบบหลัก ๆ ดังนี้

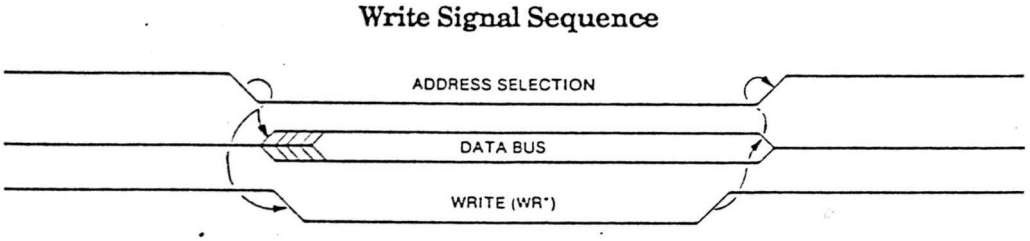
1. ไทม์มิงของสถานะบัส (BUS STATUS TIMING)
2. ไทม์มิงการอ่านข้อมูล (BUS READ TIMING)
3. ไทม์มิงการเขียนข้อมูล (BUS WRITE TIMING)
4. ไทม์มิงการอินเตอร์รัปต์ (BUS INTERRUPT TIMING)
5. ไทม์มิงการขอ WAIT (BUS WAIT REQUEST TIMING)
6. ไทม์มิงการแลกเปลี่ยนการใช้บัส (BUS EXCHANGE TIMING)

เราสามารถแสดงตัวอย่างของไทม์มิงแบบต่าง ๆ ดังรูปที่ 3.7 และรูปที่ 3.8



Read Signal Sequences

รูปที่ 3.7 แสดงไทม์มิงของการอ่านข้อมูล

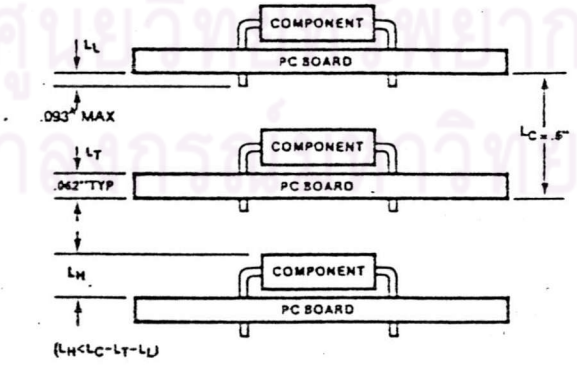


รูปที่ 3.8 แสดงไทม์มิงของการเขียนข้อมูล

3.2.2 ขนาดสัดส่วนของอุปกรณ์ที่ใช้ในบัส

บอร์ดของ STD บัส มีขนาด 6.5 นิ้ว x 4.5 นิ้ว ขาสัญญาณทั้งหมด 56 ขั้วอยู่ที่ขอบของบอร์ด หน้าละ 28 ขั้ว แต่ละขั้วของคอนเนกเตอร์ห่างกัน 0.125 นิ้ว (Center to Center) ข้อพิจารณาในการออกแบบส่วนโครงสร้าง มีดังนี้

1. ระยะห่างระหว่างบอร์ดถึงบอร์ด (LC) เมื่อเสียบบอร์ด STD ลงบนโครงสร้างระยะห่างระหว่างบอร์ดไม่ควรน้อยกว่า 0.5 นิ้ว $\pm$ 0.1 นิ้ว ดังรูปที่ 3.9 [9]



รูปที่ 3.9 แสดงระยะห่างระหว่างบอร์ด

2. ความหนาของบอร์ด (LT) ความหนาของบอร์ควรอยู่ในช่วง 0.062 นิ้ว $\pm$ 0.003 นิ้ว

3. ความยาวของขาอุปกรณ์ที่โผล่พ้นแผ่นวงจรพิมพ์ออกมา (LL) ไม่ควรเกิน 0.04 นิ้ว $\pm$ 0.01 นิ้ว

4. ความสูงของอุปกรณ์ (LH) สามารถคำนวณได้จากสูตร

$$LH < LC-LT-LL$$

=> $LH < 0.49$ นิ้ว $- 0.065$ นิ้ว $- 0.05$ นิ้ว เพราะฉะนั้น $LH < 0.375$ นิ้ว

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย