ระบบไมโครโปรเซสเซอร์แบบกระจายขนาดเล็กที่ใช้หน่วยความจำร่วม

นายบวร ปภัสราทร

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

ภาควิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

พ.ศ. 2527

ISBN 974-563-166-3

009707

I16000675

SMALL SCALE DISTRIBUTED MICROPROCESSOR SYSTEM USING SHARED MEMORY TECHNIQUE

Mr. Borworn Papasratorn

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Engineering

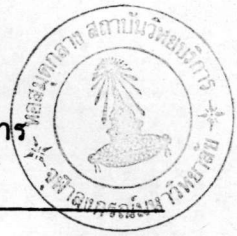
Department of Electrical Engineering

Graduate School

Chulalongkorn University

1984

หัวข้อวิทยานิพนธ์	ระบบไมโครโปรเซสเซอร์แบบกระจายขนาดเล็กที่ใช้หน่วยความจำร่วม
โดย	นายบวร ปภัสราทร
ภาควิชา	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	รองศาสตราจารย์ ดร.ประสิทธิ์ ประพิฒมงคลการ



บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้นับวิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีบัณฑิตวิทยาลัย

(รองศาสตราจารย์ ดร.สุประดิษฐ์ บุนนาค)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ

(รองศาสตราจารย์ ดร.เทียนชัย ประดิสถายน)

..... กรรมการ

(รองศาสตราจารย์ ดร.ประสิทธิ์ ประพิฒมงคลการ)

..... กรรมการ

(รองศาสตราจารย์ กฤษดา วิศวธีรานนท์)

..... กรรมการ

(ผู้ช่วยศาสตราจารย์ ดร.พิชนี โพธารามิก)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

หัวข้อวิทยานิพนธ์ ระบบไมโครโปรเซสเซอร์แบบกระจายขนาดเล็กที่ใช้หน่วยความจำร่วม

ชื่อนิสิต นายบวร ปภัสราทร

อาจารย์ที่ปรึกษา รองศาสตราจารย์ ดร.ประสิทธิ์ ประพิณมงคลการ

ภาควิชา วิศวกรรมไฟฟ้า

ปีการศึกษา 2526

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

บทคัดย่อ

การใช้หน่วยความจำร่วมเป็นตัวกลางในการแลกเปลี่ยนข้อมูลระหว่างไมโครโปรเซสเซอร์ในระบบไมโครโปรเซสเซอร์แบบกระจาย เป็นวิธีที่เหมาะสมที่สุดวิธีหนึ่ง วิทยานิพนธ์นี้เสนอการใช้หน่วยความจำร่วม RAM โดยใช้วงจร ARBITER ที่สร้างขึ้นจากฮาร์ดแวร์ง่าย ๆ และไม่ต้องการสัญญาณ clock จากภายนอก วงจร ARBITER ประกอบด้วย CONTROLLER และ SCANNER โดย CONTROLLER ทำหน้าที่รับสัญญาณขอใช้หน่วยความจำร่วมจากไมโครโปรเซสเซอร์และส่งสัญญาณอนุญาตหรือหยุดรอกลับไปให้ไมโครโปรเซสเซอร์ตัวนั้นตามคำสั่งของ SCANNER ซึ่งทำหน้าที่จัดลำดับการใช้หน่วยความจำร่วม วงจร ARBITER นี้ใช้ได้กับระบบที่มีไมโครโปรเซสเซอร์ Z-80 4 ตัว แต่สามารถเพิ่มขึ้นเป็น 6 ตัวได้ และใช้ได้กับระบบไมโครโปรเซสเซอร์แบบกระจายทุกแบบที่มีการสื่อสารข้อมูลระหว่างไมโครโปรเซสเซอร์ไม่เกิน 58 Kilobytes/second ไม่ว่าจะมี priority ลักษณะใด และไม่จำเป็นต้องประกอบด้วยไมโครโปรเซสเซอร์ชนิดเดียวกันโดยมีข้อแม้ว่า ไมโครโปรเซสเซอร์ที่ใช้จะต้องมีสภาวะการรอ (Wait state) และสัญญาณเอาท์พุทบอกสภาวะเฟทช์ (Fetch state) ระบบไมโครโปรเซสเซอร์แบบกระจายที่ใช้หน่วยความจำร่วมที่เสนอ นำไปประยุกต์ใช้งานได้หลายอย่างและใช้ได้ดีกับระบบควบคุมขนาดเล็กถึงขนาดกลาง

Thesis Title SMALL SCALE DISTRIBUTED MICROPROCESSOR SYSTEM USING SHARED MEMORY TECHNIQUE

Name Mr. Borworn Papasratorn

Thesis Advisor Associate Professor Prasit Prapinmongkolkarn, Ph. D.

Department of Electrical Engineering

Academic Year 1982

ABSTRACT

Using shared memory as a data exchange media among the microprocessors in the Distributed microprocessor system is one of the suitable method. A shared Random Access Memory (RAM) technique using an arbiter that needs simple hardware and no external clock is presented. The arbiter consists of CONTROLLER and SCANNER, CONTROLLER receives shared memory request signal from microprocessor and sends grant or wait signal back to the microprocessor according to a command from SCANNER which schedules shared memory accessing. The proposed system can be used with 4 Z-80 microprocessors but can be increased up to 6 microprocessors and can be used with any distributed system on any given priority basis which requires an interprocessor communication at a rate of less than 58 Kilobytes/second. The microprocessor in the system need not be identical but only requires to have wait state and fetch state indicator. The proposed distributed system has many applications and is good for small to medium scale real time control applications.

หอสมุดกลาง สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย

กิตติกรรมประกาศ

ข้าพเจ้าขอขอบคุณท่านอาจารย์ที่ปรึกษาคือ รองศาสตราจารย์ ดร.ประสิทธิ์ ประพิณมงคลการ ที่ได้กรุณาสละเวลาให้คำปรึกษา แนะนำ และช่วยผลักดันวิทยานิพนธ์นี้ ให้สำเร็จลุล่วงไปด้วยดี และขอขอบคุณผู้บังคับบัญชาของข้าพเจ้าคือ นายอาจหาญ กุลละวณิชย์ ที่มีส่วนสนับสนุนทั้งในด้านการศึกษาและเครื่องมือที่ใช้ในการวิจัย ซึ่งวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้เพราะได้รับความกรุณาจากท่านทั้งสองนี้

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง

บทคัดย่อภาษาอังกฤษ ..... จ

กิตติกรรมประกาศ ..... ฉ

สารบัญตาราง ..... ญ

สารบัญภาพ ..... ฌ

บทที่

1. บทนำ 1

2. ระบบกลุ่มไมโครโปรเซสเซอร์แบบต่าง ๆ 5

2.1 การจำแนกประเภทคอมพิวเตอร์ตามลักษณะการร่วมงานกัน 5

2.1.1 Loosely coupled system 5

2.1.2 Tightly coupled system 7

2.1.3 ระบบกระจาย 9

2.2 การจำแนกประเภทคอมพิวเตอร์ตามลักษณะการประมวลข้อมูล 11

2.2.1 SINGLE-INSTRUCTION SINGLE-DATA SYSTEM 11

2.2.2 MULTIPLE-INSTRUCTION SINGLE-DATA SYSTEM 12

2.2.3 SINGLE-INSTRUCTION MULTIPLE-DATA SYSTEM 12

2.2.4 MULTIPLE-INSTRUCTION MULTIPLE-DATA SYSTEM 13

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

บทที่		หน้า
	2.3 ผลดีของระบบไมโครโปรเซสเซอร์แบบกระจาย	14
	2.3.1 ความสามารถในการประมวลข้อมูล	14
	2.3.2 ความเชื่อถือได้	15
	2.3.3 การออกแบบและพัฒนาระบบ	16
	2.4 ลักษณะการประยุกต์ใช้งานที่ควรใช้ระบบไมโคร-โปรเซสเซอร์แบบกระจาย	17
3.	ระบบไมโครโปรเซสเซอร์แบบกระจายที่ใช้หน่วยความจำร่วม..	22
	3.1 หลักการของวงจร ARBITER	28
	3.2 โครงสร้างของวงจร ARBITER	31
	3.2.1 SCANNER	31
	3.2.2 CONTROLLER	31
	3.3 วงจร ARBITER และอินเตอร์เฟสหน่วยความจำร่วม RAM สำหรับไมโครโปรเซสเซอร์ Z-80 จำนวน 4 ตัว.	34
	3.3.1 การอ่านและเขียนข้อมูลในหน่วยความจำของไมโครโปรเซสเซอร์ Z-80	34
	3.3.2 วงจร SCANNER	37
	3.3.3 วงจร CONTROLLER	39
	3.3.4 วงจรอินเตอร์เฟสระหว่างบัสของไมโคร-โปรเซสเซอร์และหน่วยความจำร่วม	41
4.	การประเมินผลและตัวอย่างการประยุกต์ใช้งาน	47
	4.1 การวิเคราะห์ Access Time ในการใช้หน่วยความจำร่วม	47
	4.2 การทดลองเพื่อหาเวลาทำงานที่เพิ่มขึ้นเมื่อไมโคร-โปรเซสเซอร์ใช้หน่วยความจำร่วม	54
	4.2.1 ขั้นตอนการทดลอง	55
	4.2.2 ผลการทดลอง	55

บทที่ หน้า

4.3 ตัวอย่างการประยุกต์ใช้งาน 62

4.3.1 โครงสร้างของระบบเก็บรวบรวมข้อมูลตัวอย่าง 63

4.3.2 การจำลองระบบเก็บรวบรวมข้อมูลตัวอย่าง... 74

5. บทสรุป 79

เอกสารอ้างอิง 82

ภาคผนวก ก. โปรแกรมโฮสคอมพิวเตอร์ 86

ภาคผนวก ข. โปรแกรม HIU..... 88

ภาคผนวก ค. โปรแกรม RLU..... 93

ภาคผนวก ง. วงจรสื่อสารข้อมูลแบบอนุกรมของ HIU..... 97

ภาคผนวก จ. รายการอุปกรณ์ของวงจร ARBITER และอินเตอร์เฟสหน่วยความจำร่วม 99

ประวัติ 100

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

ตาราง		หน้า
4.1	QUEUEING TIME ในกรณีต่าง ๆ	48
4.2	ค่า Access Time ที่มากที่สุดในการใช้หน่วยความจำร่วม...	53
4.3	ผลการทดลองวัดจำนวนไบท์ที่ไมโครโปรเซสเซอร์อ่านได้ในกรณีต่าง ๆ	58
4.4	เวลาที่ไมโครโปรเซสเซอร์ใช้ในการอ่านข้อมูลจากหน่วยความจำร่วมกรณีต่าง ๆ	59
4.5	เปรียบเทียบการใช้หน่วยความจำร่วมวิธีต่าง ๆ	61
4.6	การจัดสรรพื้นที่ในหน่วยความจำร่วมสำหรับรีโมทเทอร์มินัล 1 ถึง 16 ซึ่งติดต่อกับ RLU.1	71
4.7	การจัดสรรพื้นที่ในหน่วยความจำร่วมสำหรับรีโมทเทอร์มินัล 17 ถึง 32 ซึ่งติดต่อกับ RLU.2	72

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

รูป หน้า

2.1 ระบบ Loosely coupled แบบต่าง ๆ 6
2.2 เปรียบเทียบระบบ Loosely coupled ขนาดใหญ่กับ ขนาดเล็ก 7
2.3 ลักษณะการอินเตอร์เฟส ซีพียู. เข้ากับหน่วยความจำร่วม สามแบบที่ใช้กันมากที่สุดใน Tightly coupled system... 8
2.4 S-100 BUS MULTIPROCESSOR SYSTEM 9
2.5 ระบบไมโครโปรเซสเซอร์แบบกระจาย ที่แต่ละหน่วยเป็น ไมโครคอมพิวเตอร์บอร์ดเดียว 10
2.6 IEEE-488 INTERFACE BUS STANDARD 11
2.7 SISD COMPUTER SYSTEM 11
2.8 MISD COMPUTER SYSTEM 12
2.9 SIMD COMPUTER SYSTEM 12
2.10 MIMD COMPUTER SYSTEM 13
2.11 การจำแนกคอมพิวเตอร์ออกเป็นประเภทต่าง ๆ 13
2.12 การอิ่มตัวของผลได้จากระบบเมื่อจำนวนโปรเซสเซอร์มากขึ้น. 15
2.13 โครงสร้างของ REMOTE LINK UNIT 19
2.14 โครงสร้างของ POWER CONTROL CENTER FRONT END COMMUNICATION SUBSYSTEM 20
3.1 โครงสร้างและการทำงานของ ARBITER ตามวิธีของ LOEWER 23
3.2 โครงสร้างและการทำงานของ ARBITER ตามวิธีของ POLCZYSKI 24
3.3 โครงสร้างของ ARBITER ตามวิธีของ PETRIU 25
3.4 โครงสร้างและการทำงานของ ARBITER ตามวิธีของ HOJBERG 26

รูป หน้า

3.5 ตัวอย่างของข้อมูลในแอดเดรสต่าง ๆ ของ priority generator memory 27
3.6 State diagram ของระบบไมโครโปรเซสเซอร์แบบกระจายที่ใช้หน่วยความจำร่วม 30
3.7 โครงสร้างของวงจร ARBITER 32
3.8 แผนผังเวลาของวงจร ARBITER 33
3.9 การเฟทช์คำสั่งของ Z-80 36
3.10 การอ่านข้อมูลจากหน่วยความจำของ Z-80 36
3.11 การเขียนข้อมูลลงในหน่วยความจำของ Z-80 36
3.12 วงจร SCANNER 38
3.13 วงจร CONTROLLER 40
3.14 วงจรอินเตอร์เฟสระหว่างบัสของไมโครโปรเซสเซอร์และหน่วยความจำร่วม 42
3.15 แผงวงจร ARBITER และหน่วยความจำร่วม 43
3.16 โครงสร้างของระบบไมโครโปรเซสเซอร์แบบกระจายที่สร้างขึ้น 44
3.17 ระบบไมโครโปรเซสเซอร์แบบกระจายที่สร้างขึ้น 45
4.1 การ Access หน่วยความจำร่วมกรณีดีที่สุด 50
4.2 การ Access หน่วยความจำร่วมกรณีเลวที่สุด 51
4.3 Access Time ที่เพิ่มขึ้นเมื่อใช้หน่วยความจำร่วมในระบบไมโครโปรเซสเซอร์แบบกระจาย 52
4.4 อัตราการรับส่งข้อมูลสูงสุดระหว่างไมโครโปรเซสเซอร์ที่ใช้หน่วยความจำร่วม ในระบบไมโครโปรเซสเซอร์แบบกระจาย. 52
4.5 แผนผังการทำงานของไมโครโปรเซสเซอร์ในการทดลอง.... 56
4.6 โปรแกรมสำหรับไมโครโปรเซสเซอร์ 1 (ก) และไมโครโปรเซสเซอร์ 2 และ 3 (ข) ในการทดลอง 57

รูป หน้า

4.7 ความสัมพันธ์ระหว่างเวลาทำงานที่เพิ่มขึ้นกับจำนวนไมโคร-โปรเซสเซอร์ที่ใช้หน่วยความจำร่วม 60
4.8 ระบบเก็บรวบรวมข้อมูลที่ยกเป็นตัวอย่าง 64
4.9 ตัวอย่างการรับคำสั่งจากผู้ใช้ของโฮสคอมพิวเตอร์ 65
4.10 ตัวอย่างการแสดงข้อมูลบนจอภาพของโฮสคอมพิวเตอร์ 65
4.11 แบบฟอร์ม SDLC FRAME 66
4.12 การโพลลิ่งรีโมทเทอร์มินัลต่าง ๆ 68
4.13 แบบฟอร์ม RLU. POLLING FRAME 69
4.14 แบบฟอร์ม REMOTE TERMINAL DATA FRAME 69
4.15 พื้นที่หน่วยความจำร่วมที่จัดสรรให้รีโมทเทอร์มินัล 1 70
4.16 แผนผังการทำงานของ RLU. 73
4.17 แบบฟอร์มการรับส่งข้อมูลระหว่าง HIU. กับโฮสคอมพิวเตอร์. 74
4.18 แผนผังการทำงานของ HIU. 75
4.19 ระบบเก็บรวบรวมข้อมูลจำลองที่สร้างขึ้น 76

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย