

การจำลองอิงกรรมวิธีในการศึกษาสมรรถนะของหน่วยประมวลผล

นางสาว คาราวัตน์ แซ่ลี



ศูนย์วิทยุโทรพยาธิกร

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรมหาบัณฑิต

ภาควิชาวิศวกรรมคอมพิวเตอร์

บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

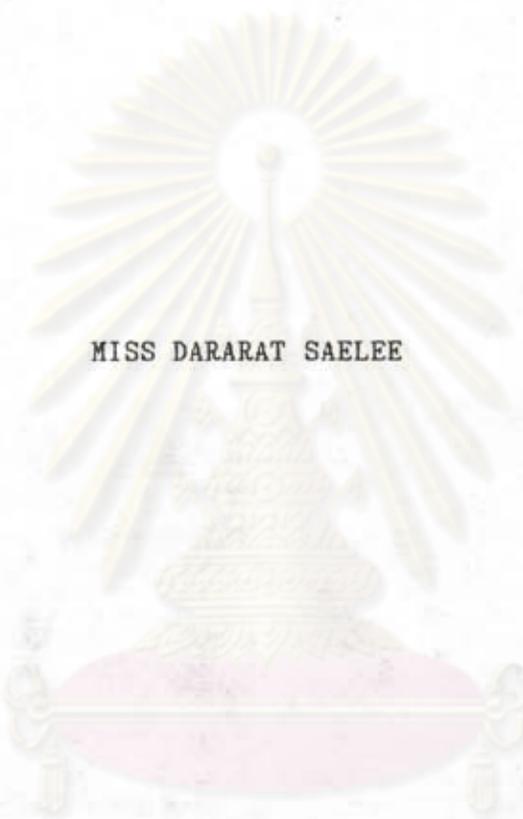
พ.ศ. 2535

ISBN 974-581-196-3

ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

018730

A PROCESS ORIENTED SIMULATION IN PERFORMANCE STUDY OF PROCESSOR



MISS DARARAT SAELEE

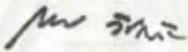
ศูนย์วิทยพักร
จุฬาลงกรณ์มหาวิทยาลัย
A Thesis Submitted in Partial Fulfillment of the Requirements
for the Degree of Master of Science
Department of Computer Engineering
Graduate School
Chulalongkorn University

1992

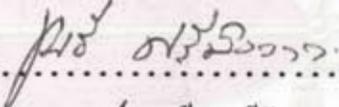
ISBN 974-581-196-3

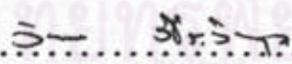
หัวข้อวิทยานิพนธ์ การจำลองอิงกรรมวิธีในการศึกษาสมรรถนะของหน่วยประมวลผล
โดย นางสาว คารารัตน์ แซ่ลี
ภาควิชา วิศวกรรมคอมพิวเตอร์
อาจารย์ที่ปรึกษา ผู้ช่วยศาสตราจารย์ ดร. วิทยา วัชรวิทยากุล
 ผู้ช่วยศาสตราจารย์ สุยชน์ สัตยประกอบ

บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้วิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการ
การศึกษาตามหลักสูตรปริญญาวิทยาศาสตรบัณฑิต

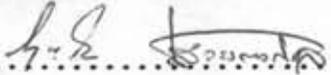

..... คณบดีบัณฑิตวิทยาลัย
(ศาสตราจารย์ ดร. ถาวร วัชรวิทย์)

คณะกรรมการสอบวิทยานิพนธ์


..... ประธานกรรมการ
(ผู้ช่วยศาสตราจารย์ เมธี ศรีสิงवाल)


..... อาจารย์ที่ปรึกษา
(ผู้ช่วยศาสตราจารย์ ดร. วิทยา วัชรวิทยากุล)


..... อาจารย์ที่ปรึกษาร่วม
(ผู้ช่วยศาสตราจารย์ สุยชน์ สัตยประกอบ)


..... กรรมการ
(ผู้ช่วยศาสตราจารย์ บุญชัย โสวรวณิชกุล)



การวิจัย : การจำลองอิงกรรมวิธีในการศึกษาสมรรถนะของหน่วยประมวลผล

(A PROCESS ORIENTED SIMULATION IN PERFORMANCE STUDY OF PROCESSOR)

อ. ที่ปรึกษา : ผศ. ดร. วิทยา วัชรวิทยากุล, ผศ. ลุย์ชน สัตย์ประกอบ. 108 หน้า.

ISBN 974-581-196-3

งานวิจัยนี้ได้นำเอาแนวความคิดการจำลองอิงกรรมวิธีมาใช้ในการศึกษาพฤติกรรมการทำงานภายในระบบคอมพิวเตอร์เพื่อประเมินผล และให้ข้อมูลแก่ผู้ออกแบบระบบคอมพิวเตอร์นำไปใช้วิเคราะห์สมรรถนะการทำงานของหน่วยประมวลผล ทั้งนี้เพราะภายในระบบคอมพิวเตอร์ประกอบด้วยส่วนประกอบที่มีการทำงานในรูปแบบที่ยากต่อการกำหนดความสัมพันธ์ในทางคณิตศาสตร์ และในการพัฒนาแบบจำลองการทำงานของหน่วยประมวลผลต้นแบบด้วยวิธีการจำลองอิงกรรมวิธี เป็นวิธีการที่ใช้ในการพัฒนาแบบจำลองไคสติก และมีประโยชน์ในการใช้สังเกตพฤติกรรมการทำงานของโปรแกรมบนสถาปัตยกรรมของเครื่องคอมพิวเตอร์ที่ไม่มีจริง โดยใช้เครื่องมือช่วยในการจำลองที่เรียกว่า ตัวจำลองอิงกรรมวิธี np ซึ่งทำให้สามารถจำลองระบบให้เสมือนมีกรรมวิธีหลายกรรมวิธีดำเนินการไปพร้อมกันโดยที่แต่ละกรรมวิธีเหล่านั้นสามารถคิดคละระหว่างกันได้

ในงานวิจัยนี้ได้พัฒนาแบบจำลองเพื่อศึกษาสมรรถนะของหน่วยประมวลผลโดยได้กำหนดใช้หน่วยประมวลผลต้นแบบที่คล้ายคลึงไมโครโปรเซสเซอร์ 8086 ของบริษัทอินเทล และดำเนินการทดสอบสมรรถนะของระบบโดยใช้โปรแกรมสำหรับการวัดเปรียบเทียบสมรรถนะ พบว่าลักษณะของคำสั่งที่ใช้ในโปรแกรมเหล่านั้น มีการใช้งานรูปแบบคำสั่งที่มีตัวถูกกระทำการควยอัตราส่วนที่สูง วิธีการวางตำแหน่งข้อมูลที่ใช้งานได้ง่ายและรวดเร็วเป็นวิธีการที่น่ามาไขมาก และประเภทคำสั่งพื้นฐานมีอัตราส่วนการใช้งานสูงด้วย สำหรับแนวทางในการศึกษาสมรรถนะได้มีการกำหนดพารามิเตอร์เพื่อให้ระบบมีรูปลักษณะที่แตกต่างกัน ซึ่งได้แก่การกำหนดใหม่คำสั่งหรือมีหน่วยความจำแคชในขนาดต่าง ๆ กัน เมื่อนำผลลัพธ์จากการจำลองมาศึกษาวิเคราะห์และเปรียบเทียบประสิทธิภาพการทำงาน พบว่าการกำหนดใหม่คำสั่งเป็นผลให้สมรรถนะของหน่วยประมวลผลต้นแบบเพิ่มขึ้นได้ และเมื่อเพิ่มหน่วยความจำแคช สมรรถนะของหน่วยประมวลผลต้นแบบนี้ก็ยังเพิ่มขึ้นไปได้

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา วิศวกรรมคอมพิวเตอร์
สาขาวิชา วิทยาศาสตร์คอมพิวเตอร์
ปีการศึกษา 2534

ลายมือชื่อนิติต
ลายมือชื่ออาจารย์ที่ปรึกษา
ลายมือชื่ออาจารย์ที่ปรึกษา

C016966 : MAJOR COMPUTER SCIENCE

KEYWORD : PROCESS-ORIENTED SIMULATION/PERFORMANCE/PROCESSOR

DARARAT SAELEE : A PROCESS ORIENTED SIMULATION IN PERFORMANCE STUDY OF PROCESSOR. THESIS ADVISOR : ASST. PROF. WITTAYA WATCHARAWITTAYAKUL, Ph.D., ASST. PROF. SUYUT SATAYAPRAKORB. 108 pp., ISBN 974-581-196-3

This research is to present the process-oriented simulation for studying computer system behaviour. This can help computer designers to evaluate and analyze processor performance. Because behaviours of computer systems are difficult to specify as mathematical models, developing simulation models using process-oriented simulation approach is convenient and useful for observing program behaviour on novel computer architectures. In this research a process-oriented simulator was built to simulate quasi-parallel systems in which many processes existed and evolved independently.

A processor model similar to the architecture of Intel microprocessor 8086 was developed for simulation. Benchmark programs were used to test the model. It was found that instructions with simple addressing modes were often used. Many architectural features were also studied to see their effects to the overall performance. This included the instruction queue and cache memory. It was found that processor performance was improved significantly with these features.

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา.....วิศวกรรมคอมพิวเตอร์

สาขาวิชา.....วิทยาศาสตร์คอมพิวเตอร์

ปีการศึกษา.....2534

ลายมือชื่อนิสิต.....

ลายมือชื่ออาจารย์ที่ปรึกษา.....

ลายมือชื่ออาจารย์ที่ปรึกษาร่วม.....

กิตติกรรมประกาศ

ผู้วิจัยขอขอบพระคุณอาจารย์ที่ปรึกษาทั้ง 2 ท่านคือ ผู้ช่วยศาสตราจารย์ ดร. วิทยา วัชระวิทากุล และผู้ช่วยศาสตราจารย์ สุชนัน ลีตยประกอบ ตลอดจนผู้ช่วยศาสตราจารย์ เมธี ศรีสิงวาล และผู้ช่วยศาสตราจารย์ บุญชัย โสวรรณวิชกุล ที่ได้กรุณาสละเวลาให้คำปรึกษา และคำแนะนำอันเป็นประโยชน์อย่างยิ่งต่อการวิจัย รวมทั้งแนวคิดต่าง ๆ ซึ่งช่วยให้การทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี

ขอขอบคุณ คณาจารย์ภาควิชาคณิตศาสตร์ คณะวิทยาศาสตร์ มหาวิทยาลัยสงขลานครินทร์ ทุกท่าน ที่ช่วยเหลือทางด้านภาระงานเพื่อให้ทำวิจัยได้อย่างต่อเนื่อง รวมทั้งให้ความห่วงใยตลอดมา

ขอขอบคุณ คุณสมศรี จตุรพิชพรชัย คุณศิรินทร เอนกพิระศักดิ์ คุณศินา อุดมกิจนุภาพ คุณไตรรัตน์ นัฐภิรมย์ และเพื่อนๆทุกคน ที่ได้ให้ความช่วยเหลือ คำแนะนำ ตลอดจนกำลังใจ ทำให้การทำวิทยานิพนธ์ฉบับนี้สำเร็จได้ด้วยดี และเนื่องจากทุนการวิจัยครั้งนี้ บางส่วนได้รับมาจากทุนอุดหนุนการวิจัยของบัณฑิตวิทยาลัย จึงขอขอบพระคุณบัณฑิตวิทยาลัย ณ ที่นี้ด้วย

คารารัตน์ แซ่ลี

ศูนย์วิทยพัธพยาบาล
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ง
บทคัดย่อภาษาอังกฤษ	จ
กิตติกรรมประกาศ	ฉ
สารบัญตาราง	ญ
สารบัญภาพ	ฉ
บทที่	
1. บทนำ	1
1.1 ความเป็นมาของปัญหา	1
1.2 แนวคิดและทฤษฎี	2
1.3 วัตถุประสงค์ในการวิจัย	6
1.4 ขอบเขตของการวิจัย	6
1.5 ขั้นตอนในการวิจัย	8
1.6 ประโยชน์ที่คาดว่าจะได้รับ	8
2. การจำลองอิงกรรมวิธี	10
2.1 บทนำ	10
2.2 ชนิดของแบบจำลอง	11
2.2.1 แบบจำลองเหตุการณ์ที่ไม่ต่อเนื่อง	12
2.2.2 แบบจำลองระบบอย่างต่อเนื่อง	12
2.3 วิธีการจำลองสำหรับแบบจำลองเหตุการณ์ที่ไม่ต่อเนื่อง	12
2.3.1 การกำหนดการโดยเหตุการณ์	12
2.3.2 การติดต่อกันของกรรมวิธี	13
2.3.3 การค้นหาจากกิจกรรม	13
2.4 แนวความคิดของการจำลองอิงกรรมวิธีในการสร้างแบบจำลอง	14
3. np : ตัวจำลองอิงกรรมวิธี	16
3.1 บทนำ	16
3.2 แนวความคิดพื้นฐานในการพัฒนาตัวจำลองอิงกรรมวิธี np	17

4.	การศึกษาสมรรถนะของหน่วยประมวลผล	19
4.1	หน่วยประมวลผลต้นแบบ	20
4.1.1	การจัดองค์ประกอบภายในหน่วยประมวลผลต้นแบบ	20
4.1.2	การปฏิบัติการคำสั่ง	21
4.1.3	วิธีการอ้างตำแหน่ง	22
4.1.4	ชุดคำสั่งสำหรับปฏิบัติการ	27
4.2	แบบจำลองการทำงานของหน่วยประมวลผลต้นแบบ	28
4.2.1	กรรมวิธี np	30
4.2.2	กรรมวิธีหน่วยเชื่อมต่อบัส	31
4.2.3	กรรมวิธีหน่วยปฏิบัติการ	34
4.2.4	กรรมวิธีหน่วยควบคุมความจำแคช	35
4.2.5	รายงานผลลัพธ์	36
4.3	โปรแกรมสำหรับการวัดเปรียบเทียบสมรรถนะ	37
4.4	ผลลัพธ์จากการดำเนินการของตัวแบบจำลอง	38
5.	การวิเคราะห์หาค่าสิ่งจากการทดสอบ	39
5.1	การวิเคราะห์ชุดคำสั่งตามจำนวนตัวถูกกระทำการ	39
5.2	การวิเคราะห์ชุดคำสั่งตามประเภทคำสั่ง	41
5.3	การวิเคราะห์ชุดคำสั่งตามวิธีการอ้างตำแหน่ง	44
5.4	สรุป	47
6.	การศึกษาและทดสอบสมรรถนะเมื่อแปรขนาดคิวคำสั่ง	48
6.1	การศึกษาค่าสมรรถนะสัมพัทธ์เมื่อแปรขนาดคิวคำสั่ง	49
6.2	การศึกษาการใช้งานคิวคำสั่งเมื่อแปรขนาดคิวคำสั่ง	52
6.3	สรุป	56
7.	การศึกษาและทดสอบสมรรถนะเมื่อเพิ่มหน่วยความจำแคช	57
7.1	กรณีศึกษาเมื่อเพิ่มหน่วยความจำแคชขนาดต่างกัน	59
7.2	กรณีศึกษาเมื่อกำหนดมีหน่วยความจำแคชและแปรขนาด เส้นทางส่งข้อมูล	64
7.3	สรุป	72

	หน้า
8. สรุปผลและข้อเสนอแนะ	74
บรรณานุกรม	77
ภาคผนวก ก คู่มือการใช้งานตัวจำลองอิงกรรมวิธี np	80
ภาคผนวก ข รูปแบบของส่วนค้นแฟ้มปฏิบัติการชนิด .EXE	94
ภาคผนวก ค ข้อมูลที่จำเป็นสำหรับการปฏิบัติการคำสั่ง	98
ประวัติผู้เขียน	108



ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

ตารางที่	หน้า
5.1 แสดงอัตราส่วน (ร้อยละ) ค่าสิ่งของแต่ละโปรแกรมโดยแยกตามจำนวน ตัวถูกกระทำการที่ระบุไว้ในค่าสิ่ง	40
5.2 แสดงอัตราส่วน (ร้อยละ) การใช้งานชุดค่าสิ่งของแต่ละโปรแกรมโดย แยกตามประเภทค่าสิ่ง	42
5.3 แสดงอัตราส่วนโดยเฉลี่ยในการใช้งานประเภทค่าสิ่งโดยเรียงลำดับตาม ตัวเลขจากมากไปน้อย	43
5.4 แสดงอัตราส่วน (ร้อยละ) ค่าสิ่งของแต่ละโปรแกรมโดยแยกตามวิธีการ อ้างตำแหน่ง	45
5.5 แสดงอัตราส่วนโดยเฉลี่ยในการใช้งานวิธีการอ้างตำแหน่งโดยเรียงลำดับ ตามตัวเลขจากมากไปน้อย	46
6.1 แสดงค่าสมรรถนะสัมพัทธ์ของแต่ละโปรแกรมเมื่อแปรขนาดคิวค่าสิ่ง	50
6.2 แสดงการใช้งานคิวค่าสิ่งโดยพิจารณาด้วยค่าเฉลี่ยจำนวนไบต์ที่รออยู่ใน คิวค่าสิ่ง	53
6.3 แสดงอัตราส่วน (ร้อยละ) การใช้งานคิวค่าสิ่งโดยเฉลี่ย	55
7.1 แสดงค่าสมรรถนะสัมพัทธ์กับกรณีไม่มีหน่วยความจำแคช เมื่อแปรขนาด เส้นทางส่งข้อมูลขนาด 16 บิตและ 32 บิต	65
7.2 แสดงอัตราส่วนการพลาดโดยเฉลี่ยในแต่ละโปรแกรม เมื่อแปรขนาด เส้นทางส่งข้อมูลขนาด 16 บิตและ 32 บิต	66

สารบัญภาพ

รูปที่		หน้า
1.1	ขั้นตอนของการจำลองระบบคอมพิวเตอร์	3
1.2	ความสัมพันธ์ขององค์ประกอบภายในระบบคอมพิวเตอร์	7
4.1	การติดต่อระหว่างหน่วยประมวลผลต้นแบบกับหน่วยความจำหลัก	20
4.2	องค์ประกอบภายในหน่วยประมวลผลต้นแบบ	21
4.3	วิธีการอ้างตำแหน่ง	24
4.4	แสดงส่วนประกอบการทำงานภายในแบบจำลอง กรณีไม่มีหน่วยความจำแคช	28
4.5	แสดงส่วนประกอบการทำงานภายในแบบจำลอง กรณีกำหนดให้มี หน่วยความจำแคช	29
6.1	แสดงค่าสมรรถนะสัมพัทธ์ของแต่ละโปรแกรม เมื่อแปรขนาดคิวคำสั่ง	51
6.2	แสดงอัตราส่วน (ร้อยละ) การใช้งานคิวคำสั่ง เมื่อแปรขนาดคิวคำสั่ง	54
7.1	แบบจำลองหน่วยประมวลผลต้นแบบเมื่อกำหนดมีหน่วยความจำแคช	58
7.2	แสดงค่าสมรรถนะสัมพัทธ์ในแต่ละโปรแกรม เมื่อแปรขนาดหน่วยความจำแคช	60
7.3	แสดงอัตราส่วนการพลาดโดยเฉลี่ยในแต่ละโปรแกรม เมื่อแปรขนาด หน่วยความจำแคช	63
7.4	แสดงอัตราส่วนการพลาดในแต่ละช่วงซึ่งแบ่งตามจำนวนครั้งที่มีการอ้างอิง หน่วยความจำแคชภายในโปรแกรม Dhystone	68
7.5	แสดงอัตราส่วนการพลาดในแต่ละช่วงซึ่งแบ่งตามจำนวนครั้งที่มีการอ้างอิง หน่วยความจำแคชภายในโปรแกรม Fibonacci	68
7.6	แสดงอัตราส่วนการพลาดในแต่ละช่วงซึ่งแบ่งตามจำนวนครั้งที่มีการอ้างอิง หน่วยความจำแคชภายในโปรแกรม Netflow	69
7.7	แสดงอัตราส่วนการพลาดในแต่ละช่วงซึ่งแบ่งตามจำนวนครั้งที่มีการอ้างอิง หน่วยความจำแคชภายในโปรแกรม Quicksort	69
7.8	แสดงอัตราส่วนการพลาดในแต่ละช่วงซึ่งแบ่งตามจำนวนครั้งที่มีการอ้างอิง หน่วยความจำแคชภายในโปรแกรม Spanfo	70

7.9	แสดงค่าสมรรถนะสัมพัทธ์กับกรณีไม่มีทั้งคิวคำสั่งและหน่วยความจำแคช โดยกำหนดขนาดเส้นทางส่งข้อมูลเท่ากับ 16 บิต	72
7.10	แสดงค่าสมรรถนะสัมพัทธ์กับกรณีไม่มีทั้งคิวคำสั่งและหน่วยความจำแคช โดยกำหนดขนาดเส้นทางส่งข้อมูลเท่ากับ 32 บิต	73



ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย