การจำลองอิงกรรมวิธีในการศึกษาสมรรถนะของหน่วยประมวลผล

นางสาว ดารารัตน์ แซ่ลี้

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิทยาศาสตรมหาบัณฑิต
ภาควิชาวิศวกรรมคอมพิวเตอร์
บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย
พ.ศ. 2535

ISBN 974-581-196-3

ลิขสิทธิ์ของบัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย

018730

A PROCESS ORIENTED SIMULATION IN PERFORMANCE STUDY OF PROCESSOR

MISS DARARAT SAELEE

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

A Thesis Submitted in Partial Fulfillment of the Requirements

for the Degree of Master of Science

Department of Computer Engineering

Graduate School

Chulalongkorn University

1992

ISBN 974-581-196-3

หัวข้อวิทยานิพนธ์	การจำลองอิงกรรมวิธีในการศึกษาสมรรถนะของหน่วยประมวลผล
โดย	นางสาว ดารารัตน์ แซ่ลี้
ภาควิชา	วิศวกรรมคอมพิวเตอร์
อาจารย์ที่ปรึกษา	ผู้ช่วยศาสตราจารย์ ดร. วิทยา วัชระวิทยากุล
	ผู้ช่วยศาสตราจารย์ สุธุชน์ สัตยประกอบ

บัณฑิตวิทยาลัย จุฬาลงกรณ์มหาวิทยาลัย อนุมัติให้วิทยานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญามหาบัณฑิต

..... คณบดีบัณฑิตวิทยาลัย

(ศาสตราจารย์ ดร. ถาวร วัชราภัย)

คณะกรรมการสอบวิทยานิพนธ์

..... ประธานกรรมการ

(ผู้ช่วยศาสตราจารย์ เมธี ศรีสังวาล)

..... อาจารย์ที่ปรึกษา

(ผู้ช่วยศาสตราจารย์ ดร. วิทยา วัชระวิทยากุล)

..... อาจารย์ที่ปรึกษาร่วม

(ผู้ช่วยศาสตราจารย์ สุธุชน์ สัตยประกอบ)

..... กรรมการ

(ผู้ช่วยศาสตราจารย์ บุญชัย โสวรรณวณิชกุล)

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

พิมพ์ต้นฉบับบทคัดย่อวิทยานิพนธ์ภายในกรอบสีเขียวนี้เพียงแผ่นเดียว

ศารารัตน์ แซ่ลี้ : การจำลองอิงกรรมวิธีในการศึกษาสมรรถนะของหน่วยประมวลผล
(A PROCESS ORIENTED SIMULATION IN PERFORMANCE STUDY OF PROCESSOR)
อ. ที่ปรึกษา : ผศ. ดร. วิทยา วัชระวิทยากุล, ผศ. สุยุชน์ สัตยประกอบ. 108 หน้า.
ISBN 974-581-196-3

งานวิจัยนี้ได้นำเอาแนวความคิดการจำลองอิงกรรมวิธีมาใช้ในการศึกษาพฤติกรรมการทำงานภายในระบบคอมพิวเตอร์เพื่อประเมินผล และให้ข้อมูลแก่ผู้ออกแบบระบบคอมพิวเตอร์นำไปใช้วิเคราะห์สมรรถนะการทำงานของหน่วยประมวลผล ทั้งนี้เพราะภายในระบบคอมพิวเตอร์ประกอบด้วยส่วนประกอบที่มีการทำงานในรูปแบบที่ยากต่อการกำหนดความสัมพันธ์ในทางคณิตศาสตร์ และในการพัฒนาแบบจำลองการทำงานของหน่วยประมวลผลตนแบบด้วยวิธีการจำลองอิงกรรมวิธีนี้ เป็นวิธีการที่ใช้ในการพัฒนาแบบจำลองได้สดวกและมีประโยชน์ในการใช้สังเกตพฤติกรรมการทำงานของโปรแกรมบนสถาปัตยกรรมของเครื่องคอมพิวเตอร์ที่ไม่มีจริง โดยใช้เครื่องมือช่วยในการจำลองที่เรียกว่า ตัวจำลองอิงกรรมวิธี np ซึ่งทำให้สามารถจำลองระบบให้เสมือนมีกรรมวิธีหลายกรรมวิธีดำเนินการได้พร้อมกันโดยที่แต่ละกรรมวิธีเหล่านั้นสามารถติดต่อระหว่างกันได้

ในงานวิจัยนี้ได้พัฒนาแบบจำลองเพื่อศึกษาสมรรถนะของหน่วยประมวลผลโดยได้กำหนดใช้หน่วยประมวลผลตนแบบที่คล้ายคลึงไมโครโปรเซสเซอร์ 8086 ของบริษัทอินเทล และดำเนินการทดสอบสมรรถนะของระบบโดยใช้โปรแกรมสำหรับการวัดเปรียบเทียบสมรรถนะ พบว่าลักษณะของคำสั่งที่ใช้ในโปรแกรมเหล่านั้น มีการใช้งานรูปแบบคำสั่งที่มีตัวถูกกระทำการด้วยอัตราส่วนที่สูง วิธีการอ้างตำแหน่งข้อมูลที่ใช้งานได้ง่ายและรวดเร็วเป็นวิธีการที่นำมาใช้มาก และประเภทคำสั่งพื้นฐานมีอัตราส่วนการใช้งานสูงด้วย สำหรับแนวทางในการศึกษาสมรรถนะได้มีการกำหนดพารามิเตอร์เพื่อให้ระบบมีรูปลักษณะแตกต่างกัน ซึ่งได้แก่ การกำหนดให้มีคิวคำสั่งหรือมีหน่วยความจำแคชในขนาดต่าง ๆ กัน เมื่อนำผลลัพธ์จากการจำลองมาศึกษาวิเคราะห์และเปรียบเทียบประสิทธิภาพการทำงาน พบว่าการกำหนดให้มีคิวคำสั่งเป็นผลให้สมรรถนะของหน่วยประมวลผลตนแบบเพิ่มขึ้นได้ และเมื่อเพิ่มหน่วยความจำแคช สมรรถนะของหน่วยประมวลผลตนแบบนี้ก็ยังเพิ่มขึ้นไปได้อีก

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา วิศวกรรมคอมพิวเตอร์ ลายมือชื่อนิสิต .....
สาขาวิชา วิทยาศาสตร์คอมพิวเตอร์ ลายมือชื่ออาจารย์ที่ปรึกษา .....
ปีการศึกษา 2534 ลายมือชื่ออาจารย์ที่ปรึกษาร่วม .....

C016966 : MAJOR COMPUTER SCIENCE
KEYWORD : PROCESS-ORINTED SIMULATION/PERFORMANCE/PROCESSOR

DARARAT SAELEE : A PROCESS ORIENTED SIMULATION IN PERFORMANCE STUDY OF PROCESSOR. THESIS ADVISOR : ASST. PROF. WITTAYA WATCHARAWITTAYAKUL, Ph.D., ASST. PROF. SUYUT SATAYAPRAKORB. 108 pp., ISBN 974-581-196-3

This research is to present the process-oriented simulation for studying computer system behaviour. This can help computer designers to evaluate and analyze processor performance. Because bebaviours of computer systems are difficult to specify as mathemetical models, developing simulation models using process-oriented simulation approach is convenient and useful for observing program behaviour on novel computer architectures. In this research a process-oriented simulator was built to simulate quasi-parallel systems in which many processes existed and evolved independently.

A processor model similar to the architecture of Intel microprocessor 8086 was developed for simulation. Benchmark programs were used to test the model. It was found that instructions with simple addressing modes were often used. Many architectural features were also studied to see their effects to the overall performance. This included the instruction queue and cache memory. It was found that processor performance was improved significantly with these features.

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ภาควิชา วิศวกรรมคอมพิวเตอร์ ลายมือชื่อนิสิต .....
สาขาวิชา วิทยาศาสตร์คอมพิวเตอร์ ลายมือชื่ออาจารย์ที่ปรึกษา .....
ปีการศึกษา 2534 ลายมือชื่ออาจารย์ที่ปรึกษาร่วม .....

กิตติกรรมประกาศ

ผู้วิจัยขอขอบพระคุณอาจารย์ที่ปรึกษาทั้ง 2 ท่านคือ ผู้ช่วยศาสตราจารย์ ดร. วิทยา วัชระวิทยากุล และผู้ช่วยศาสตราจารย์ สุธน์ สัตยประกอบ ตลอดจนผู้ช่วยศาสตราจารย์ เมธี ศรีสังวาล และผู้ช่วยศาสตราจารย์ บุญชัย โสวรรณวณิชกุล ที่ได้กรุณาสละเวลาให้คำปรึกษา และคำแนะนำอันเป็นประโยชน์อย่างยิ่งต่อการวิจัย รวมทั้งแนวคิดต่าง ๆ ซึ่งช่วยให้การทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี

ขอขอบคุณ คณาจารย์ภาควิชาคณิตศาสตร์ คณะวิทยาศาสตร์ มหาวิทยาลัยสงขลานครินทร์ ทุกท่าน ที่ช่วยเหลือทางด้านการงานเพื่อให้ทำวิจัยได้อย่างต่อเนื่อง รวมทั้งให้ความห่วงใยตลอดมา

ขอขอบคุณ คุณสมศรี จตุรพิธพรชัย คุณศิรินทร เอนกพีระศักดิ์ คุณดีนา อุดมกิจนุภาพ คุณไตรรัตน์ นุ้ยภิรมย์ และเพื่อนๆทุกคน ที่ได้ให้ความช่วยเหลือ คำแนะนำ ตลอดจนกำลังใจ ทำให้การทำวิทยานิพนธ์ฉบับนี้สำเร็จได้ด้วยดี และเนื่องจากทุนการวิจัยครั้งนี้ บางส่วนได้รับมาจากทุนอุดหนุนการวิจัยของบัณฑิตวิทยาลัย จึงขอขอบพระคุณบัณฑิตวิทยาลัยมา ณ ที่นี้ด้วย

ดาราวัตน์ แซ่ลี้

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย ..... ง

บทคัดย่อภาษาอังกฤษ ..... จ

กิตติกรรมประกาศ ..... ฉ

สารบัญตาราง ..... ญ

สารบัญภาพ ..... ฏ

บทที่

1. บทนำ 1
   - 1.1 ความเป็นมาของปัญหา 1
   - 1.2 แนวคิดและทฤษฎี 2
   - 1.3 วัตถุประสงค์ในการวิจัย 6
   - 1.4 ขอบเขตของการวิจัย 6
   - 1.5 ขั้นตอนในการวิจัย 8
   - 1.6 ประโยชน์ที่คาดว่าจะได้รับ 8
2. การจำลองอิงกรรมวิธี 10
   - 2.1 บทนำ 10
   - 2.2 ชนิดของแบบจำลอง 11
     - 2.2.1 แบบจำลองเหตุการณ์ที่ไม่ต่อเนื่อง 12
     - 2.2.2 แบบจำลองระบบอย่างต่อเนื่อง 12
   - 2.3 วิธีการจำลองสำหรับแบบจำลองเหตุการณ์ที่ไม่ต่อเนื่อง 12
     - 2.3.1 การกำหนดการโดยเหตุการณ์ 12
     - 2.3.2 การติดต่อระหว่างกันของกรรมวิธี 13
     - 2.3.3 การค้นหาจากกิจกรรม 13
   - 2.4 แนวความคิดของการจำลองอิงกรรมวิธีในการสร้างแบบจำลอง 14
3. np : ตัวจำลองอิงกรรมวิธี 16
   - 3.1 บทนำ 16
   - 3.2 แนวความคิดพื้นฐานในการพัฒนาตัวจำลองอิงกรรมวิธี np 17

หน้า

4. การศึกษาสมรรถนะของหน่วยประมวลผล 19
4.1 หน่วยประมวลผลต้นแบบ 20
4.1.1 การจัดองค์กรภายในหน่วยประมวลผลต้นแบบ 20
4.1.2 การปฏิบัติการคำสั่ง 21
4.1.3 วิธีการอ้างตำแหน่ง 22
4.1.4 ชุดคำสั่งสำหรับปฏิบัติการ 27
4.2 แบบจำลองการทำงานของหน่วยประมวลผลต้นแบบ 28
4.2.1 กรรมวิธี np 30
4.2.2 กรรมวิธีหน่วยเชื่อมต่อบัส 31
4.2.3 กรรมวิธีหน่วยปฏิบัติการ 34
4.2.4 กรรมวิธีหน่วยควบคุมความจำแคช 35
4.2.5 รายงานผลลัพธ์ 36
4.3 โปรแกรมสำหรับการวัดเปรียบเทียบสมรรถนะ 37
4.4 ผลลัพธ์จากการดำเนินการของตัวแบบจำลอง 38
5. การวิเคราะห์คำสั่งจากการทดสอบ 39
5.1 การวิเคราะห์ชุดคำสั่งตามจำนวนตัวถูกกระทำการ 39
5.2 การวิเคราะห์ชุดคำสั่งตามประเภทคำสั่ง 41
5.3 การวิเคราะห์ชุดคำสั่งตามวิธีการอ้างตำแหน่ง 44
5.4 สรุป 47
6. การศึกษาและทดสอบสมรรถนะเมื่อแปรขนาดคิวคำสั่ง 48
6.1 การศึกษาค่าสมรรถนะสัมพัทธ์เมื่อแปรขนาดคิวคำสั่ง 49
6.2 การศึกษาการใช้งานคิวคำสั่งเมื่อแปรขนาดคิวคำสั่ง 52
6.3 สรุป 56
7. การศึกษาและทดสอบสมรรถนะเมื่อเพิ่มหน่วยความจำแคช 57
7.1 กรณีศึกษาเมื่อเพิ่มหน่วยความจำแคชขนาดต่างกัน 59
7.2 กรณีศึกษาเมื่อกำหนดมีหน่วยความจำแคชและแปรขนาดเส้นทางส่งข้อมูล 64
7.3 สรุป 72

หน้า

8. สรุปผลและข้อเสนอแนะ 74

บรรณานุกรม 77
ภาคผนวก ก คู่มือการใช้งานตัวจำลองอิงกรรมวิธี np 80
ภาคผนวก ข รูปแบบของส่วนต้นแฟ้มปฏิบัติการชนิด .EXE 94
ภาคผนวก ค ข้อมูลที่จำเป็นสำหรับการปฏิบัติการคำสั่ง 98
ประวัติผู้เขียน 108

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญตาราง

ตารางที่ หน้า

5.1 แสดงอัตราส่วน (ร้อยละ) คำสั่งของแต่ละโปรแกรมโดยแยกตามจำนวนตัวถูกกระทำการที่ระบุไว้ในคำสั่ง 40

5.2 แสดงอัตราส่วน (ร้อยละ) การใช้งานชุดคำสั่งของแต่ละโปรแกรมโดยแยกตามประเภทคำสั่ง 42

5.3 แสดงอัตราส่วนโดยเฉลี่ยในการใช้งานประเภทคำสั่งโดยเรียงลำดับตามตัวเลขจากมากไปน้อย 43

5.4 แสดงอัตราส่วน (ร้อยละ) คำสั่งของแต่ละโปรแกรมโดยแยกตามวิธีการอ้างตำแหน่ง 45

5.5 แสดงอัตราส่วนโดยเฉลี่ยในการใช้งานวิธีการอ้างตำแหน่งโดยเรียงลำดับตามตัวเลขจากมากไปน้อย 46

6.1 แสดงค่าสมรรถนะสัมพัทธ์ของแต่ละโปรแกรมเมื่อแปรขนาดคิวคำสั่ง 50

6.2 แสดงการใช้งานคิวคำสั่งโดยพิจารณาด้วยค่าเฉลี่ยจำนวนไบต์ที่รออยู่ในคิวคำสั่ง 53

6.3 แสดงอัตราส่วน (ร้อยละ) การใช้งานคิวคำสั่งโดยเฉลี่ย 55

7.1 แสดงค่าสมรรถนะสัมพัทธ์กับกรณีไม่มีหน่วยความจำแคช เมื่อแปรขนาดเส้นทางส่งข้อมูลขนาด 16 บิตและ 32 บิต 65

7.2 แสดงอัตราส่วนการพลาดโดยเฉลี่ยในแต่ละโปรแกรม เมื่อแปรขนาดเส้นทางส่งข้อมูลขนาด 16 บิตและ 32 บิต 66

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

สารบัญภาพ

รูปที่		หน้า
1.1	ขั้นตอนของการจำลองระบบคอมพิวเตอร์	3
1.2	ความสัมพันธ์ขององค์ประกอบภายในระบบคอมพิวเตอร์	7
4.1	การติดต่อระหว่างหน่วยประมวลผลต้นแบบกับหน่วยความจำหลัก	20
4.2	องค์ประกอบภายในหน่วยประมวลผลต้นแบบ	21
4.3	วิธีการอ้างตำแหน่ง	24
4.4	แสดงส่วนประกอบการทำงานภายในแบบจำลอง กรณีไม่มีหน่วยความจำแคช	28
4.5	แสดงส่วนประกอบการทำงานภายในแบบจำลอง กรณีกำหนดให้มีหน่วยความจำแคช	29
6.1	แสดงค่าสมรรถนะสัมพัทธ์ของแต่ละโปรแกรม เมื่อแปรขนาดคิวคำสั่ง	51
6.2	แสดงอัตราส่วน (ร้อยละ) การใช้งานคิวคำสั่ง เมื่อแปรขนาดคิวคำสั่ง	54
7.1	แบบจำลองหน่วยประมวลผลต้นแบบเมื่อกำหนดมีหน่วยความจำแคช	58
7.2	แสดงค่าสมรรถนะสัมพัทธ์ในแต่ละโปรแกรม เมื่อแปรขนาดหน่วยความจำแคช	60
7.3	แสดงอัตราส่วนการพลาดโดยเฉลี่ยในแต่ละโปรแกรม เมื่อแปรขนาดหน่วยความจำแคช	63
7.4	แสดงอัตราส่วนการพลาดในแต่ละช่วงชิ่งแบ่งตามจำนวนครั้งที่มีการอ้างอิงหน่วยความจำแคชภายในโปรแกรม Dhrystone	68
7.5	แสดงอัตราส่วนการพลาดในแต่ละช่วงชิ่งแบ่งตามจำนวนครั้งที่มีการอ้างอิงหน่วยความจำแคชภายในโปรแกรม Fibonacci	68
7.6	แสดงอัตราส่วนการพลาดในแต่ละช่วงชิ่งแบ่งตามจำนวนครั้งที่มีการอ้างอิงหน่วยความจำแคชภายในโปรแกรม Netflow	69
7.7	แสดงอัตราส่วนการพลาดในแต่ละช่วงชิ่งแบ่งตามจำนวนครั้งที่มีการอ้างอิงหน่วยความจำแคชภายในโปรแกรม Quicksort	69
7.8	แสดงอัตราส่วนการพลาดในแต่ละช่วงชิ่งแบ่งตามจำนวนครั้งที่มีการอ้างอิงหน่วยความจำแคชภายในโปรแกรม Spanfo	70

รูปที่ หน้า

7.9 แสดงค่าสมรรถนะสัมพัทธ์กับกรณีไม่มีทั้งคิวค่าสั่งและหน่วยความจำแคช
โดยกำหนดขนาดเส้นทางส่งข้อมูลเท่ากับ 16 บิต 72
7.10 แสดงค่าสมรรถนะสัมพัทธ์กับกรณีไม่มีทั้งคิวค่าสั่งและหน่วยความจำแคช
โดยกำหนดขนาดเส้นทางส่งข้อมูลเท่ากับ 32 บิต 73

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย