บทที่ 7

การออกแบบโทรศัพท์ดิจิตอลในระบบ ISDN

ในบทนี้จะกล่าวถึงการออกแบบวงจรทั้งในส่วนของ TE และ LT-S อุปกรณ์หลักของโทรศัพท์ดิจิตอลในระบบ ISDN คือ ISAC-S PEB 2085 ซึ่งเป็น IC ที่ใช้ในการควบคุมการติดต่อใน Layer 1 ทั้งหมดและ Layer 2 บางส่วน โดยใช้ CPU ของ Intel เบอร์ 8031AH เป็นตัวควบคุมระบบทั้งหมด ในส่วนของ TE นั้น ทางผู้วิจัยได้พยายามทำส่วนของ User Interface ให้เหมือนกับโทรศัพท์จริง ๆ มากที่สุด นอกจากนี้ การออกแบบยังได้คำนึงถึง Feature ต่าง ๆ และการเปลี่ยนแปลงที่อาจเพิ่มเติม หรือเปลี่ยนแปลงได้ ในอนาคตไว้ด้วย ซึ่ง Block Diagram ของงานวิจัยแสดงไว้ในรูปที่ 7.1

7.1. Microprocessor

Microprocessor ที่ใช้ในงานวิจัย เป็นของบริษัท Intel เบอร์ 8031AH ซึ่งเป็น CPU ในตระกูล MSC-51 Microcontroller ที่เรียกว่าเป็น Controller เนื่องจากภายในตัว CPU นอกจากจะมี MPU แล้วยังมี Internal RAM อีก 128 bytes Serial/Pararell Port และ Timer/Counter อีก 2 ตัว แต่ในงานวิจัยนี้ใช้ Internal RAM เป็น Stack ใช้ Pararell Port บาง bit ในการควบคุมอุปกรณ์รอบ-ข้าง ส่วนSerial Port และ Timer/Counter นั้นไม่ได้ใช้งาน รายละเอียดของวงจรแสดงไว้ในรูปที่ 7.2 และ รูปที่ 7.3

7.1.1 การใช้งานหน่วยความจำและ I/O Port

CPU 8031AH ได้มีการแบ่ง การใช้หน่วยความจำออกเป็น 2 ส่วน ที่เป็นอิสระจากกัน

1. หน่วยความจำโปรแกรม (Program memory) เป็นหน่วยความจำ ที่ใช้สำหรับเก็บโปรแกรม ที่ใช้ในการทำงาน CPU สามารถอ้างหน่วยความจำ ส่วนนี้ ได้สูงสุด 64 kB (ตำแหน่ง 0000H-0FFFFH) วงจรนี้ ได้ถูกออกแบบให้สามารถใช้หน่วยความจำโปรแกรมได้ 64 kB โดยใช้ EPROM เบอร์ 27256 ซึ่งมีขนาด 32 k x 8 bit จำนวน 2 ตัว ได้แก่ U3 และ U4 U3 จะอยู่ที่ตำแหน่ง 0000H-07FFFH ส่วน U4 ได้ถูกออกแบบไว้ที่ตำแหน่ง 08000H-0FFFFH

2. หน่วยความจำข้อมูล (Data memory) เป็นหน่วยความจำที่ทำหน้าที่เก็บข้อมูล ซึ่งถูกแบ่งเป็น 2 ส่วน คือ หน่วยความจำข้อมูลภายใน และหน่วยความจำข้อมูลภายนอก

หน่วยความจำภายนอก CPU สามารถอ้างหน่วยความจำส่วนนี้ ได้ 64 kB คือ ตั้งแต่

ตำแหน่งที่ 0000H-FFFFH จะเห็นได้ว่าตำแหน่งของหน่วยความจำข้อมูลจะไปซ้อนทับกับหน่วยความจำโปรแกรม แต่ที่ตัว CPU จะมีขา PSEN ซึ่งจะคอยบอกว่าสัญญาณ Adderss ที่ออกมาจาก CPU ต้องการติดต่อกับหน่วยความจำโปรแกรมหรือหน่วยความจำข้อมูล สัญญาณที่ขา PSEN จะ Active เมื่อ CPU ต้องการติดต่อกับหน่วยความจำโปรแกรม ในงานวิจัยนี้ ได้ใช้หน่วยความจำข้อมูลเป็น Buffer และเก็บค่าตัวแปรต่างๆ ได้แก่ U5 โดยใช้ Static RAM เบอร์ 62256 ขนาด 32 kB x 8 bit ถูกออกแบบให้อยู่ที่ Address 0000H-07FFFH สำหรับตำแหน่ง 08000H-0FFFFH ได้กำหนดให้เป็นที่อยู่ของอุปกรณ์รอบข้าง ได้แก่ LCD,Keyboard และ PEB 2085 งานวิจัยนี้ใช้ U6 ซึ่งเป็น 3 to 8 Line Decoder ทำการถอดรหัส Address โดยนำสัญญาณ A12, A13, A14 และA15 มาถอดรหัสและได้กำหนดตำแหน่งของอุปกรณ์ต่างๆ ไว้ดังนี้

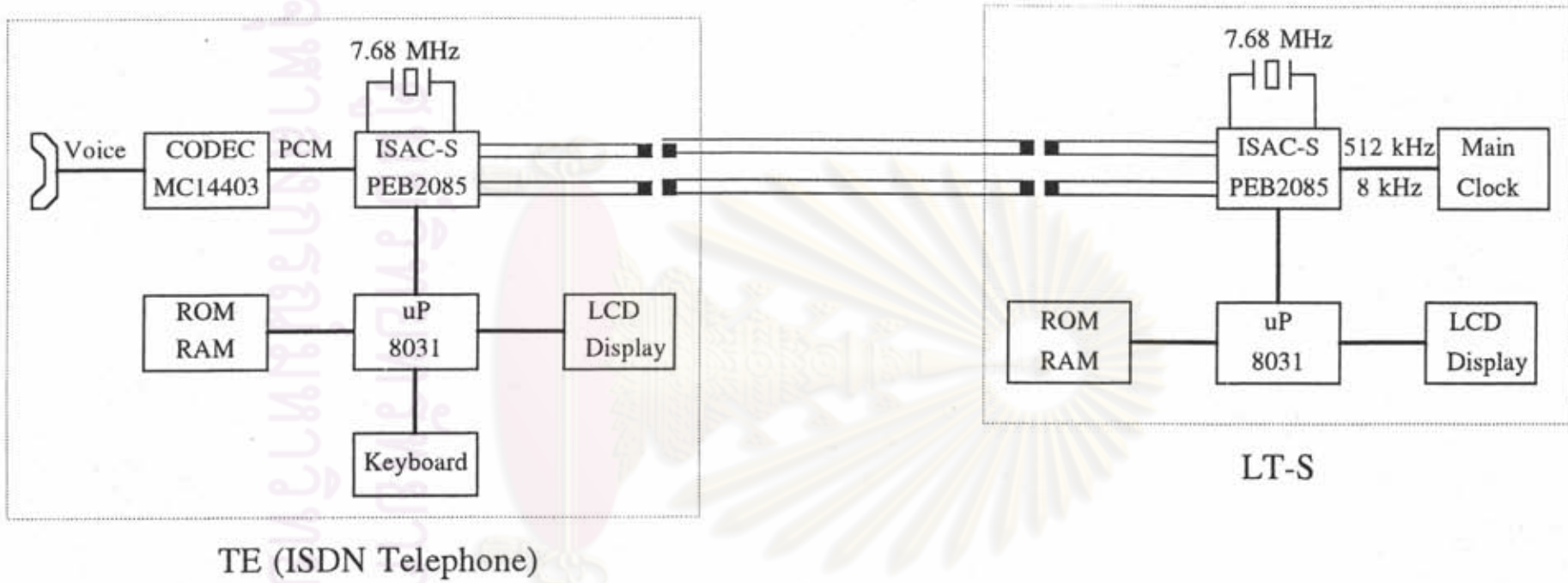
- 080XXH สำหรับ PEB2085
- 0A000H สำหรับ LCD
- 0C000H สำหรับ Keyboard ส่วนนี้มีใช้งานเฉพาะ TE เท่านั้น

ส่วน Address ที่เหลือนั้นไม่ได้ใช้งาน เนื่องจากวงจรได้ออกแบบอุปกรณ์รอบข้างเป็นแบบ Memory Map ดังนั้น CPU จึงมองเห็นตำแหน่งของอุปกรณ์ต่างๆ เหล่านี้ เหมือนเป็นหน่วยความจำข้อมูล การอ้างถึง การส่งข้อมูลออก และการรับข้อมูลจากอุปกรณ์เหล่านี้ ก็จะใช้คำสั่งที่ใช้กับหน่วยความจำข้อมูลปกติ ยกเว้น LCD ที่มีขาควบคุมเพิ่มขึ้นมาอีก 3 ขา หลังจากที่ใช้คำสั่ง MOVX แล้ว จะต้องมีการส่งสัญญาณควบคุม ตามออกไปอีกทีหนึ่ง การเข้าถึงหน่วยความจำส่วนนี้ สามารถเข้าถึงได้ด้วยคำสั่ง MOVX เท่านั้น

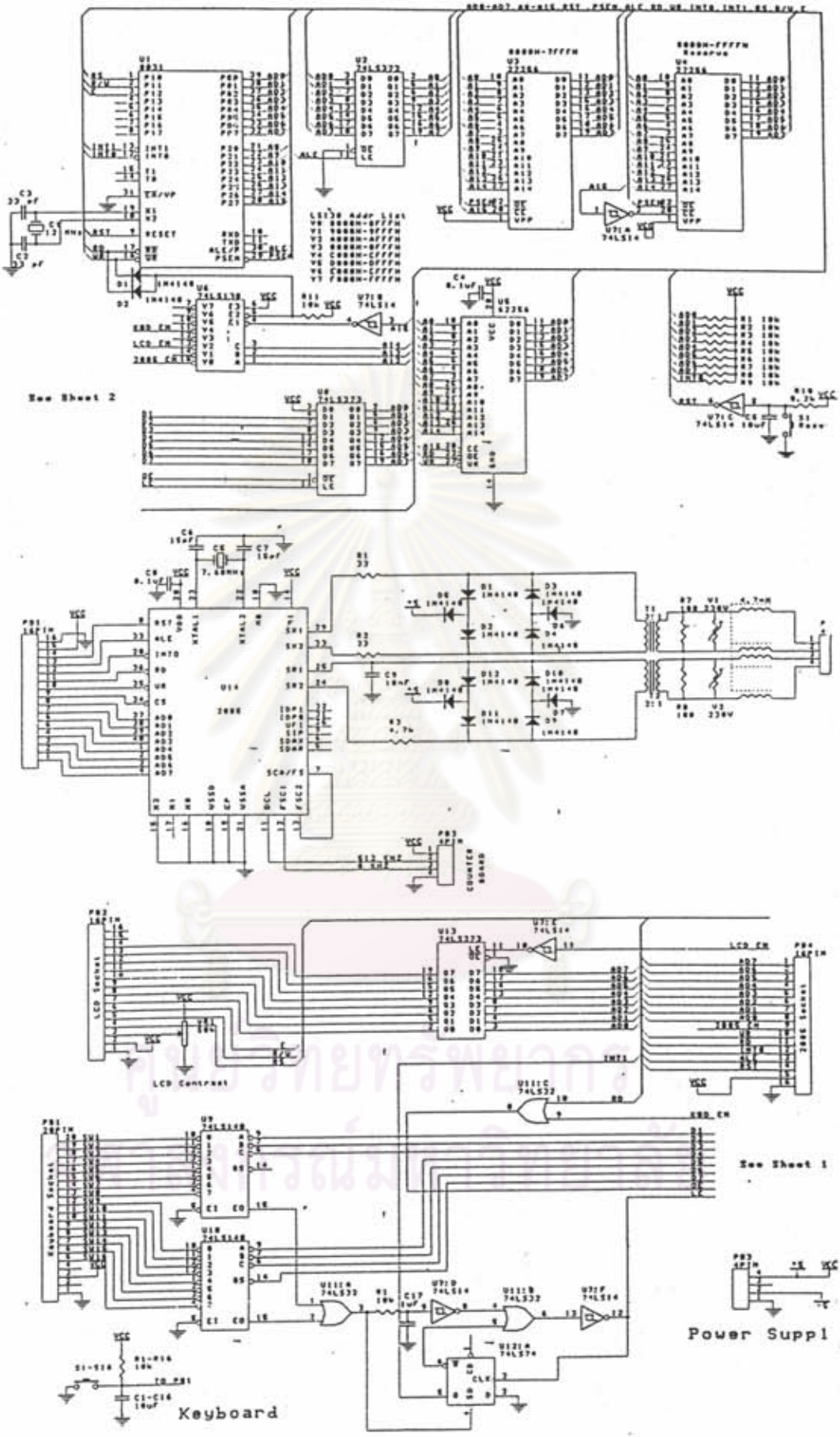
สำหรับหน่วยความจำข้อมูลภายใน ซึ่งก็คือ RAM ที่อยู่ภายใน CPU เอง มีอยู่ทั้งหมด 128 byte ในงานวิจัยนี้ ได้แบ่งหน่วยความจำส่วนนี้ไว้ สำหรับ Accumulator, R0-R7 Register, B Register และ Control Register (PSW, TCON, SBUF, etc.) ส่วนหน่วยความจำภายในที่เหลือได้ใช้งานเป็น Stack ทั้งหมด การเข้าถึงหน่วยความจำส่วนนี้สามารถเข้าถึงได้ด้วยคำสั่ง MOV,ANL, SUBB, etc.

7.1.2 ระบบ BUS, Interrupt และ Port

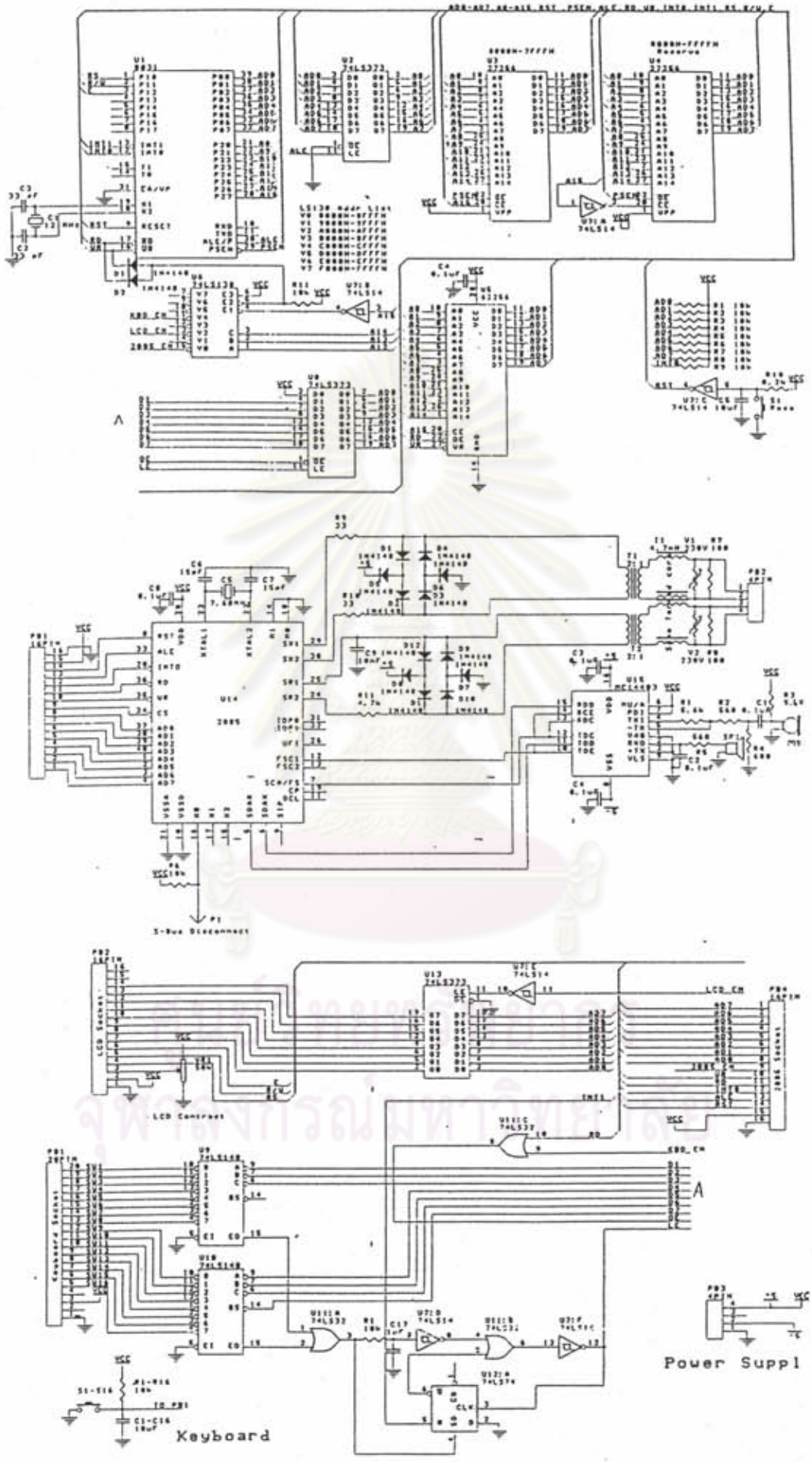
CPU 8031 มี Address Bus ทั้งสิ้น 16 เส้น และ Data Bus 8 เส้น ซึ่งถูก Multiplex อยู่กับ Low Byte Address Bus (A0-A7) อยู่ CPU 8031 จะส่ง Address ออกมาในช่วงเวลาแรกของ Machine Cycle หลังจากนั้น จึงได้ส่ง Data ตามออกมา ในช่วงที่ CPU ส่ง Address ออกมานั้น สัญญาณ ALE จะ Active เราจะใช้สัญญาณนี้ ป้อนเข้าที่ขา Latch ของ U2 74LS363 เพื่อทำการ Latch Low Byte Address ไว้ ส่วน High Byte Address ไม่มีการ Multiplex กับสัญญาณใดๆ จึงสามารถนำไปใช้งานได้ทันที



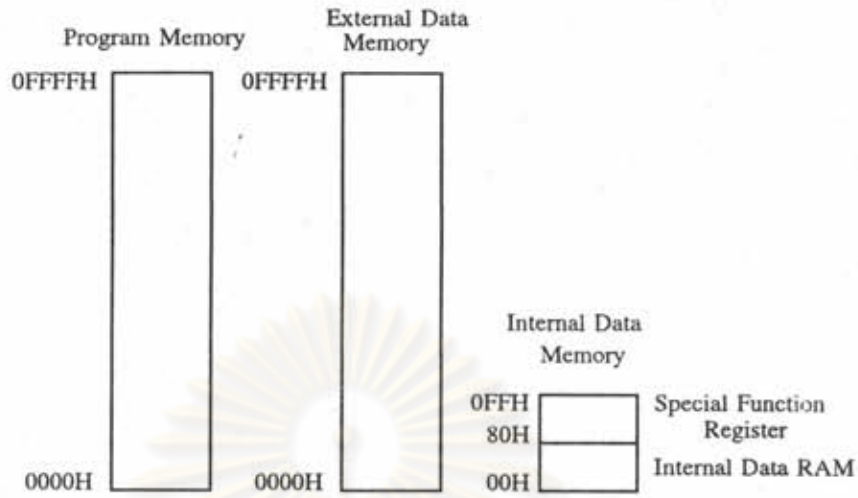
รูปที่ 7.1 Block Diagram ของ TE และ LT-S



รูปที่ 7.3 แสดงวงจรของ LT-S



รูปที่ 7.2 แสดงวงจรของ TE



8031 Memory MAP

รูปที่ 7.4 แสดงการจัดหน่วยความจำของ 8031

8031 มี Port 4 Port ได้แก่ P0-P3 โดยใช้งานในหน้าที่ต่างๆ ดังนี้

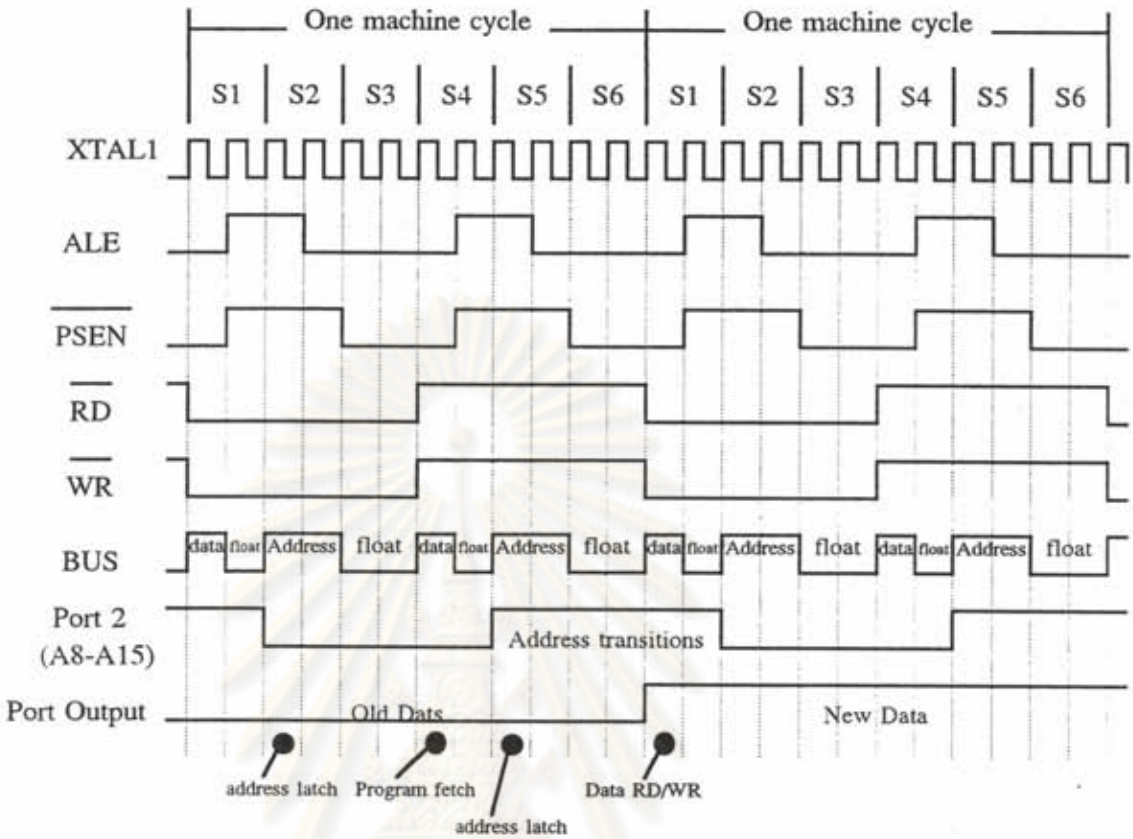
- Port 0 (P0.0-P0.7/AD0-AD7) เป็น I/O Port 8 bit แบบ Open Drain Bidirectional สามารถที่จะรับ load TTL ได้ 8 ตัว ทำหน้าที่เป็น Multiplex ระหว่าง data กับ Low Byte adress ใช้ในการเข้าถึง data และ program ภายนอก การใช้งานแบบนี้ต้องต่อตัวต้านทาน pull-up ด้วยค่าความต้านทาน 10 kΩ

- Port 1 (P1.0-P1.7) เป็น I/O Port 8 bit แบบ Open Drain Bidirectional พร้อมด้วยการ pull-up ภายในสามารถขับ load ที่เป็นตระกูล LSI-TTL ได้ 4 ตัว เมื่อเขียนค่า"1"ออกที่ Port นี้ มันจะมีสถานะสูงด้วยการ pull-up ภายใน การให้สถานะเช่นนี้จะเป็นการ initial ในการใช้งาน Port 1 เป็น Input

- Port 2 (P2.0-P2.7/A8-A15) เป็น I/O Port 8 bit แบบ Open Drain Bidirectional ซึ่งมีการ pull-up ภายในสามารถขับ load ที่เป็นตระกูล LSI-TTL ได้ถึง 4 ตัว ใช้งานเป็นตัวส่ง High Byte Address

- Port 3 (P3.0-P3.7) เป็น I/O Port 8 bit แบบ pull-up ภายใน สามารถขับ load ที่เป็นตระกูล LSI-TTL ได้ 4 ตัว ทำหน้าที่ดังนี้

P3.0	RxD	Serial Input Port
P3.1	TxD	Serial Output Port
P3.2	INT0	External Interrupt 0
P3.3	INT1	External Interrupt 1



รูปที่ 7.5 8031 Timing Diagram

P3.4	T0	Timer0/Counter0 Trigger
P3.5	T1	Timer1/Counter1 Trigger
P3.6	WR	Write
P3.7	RD	Read

ในงานวิจัยนี้ ใช้งาน Port 0, 2, 3 ในการควบคุม การติดต่อกับ หน่วยความจำภายนอก และใช้งาน Port 1.0,1.1,1.2 ในการควบคุมการแสดงผลของ LCD

CPU 8031AH มี 5 Interrupts ได้แก่ 2 External Interrupts , 2 Timer Interrupts และ Serial-Port Interrupt สำหรับงานวิจัยนี้ ใช้งาน External Interrupt 0 กับ ISAC-S PEB 2085 และ External Interrupt 1 กับ Keyboard

7.2 LCD Display

ส่วนที่แสดงผล ของงานวิจัยนี้ เป็นจอแสดงผลแบบ LCD รุ่น DMC 202 ซึ่งสามารถ

แสดงผลได้ เฉพาะตัวอักษรและตัวเลข เนื่องจากกินกำลังงานต่ำ และงานวิจัยนี้ไม่มีความจำเป็นที่จะต้องใช้การแสดงผล แบบกราฟฟิค จอ LCD ที่ใช้เป็น LCD Module ซึ่งมีทั้งตัวจอ LCD และวงจรควบคุมอยู่ด้วยกัน ทำให้สะดวกต่อการใช้งาน และแสดงผลเป็นตัวอักษรขนาด 5x8 จุดได้ 20 ตัวอักษรจำนวน 2 แถวด้วยกัน วงจรการเชื่อมต่อ LCM (LCD Module) ได้แสดงไว้ในวงจรแผ่นที่ 2 VR1 ทำหน้าที่ปรับ Contrast ให้กับ LCM สัญญาณ LCD EN จะมาจากการ Decode ของ Decoder 74LS138 ทำให้เวลาเขียน Software เราสามารถอ้างถึง LCD ในลักษณะของ Memory Map โดยใช้สัญญาณ P1.0-P1.2 ช่วย LCD จะถูกจัดให้อยู่ที่ Address 0A000H เดยที่สามารถ *สั่งเขียนได้อย่างเดียว ไม่สามารถสั่งอ่านสถานะจาก LCM ได้* ดังนั้นการตรวจสอบสถานะ Busy ของ LCM จึงไม่สามารถทำได้ แต่อย่างไรก็ตามเราก็ยังสามารถทำให้ LCM ทำงานได้ โดยอาศัยการหน่วงเวลา หลังจากที่ได้สั่งให้ LCM ทำงานแทน ซึ่ง U13 74LS373 จะทำหน้าที่ Latch Data จาก CPU ที่จะส่งไปให้ LCM ด้วยการใช้สัญญาณ LCD EN ในการ Latch จากนั้น จึงจะสั่งให้ P1.0-P1.2 ทำงานตาม Logic ของ LCM ขา P1.1 ของ CPU จะถูก Set ค่าให้เป็น "0" ตลอดเวลาทั้งนี้ เนื่องจากเราสามารถสั่งให้เขียน LCM ได้อย่างเดียวนั่นเอง ส่วน P1.0 จะเป็นสัญญาณที่บอกว่าข้อมูลที่ CPU ส่งออกไปเป็นข้อมูลของ LCM หรือเป็นคำสั่งของ LCM และ P1.2 เป็นสัญญาณ ENABLE จะถูก Set จาก"0"ให้เป็น"1" หลังจากที่ได้ส่งข้อมูล และสั่งงาน P1.0, P1.1 แล้ว LCM ก็จะทำงานตามที่เราสั่งงานไป หลังจากนั้นก็จะหน่วงเวลาสักครู่ แล้ว Reset P1.2 ให้เป็น"0"อย่างเดิมเป็นการสิ้นสุดการสั่งงานแก่ LCM

7.3 Keyboard

Keyboard มีการใช้งานเฉพาะที่ TE เท่านั้น ซึ่งออกแบบไว้เป็นขนาด 4x4 keys วงจร Keyboard และส่วนควบคุม ทางผู้วิจัยได้ออกแบบวงจร Keyboard ไว้ 2 แบบ ได้แก่ วงจรที่อาศัยการ Scan Key และ วงจรที่ได้แสดงไว้ในวงจรแผ่นที่ 2 และได้ตัดสินใจที่จะใช้วงจรที่ได้แสดงไว้ในวงจรแผ่นที่ 2 เนื่องจากวงจรที่อาศัยการ Scan Key ต้องจัดหา Clock ที่ใช้ในการ Scan Key ให้กับวงจร และใช้จำนวน IC มากกว่า นอกจากนี้ Keyboard 16 keys ก็เพียงพอ ต่อการใช้งานแล้วไม่มีความจำเป็นที่ต้องเพิ่มจำนวน Key อีก

วงจร Keyboard จะใช้ IC 74LS148 ทำหน้าที่เป็น 8 to 3 Piority Encoder ซึ่งเป็นส่วนที่สำคัญในการเข้ารหัส Keyboard และ 74LS148มี Truth Table ดังนี้

ขา EI ถูกต่อลง Ground เพื่อให้ chip active จะทำให้ขา EO เป็น"0" และ GS เป็น "1" ด้วย ที่สภาวะเริ่มต้น U12 74LS74 จะถูก Set ให้ Q' เป็น"0"และ Q เป็น"1" สัญญาณ"0"จาก U9 U10 สามารถผ่าน U11:A,U7:D,U11:B,U7:F ไปเข้าที่ขา Latch ของ U8 74LS373 ได้ ทำให้ U8

ไม่อยู่ในสถานะ Latch สัญญาณจาก Input ได้ นอกจากนี้ Output ของ U8 ก็ยังคงมี สถานะเป็น High Impedance เนื่องจาก Output ของ U11:C เป็น"1" (ไม่มีคำสั่งอ่านค่าจาก Keyboard ทำให้สัญญาณ KBD EN เป็น "1") เมื่อมีการกด Key ขา Output A-C จะเปลี่ยนแปลงตาม Input ที่กด ส่วนขา EO จะเปลี่ยนสถานะเป็น"1"จะผ่าน U11:A,U7:D,U11:B,U7:F ไปเข้าที่ขา Latch ของ U8

	INPUT								OUTPUT				
EI	0	1	2	3	4	5	6	7	C	B	A	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	X	L	H	H	L	H	L	L	H
L	X	X	X	X	L	H	H	H	L	H	H	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

ทำให้ U8 Latch ค่าที่ได้จากการเข้ารหัสไว้ สัญญาณ Latch นี้ จะถูกป้อนเข้าขา CLK ของ U1:A ทำให้ Q' เปลี่ยนสถานะจาก"0"ไปเป็น"1" Output ของ U11:B จะเป็น"1" ตลอดเวลา มีผลทำให้สัญญาณ Latch เปลี่ยนกลับเป็น"0" ในช่วงจังหวะนี้ ถ้ามีการกด Key อีก วงจรจะไม่รับค่า Key ใหม่ที่กด เนื่องจากสัญญาณ EO ไม่สามารถผ่าน U11:B มาได้ ส่วนขา Q ของ U12:A จะเปลี่ยนสถานะจาก"1" เป็น"0" ส่งเป็นสัญญาณ Interrupt ไปให้ CPU (ผู้วิจัยได้ตั้งให้ CPU รับ INT1 ที่ขอบขาลง) เมื่อ CPU ได้รับสัญญาณ Interrupt ก็จะสั่งให้อ่านค่าของ Keyboard ทำให้ RD และ KBD EN active (เป็น"0"ทั้งคู่) Output ของ U11:C จะเป็น"0" U8 ก็จะส่งค่าของ Key ที่กดออกไป (OE active) สัญญาณจาก U11:C อีกส่วนหนึ่ง จะไป Set U12:A ให้ Q' เป็น"0" และ Q เป็น "1" ทำให้วงจรเข้าสู่สภาวะเริ่มต้นอีกครั้ง

สำหรับที่ตัวสวิทช์ Keyboard นั้น เราได้ต่อ RC ตามวงจรที่แสดงไว้ ทั้งนี้ เพื่อลดการ bouncing ของที่ตัวสวิทช์ Keyboard และค่า RC ที่ใช้จะทำให้เกิดการหน่วงเวลาประมาณ 100 mS

อย่างไรก็ตาม ผลของการ bouncing ก็ยังมีอยู่ เนื่องจากสวิทช์ที่งานวิจัยนี้นำมาใช้ เป็นสวิทช์ที่เก่า มีการใช้งานมานาน จากการทดสอบพบว่า ความต้านทานที่หน้าสัมผัสมีค่าประมาณ 1kΩ นอกจากนี้ spring ของสวิทช์ที่ใช้ก็แข็ง ทำให้เมื่อกดสวิทช์จะทำให้เกิด boncing อย่างรุนแรง จากการทดสอบยังพบอีกว่า การเกิด bouncing ขณะปล่อยสวิทช์จะรุนแรงกว่าขณะกดสวิทช์มาก

จากการจัดวงจรดังรูป จะทำให้ได้ค่าของ Keyboard ดังรูปที่ 7.6

FF	FD	FB	F9
F7	F5	F3	F1
7F	6F	5F	4F
3F	2F	1F	0F

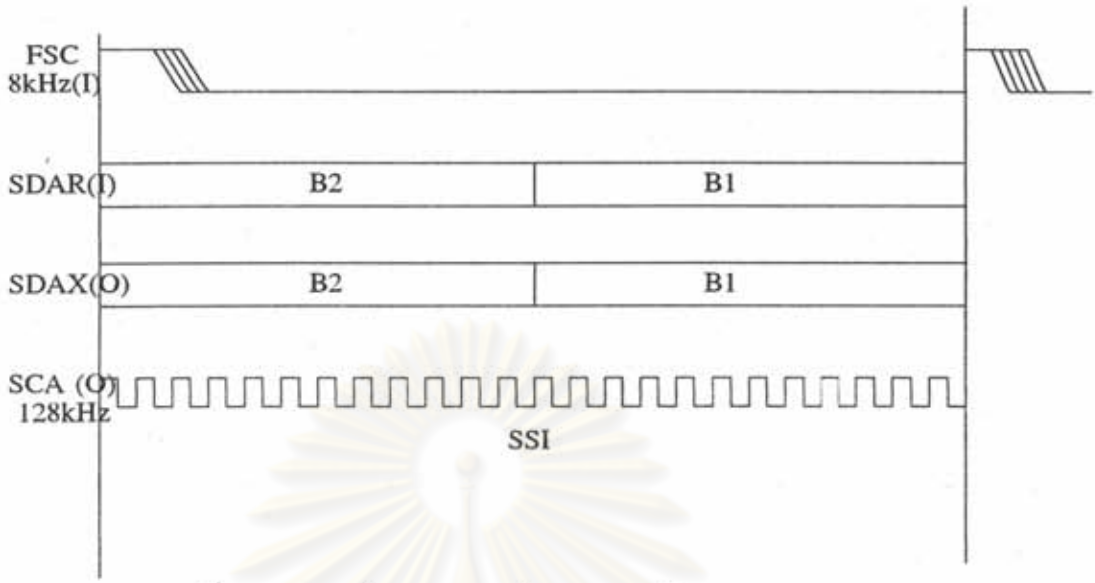
รูปที่ 7.6 Keyboard Scan Code

7.4. CODEC MC14403 (PCM coder&decoder)

ไอซี MC 14403 ตัวนี้ใช้เฉพาะในตัว TE เท่านั้น โดยทำหน้าที่ในการเปลี่ยนสัญญาณเสียงเป็นสัญญาณดิจิตอล ตามมาตรฐาน PCM แบบ u-law และเปลี่ยนสัญญาณ PCM กลับมาเป็นสัญญาณเสียง โดยสามารถทำงานได้ 2 ทิศทางพร้อมกัน (full duplex)

สัญญาณ PCM นี้ จะเป็นแหล่งข้อมูล ใน layer 2 ของ ISAC-S PEB 2085 เพื่อถ่ายเทข้อมูลเข้าสู่ช่องสัญญาณ B โดยมี clock จาก ISAC-S มาควบคุม การถ่ายเทข้อมูล 2 สัญญาณ คือ FSC ซึ่งมีความถี่ 8 KHz ใช้กำหนดจุดเริ่มต้นของข้อมูล และสัญญาณ SCA 128 KHz ทำหน้าที่กำหนดจังหวะข้อมูลแต่ละบิต ขา FSC ต่ออยู่กับขา RDE และ TDE ของ Codec และ SCA ต่อที่ขา RDC และ TDC ส่วนสัญญาณ PCM จะผ่านเข้า และออกทางขา RDD และ TDD ตามลำดับ และผ่านไปยัง ISAC-S ทางพอร์ต SSI (ขา SDAX และ SDAR)

จากรูปแสดงสัญญาณ Clock และข้อมูลที่รับส่งภายใน layer 2 ระหว่าง PEB2085 และ Codec จะเห็นได้ว่า codec จะทำการ รับและส่งข้อมูลจำนวน 8 บิต หลังจากการกระตุ้นด้วยขอบขาขึ้นของ FSC โดยอัตราการรับและส่งข้อมูลเท่ากับ 128 kHz ตามจังหวะของ SCA ที่ตรงกับช่องสัญญาณ B2 ดังรูป ซึ่งcodec จะรับส่งข้อมูลกับช่องสัญญาณ B2 ถ้าหากเราต้องการให้ codec ใช้ช่องสัญญาณ B1 แทนก็จะต้องเปลี่ยนขอบขาขึ้นของ FSC (FSC มี duty cycle 50%) ในงานวิจัยนี้เราสามารถ เลือกช่องสัญญาณ B1 หรือ B2 ผ่านทาง Software ซึ่งสามารถโปรแกรม phase ของสัญญาณ FSC ได้



รูปที่ 7.7 แสดงข้อมูลของพอร์ต SSI และสัญญาณ Clock ควบคุม

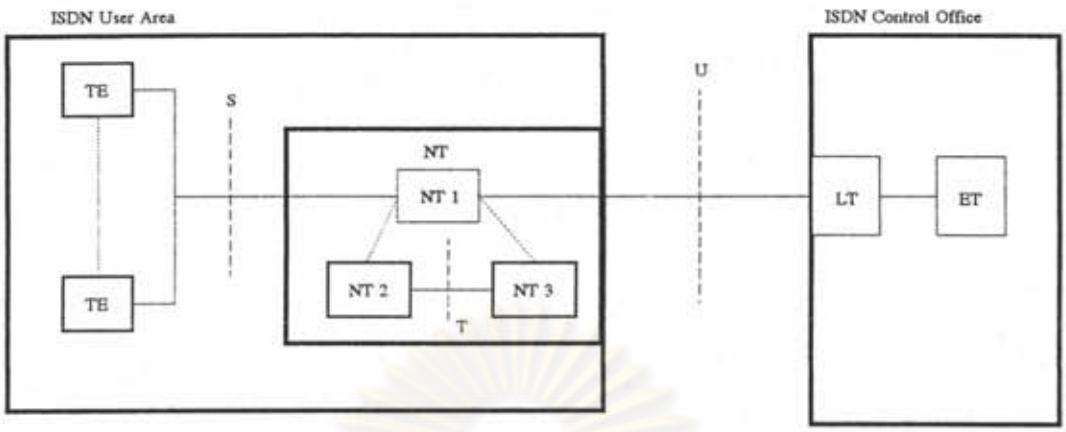
7.5 IC สำหรับ ISDN

ในงานวิจัยนี้เลือกใช้ IC ของบริษัท SIEMENS เบอร์ ISAC-S PEB 2085 ให้ทำงานใน layer 1 และ 2 ซึ่ง PEB-2085 นี้ได้รวมการทำงานของ S-bus interface Circuit (SBC :PEB 2080) และISDN Communications Controller (ICC PEB 2070) ไว้ภายในตัวเดียวกันและได้ถูกออกแบบมาให้มีลักษณะตาม model มาตรฐานของ ISDN Basic access ตาม CCITT ซึ่งมีคุณสมบัติดังนี้ คือ

- สามารถใช้เป็นชุมสาย และ trunkline terminantion ใน Central office ได้ (ET,LT)
- สามารถเป็น Remote Network ใน User Area ได้ (NT)
- Two-Wire Loop (U interface) ระหว่าง NT และ LT
- Four-Wire Link (S interface) ระหว่าง Subscriber Terminal และ NT ใน User Area

ดังแสดงในรูปที่ 7.8

จากรูป NT จะทำหน้าที่แปลงสัญญาณระหว่าง U interface ที่ชุมสาย (Exchange) และ S interface ที่ผู้ใช้ NT อาจจะมีเพียง NT1 เท่านั้นหรือมี NT1 ทำงานร่วมกันกับ NT2 ซึ่งเชื่อมต่อผ่าน T interface โดยปกติถ้ามี NT1 เพียงตัวเดียวตำแหน่ง T interface และ S interface ก็จะเป็นตำแหน่งเดียวกันและ NT1 จะทำหน้าที่แปลงสัญญาณจาก Layer 1 ที่ S interface ไปเป็น Layer 1 ที่ U interface โดยตรง ส่วน NT2 อาจจะทำงานในหน้าที่อื่น เช่น multi-plexing และ switching เหมือนกับ PABX



รูปที่ 7.8 S Interface ระหว่าง TE และ NT

ISAC-S ถูกออกแบบมาให้ใช้งานกับ ISDN Basic Access ในส่วนของ User Area โดยเฉพาะ ทำเป็น Subscriber Terminal Equipment และ Exchange Terminal Equipment ที่จุดอ้างอิง S interface โดยชิพตัวนี้ มีคุณสมบัติ คือ

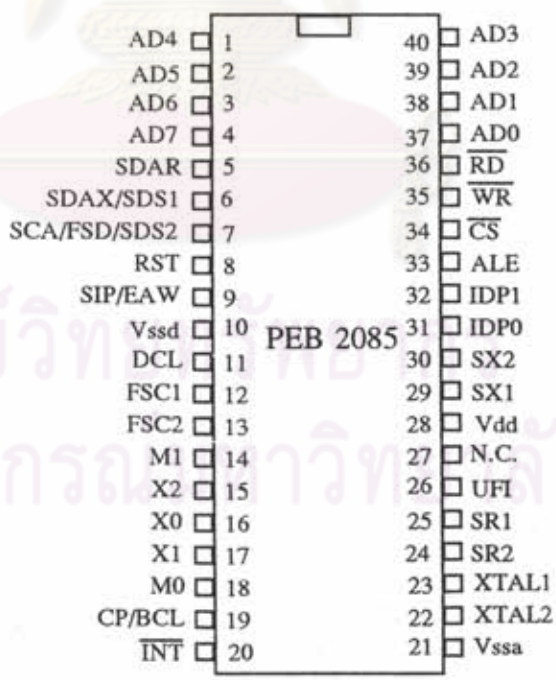
- Full Duplex 2B+D S/T Interface transceiver ตามมาตรฐาน CCITT I.430
- การ Convert Frame structure ระหว่าง S/T interface และ IOM
- สามารถรับ Timing Recovery ตาม operating Mode ที่ได้เลือกไว้
- ควบคุมการใช้งาน D-channel
- การ Activate และการ Deactivate และ Automatic Wake-Up จาก Power-Down Sstate
- สามารถเข้าถึง S และ Q bit ของ S/T interface ได้
- ปรับระดับ threshold ของสัญญาณที่รับได้
- การจัด FRAME ที่สามารถลดการเปลี่ยนแปลงของเฟสในการใช้งานด้าน NT2 ได้
- สนับสนุน LAPD Protocol
- FIFO Buffer (2x64 byte) ช่วยให้การเคลื่อนย้าย Packet ของ D-channel ได้อย่างมีประสิทธิภาพ
- Interface กับ 8-bit microprocessor ทั้งแบบ multiplex และ non-multiplex bus
- Serial interfaces : IOM-1, SLD, SSI
  IOM-2
- มี IOM-1/IOM-2 MONITOR และ C/I channel protocol สำหรับควบคุมอุปกรณ์รอบข้าง (Peripheral-Devices)

- Microprocessor สามารถเข้าถึง B-channel และ intercommunication channel ได้
- B-channel switching
- Watchdog timer
- Test loops
- Advances CMOS technology
- กินพลังงานต่ำ : stanby 8 mW

  active 80 mW

ส่วนของขาต่าง ๆ และ การทำงานของแต่ละขา แสดงดังรูปที่ 7.9 และตารางที่ 7.1

ในงานวิจัยนี้ ได้ออกแบบวงจรของ TE และ LT-S โดยใช้ ISAC-S ซึ่งมีการต่อวงจรดังรูปที่ 7.12 และ 7.13 ตามลำดับ โดยโปรแกรมให้ TE และ LT-S ทำงานในโหมด IOM-1 และใน TE ได้ใช้งาน SSI interface timing mode 0 ซึ่งทำงานประสานกับ Clock ที่สร้างขึ้นจาก S-bus ส่วนใน LT-S ได้ใช้งาน SLD interface timing mode 1 และจะรับ Main clock จากภายนอก เพื่อกำหนดจังหวะการทำงานของระบบทั้งหมด (ทั้ง TE และ LT-S)



รูปที่ 7.9 Pin Configuration ของ PEB 2085

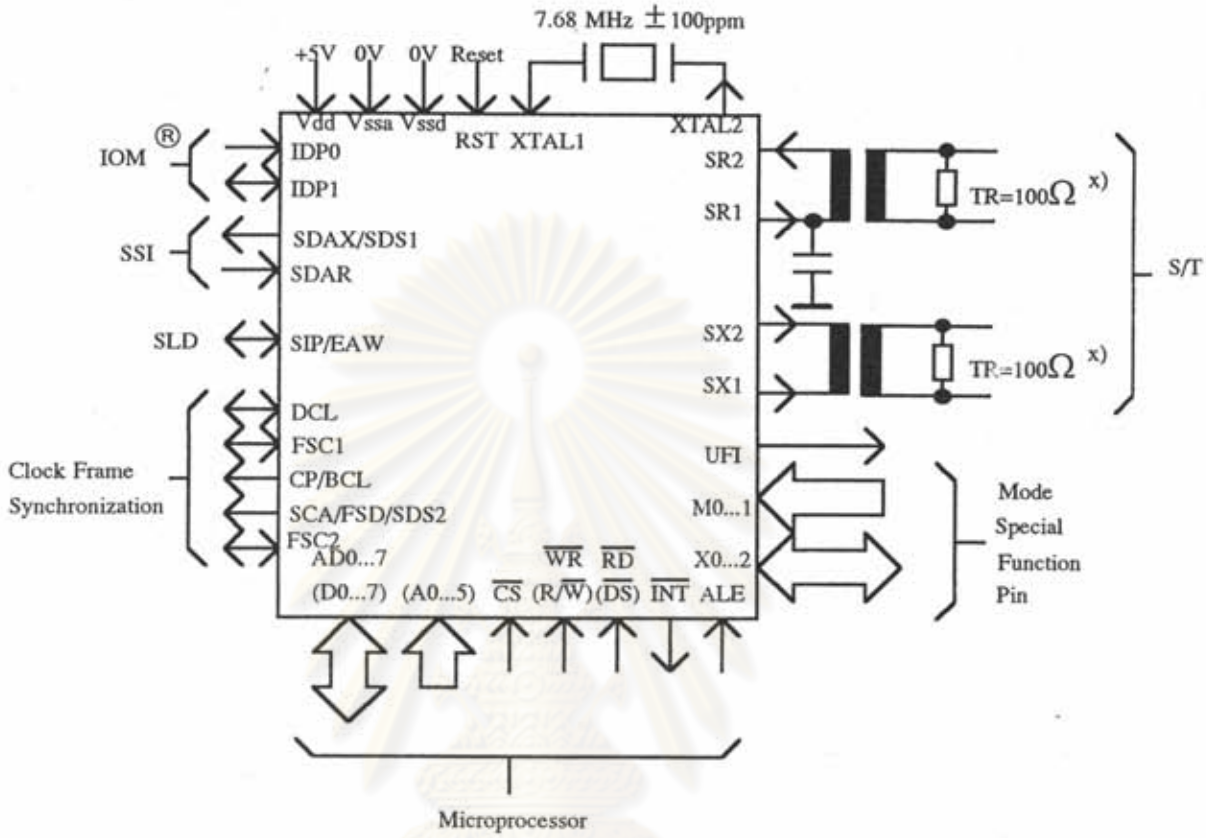
ตารางที่ 7.1 Pin Definitions and Functions

PIN No.	Symbol	Input(I) Output(O) Open Drain (OD)	Function
37	AD0	I/O	Adress/Data bus ระหว่าง uP กับ ISAC-S
38	AD1	I/O	
39	AD2	I/O	
40	AD3	I/O	
1	AD4	I/O	
2	AD5	I/O	
3	AD6	I/O	
4	AD7	I/O	
34	CS	I	Chip Select: Logic ต่ำ จะทำให้ ISAC-S ทำการอ่านหรือเขียน
35	WR	I	Write : ทำการเขียนข้อมูล (Intel bus mode)
36	RD	I	Read : ทำการอ่านข้อมูล (Intel bus mode)
20	INT	OD	Interrupt Request : จะ active เมื่อ ISAC-S ต้อง การขอ interrupt
33	ALE	I	Adress Latch Enable : Logie สูง จะบอกว่าสัญญาณที่มาที่ AD0-AD7 เป็น Adress
	SCA	O	Serial Clock Port A, IOM-1 timing mode 0 จะมี data clock 128 kHz ออกมา สำหรับ Serial Port A (SSI)
7	FSD	O	Frame Sync Delayed, IOM-1 timing mode 1 จะมีสัญญาณ Synchronized 8 kHz ซึ่งถูกหน่วงเวลาไป 1/8 ของเฟรม
	SDS2	O	Serial Data Strobe 2 : IOM-2

8	RST	I/O	Reset : Logic สูง จะทำให้ ISAC-S ไปอยู่ที่ Reset State ความกว้างของ pulse ต่ำสุดคือ 4 คาบ ของ DCL clock หรือ 4 mS ถ้า terminal specific function ถูก enable ISAC-S จะให้สัญญาณ Reset ออกมา
12	FSC1	I/O	Frame Sync 1 : LT-S/NT/LT-T: input synchronized signal, ทั้ง IOM-1 และ IOM-2 TE : Programable Strobe Output สำหรับเลือก channel B1 หรือ B2 บน SSI interface, IOM-1 mode
13	FSC2	I/O	Frame Sync 2 : LT-S/NT/LT-T: input synchronized signal, ทั้ง IOM-1 และ IOM-2 TE : Programable Strobe Output สำหรับเลือก channel B1 หรือ B2 บน SSI interface, IOM-1 mode
11	DCL	I/O	Data Clock : clock ที่มีความถี่เป็น 2 เท่าของ data rate ของ IOM interface LT-S/LT-T : clock input 512 kHz TE : clock output 512 kHz NT : clock input 512 kHz
5	SDAR	I	Serial Data Port A Receive. ข้อมูลแบบอนุกรมจะส่งเข้าที่ขานี้ที่ระดับแรงดันมาตรฐาน TTL หรือ CMOS
9	SIP	I/O	SLD Interface Port : IOM-1 ขานี้จะรับ-ส่งข้อมูลอนุกรมที่ระดับแรงดันมาตรฐาน TTL หรือ CMOS

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

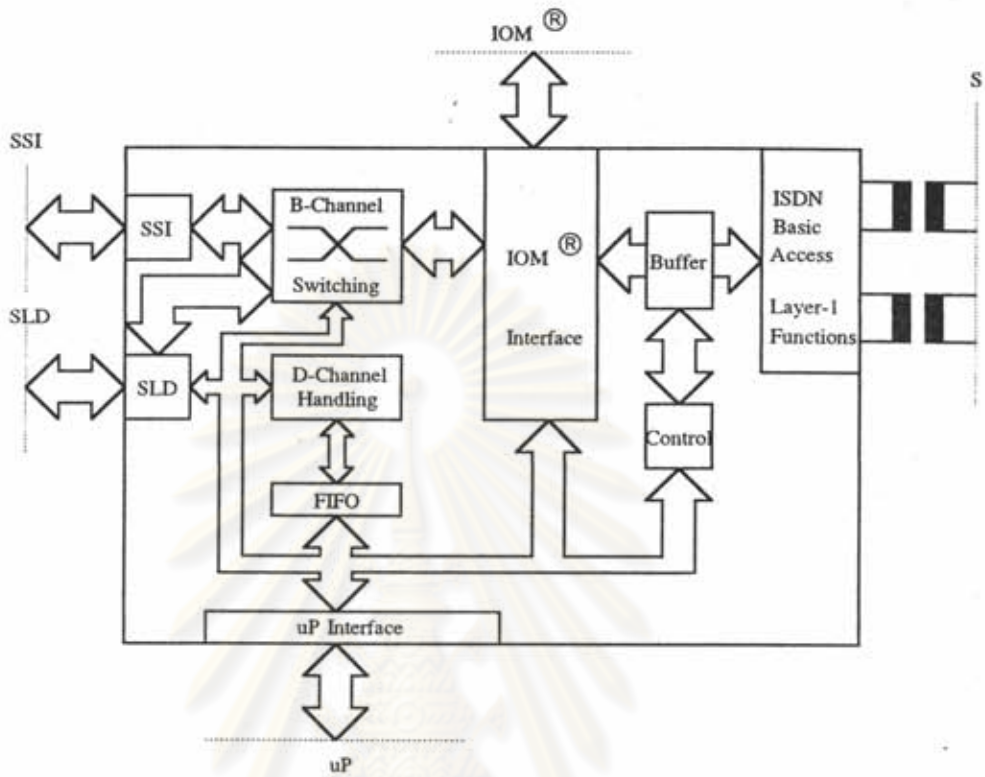
6	SDAX	O	Serial Data Port A transmit : ข้อมูลแบบอนุกรมจะถูกส่งออกที่ขานี้ที่ระดับแรงดันมาตรฐาน TTL หรือ CMOS
14 18	M1 M0	I I	ตั้ง mode การทำงาน (ดูหัวข้อ 7.2)
15 17 16	X2 X1 X0	I/O I/O I	Function pin ให้ค่าตาม mode ที่เลือก (ดูหัวข้อ 7.2)
19	CP	I/O	Clock Pulse
10	Vssd	-	Digital Ground
21	Vssa	-	Analog Ground
28	Vdd	-	Power Supply (5V± 5%)
23 22	XTAL1 XTAL2	I O	ต่อกับ Crystal หรือ clock ภายนอก ต่อกับ Crystal หรือ ปล่อยลอยถ้าใช้ clock ภายนอก
24 25	SR2 SR1	I O	S Bus Receiver Input S Bus Receiver Output (แรงดันอ้าง อิง 2.5 V)
26	UFI	O	ต่อกับ Filter ภายนอก สำหรับ S-bus receiver (ถ้าใช้)
29 30	SX1 SX2	O O	S Bus Transmitter Output (positive) S Bus Transmitter Output (negative)
31 32	IDP0 IDP1	I/O I/O	IOM Data Port 0 IOM Data Port 1 IOM-1: IDP1: Open drain with internal pull-up resister IDP0: Push-pull



x) Terminating resistors only at the far ends of the connection.

รูปที่ 7.10 Logic Symbol

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย



รูปที่ 7.11 Functional Block Diagram

7.5.1 IOM-1 Interface Mode (ADF2:IMS=0)

ใน mode นี้ Layer 1 และ Layer 2 จะเชื่อมต่อกันภายในตัว ISAC-S เองการติดต่อกับ B channel จะผ่านทาง Serial SSI interface และ SLD interface ส่วน IOM interface Ports (IDP0 ,IDP1) สามารถใช้งานเป็น TIC-bus เพื่อที่ทำให้อุปกรณ์สื่อสาร ที่ทำงานใน Layer 2 หลาย ๆ ตัว สามารถใช้งาน D channel และ Command/Indicate Channel เดียวกัน ในการติดต่อกับอุปกรณ์ที่ทำงานใน Layer 1 หนึ่งตัว

Timing Mode (SPCR:SPM) จะบอกถึง โหมดของการทำงานของ SLD Interface และความสัมพันธ์ ของเฟสของสัญญาณระหว่าง SLD และ IOM interface โหมดของการทำงานของ ISAC-S และ Function ได้แสดงไว้ในตารางที่ 7.2

Function สามารถใช้ป้องกันการ Activated ของ TE/LT-T ภายใต้สภาวะฉุกเฉินขา X0 จะต่อกับสัญญาณที่ Logic"0" เช่น ขา $\overline{\text{EME}}$ ของอุปกรณ์ควบคุมระบบไฟเลี้ยง (Power Supply)

ตารางที่ 7.2 Operating Modes and Functions of Mode Specific Pins of the ISAC-S in the IOM-1 Mode

Pin No	14	18	11	12	13	19	15	17	16
Application	M0	M1	DCL	FSC1	FSC2	CP	X2	X1	X0
TE	0	0	o:512KHz	o:512KHz	o:512KHz	o:1536KHz	o:ECHO	o:3840KHz	i:CON
LT-T	0	1	i:512KHz	i:512KHz	i:512KHz	o:152KHz	i:o	i:o	i:CON
LT-S	1	0	i:512KHz	i:512KHz	i:512KHz	i:o	i:o	o:7680KHz	i:o
NT	1	1	i:512KHz	i:512KHz	i:512KHz	i:SCZ	i:SSZ	i:o	-

*) synchronized to the S/T interface i:input o:output i:o : input to be fixed at "0"

ECHO มีการสร้าง E bit ใหม่ ซึ่งรับมาจาก D bit ของ IOM frame จาก S/T line (bit 24, bit 25 ของ IOM frame) ตำแหน่ง bit ที่เหลือจะเป็น"1"

$\overline{\text{SCZ}}$ Send continuous binary zeros (96 kHz)

$\overline{\text{SSZ}}$ Send single binary zeros (2 kHz)

CON Connected to the S bus.

CON=0 : Disconnected from S bus. จะไม่สามารถ activated โดย TE/LT-T ผ่าน S/T line ได้ INFO1 จะไม่ถูกส่งออก แต่การ activated โดย network ยังคงทำได้ (สามารถรับ INFO2 และ INFO4 ได้)

CON=1 : Connected to the S bus. เป็นการทำงานในภาวะปกติ มีการส่ง info1 (ขึ้นอยู่กับคำสั่งของ ARU)

การ Interface แบบนี้ข้อมูลจะไหลในทิศทางเดียว (IOM Data Port 1 และ 2:IDP 0,1) มีการใช้สัญญาณ 3 สัญญาณ คือ Data clock (DCL) และ frame synchronization (FSC1/2) Data clock จะมีความถี่ 512 kHz (2 เท่าของอัตราเร็วของข้อมูล)และ frame sync clock จะมีความถี่ 8 kHz

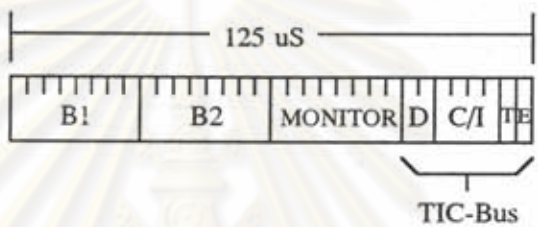
ข้อมูลจะถูกส่งออกมา 4 octetsใน 125 uS frame ข้อมูล 2 octets แรกจะเป็นส่วนของ B channel (64 bps.) 2 channel ส่วนใน octet ที่ 3 จะเป็น MONITOR Channel ใช้สำหรับ

- การ access เข้าสู่ IOM-TIC bus บน IDP1 ในกรณีที่มีอุปกรณ์ใน Layer 2 ต่ออยู่หลายตัว

- ใช้บอกถึง สถานะของ S Bus , D Channel (IDP0, Bit 3 ของ Monitor Octet) "Stop/Go"

- สำหรับ exchange ใช้ E bit ในการตรวจสอบความถูกต้องของข้อมูล

ข้อมูล 2 bit แรกใน octet ที่ 4 ใช้สำหรับ D Channel (16 kbps) อีก 4 bit ต่อมาใช้ในการควบคุมและ Monitor ของ Layer 1 (Activation/Deactivation ของ S interface) จะกระทำผ่าน Command/Indication bit ส่วน T bit ไม่ใช้ใน IOM-1



รูปที่ 7.12 IOM-1 Frame Structure

7.5.1.1 IOM-1 Timing

ใน TE mode IOM-1 timing จะถูกสร้างจากวงจร DPLL โดยนำสัญญาณ Sync จาก S Bus แล้วให้สัญญาณ DCL และ FSC1/2 ออกมา

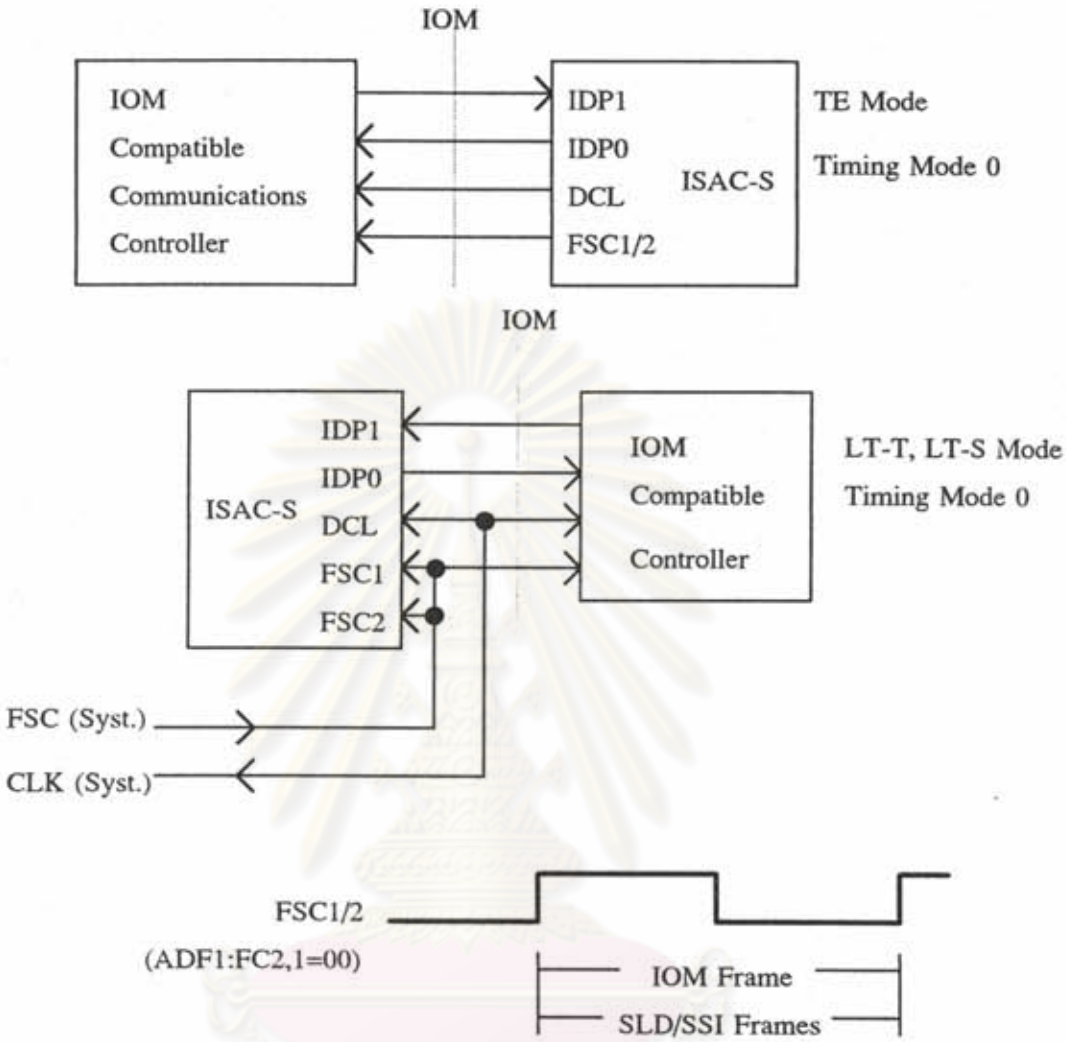
ใน LT-S , NT และ LT-T mode จะรับสัญญาณ Clock และ Frame Synchronization จากภายนอก

ส่วนใน IOM Interface เราสามารถโปรแกรมการทำงานให้อยู่ใน Timing mode 0 หรือ Timing mode 1 เลือกได้จาก SPM bit ใน SPCR Register

Timing mode 0

Timing mode 0 ซึ่งแสดงในรูปที่ 7.13 SLD จะทำงานเป็น Master และ SSI (Serial Port A) สามารถทำงานได้ ขา SCA/FSD จะส่ง Clock 128 kHz (SCA) ออกมา IOM, SLD และ SSI interface frame จะมีจุดเริ่มต้นที่จุดเดียวกันและเวลาเดียวกันที่ขอบขาขึ้นของ FSC1/2 (ADF1 :FC1/2=0)

ใน TE mode เราต้องโปรแกรมให้ทำงานใน Timing mode 0 ขั้วของสัญญาณ 8 kHz จาก FSC1 และ FSC2 สามารถเลือกได้ โดยไม่ขึ้นแก่กันที่ ADF1:FC 2, 1



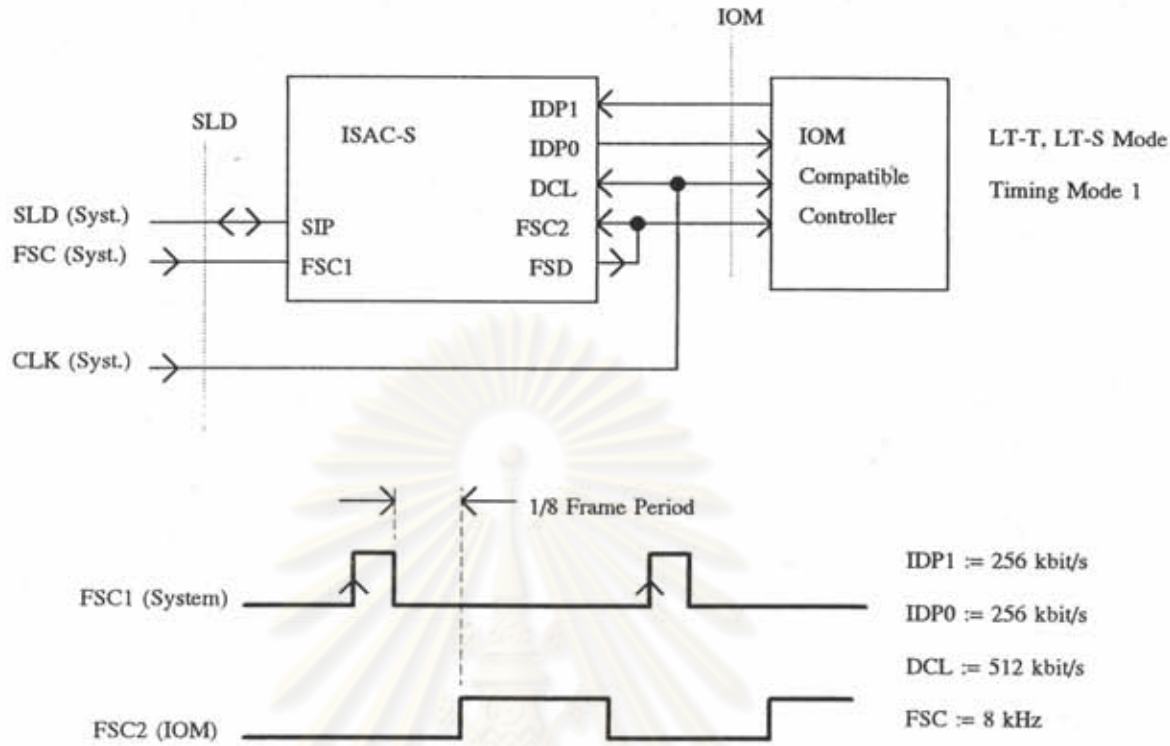
รูปที่ 7.13 IOM-1 Interface Signals/Timeing Mode 0

ใน LT-T mode และ LT-S mode Timing mode 0 จะถูกโปรแกรม ถ้าต้องการใช้งาน SLD Master Mode หรือ SSI Interface ในกรณีนี้ FSC1 และ FSC2 (Input) จะต้องต่อกับ 8 kHz Frame Sync เดียวกัน

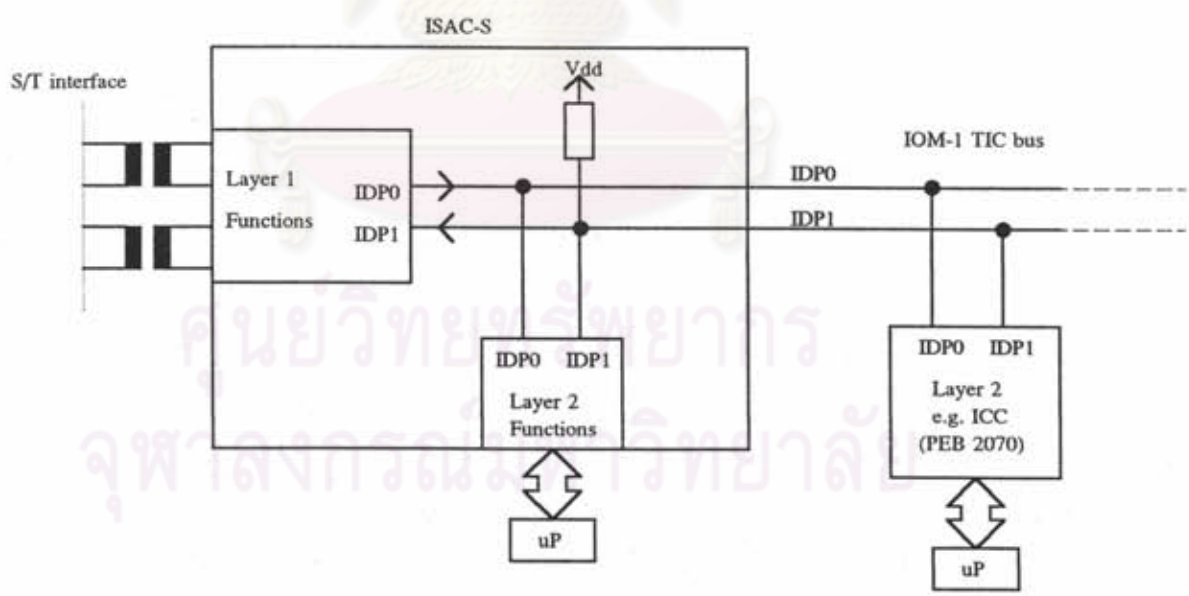
Timing mode 1

Timing mode 1 (SPM=1) ดังแสดงในรูปที่ 7.14 ซึ่งจะใช้งานเฉพาะ ในกรณีที่ใช้งานเป็น Exchange (LT-S, LT-T) และ SLD ถูกใช้งานใน Timing mode 1 SLD จะทำงานใน Slave mode และ SSI (Serial Port A) ไม่ถูกใช้งาน

IOM จะ synchronized โดย FSD Frame signal ซึ่งหน่วงเวลาไปจากสัญญาณ Frame Sync pulse ซึ่งเป็น input จาก FSC1 และ สามารถลด round-trip delay time ของ B channel ใน



รูปที่ 7.14 IOM-1 Interface Signals/Timeing Mode 1



Optional: Up to 7 Layer-2
Controllers can have access to
the IOM-1 TIC Bus (D and C/I channel)

รูปที่ 7.15 IOM Port 0,1 (IOM-1)

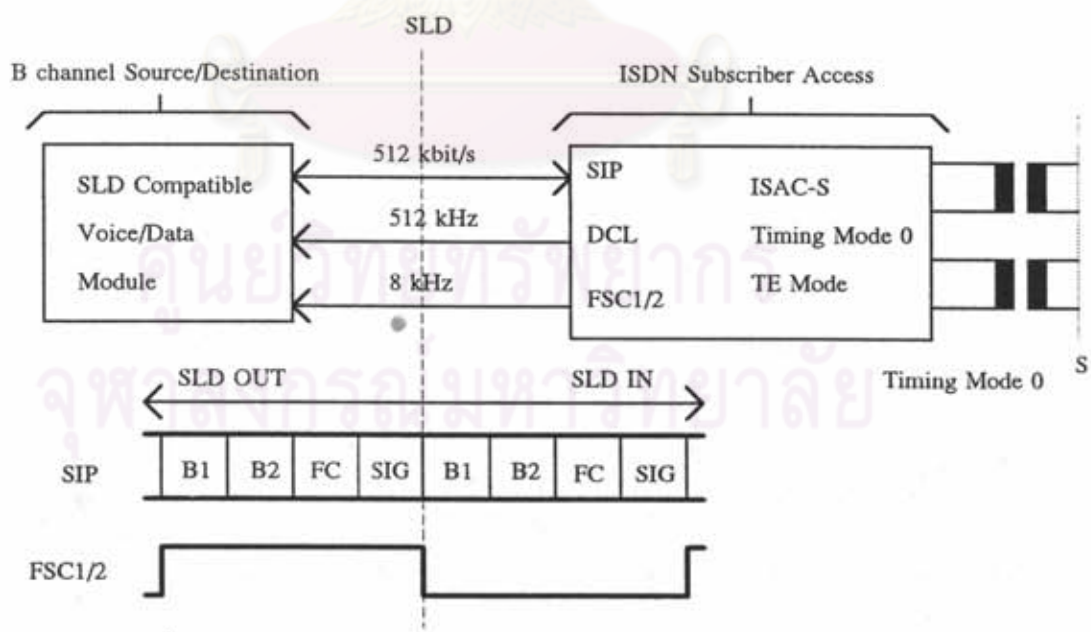
ขณะที่ใช้งาน SLD เพื่อให้การทำงานใน Timing Mode 1 เป็นไปด้วยความถูกต้อง Output FSD ต้องต่อเข้ากับ FSC2 Input

ภายใต้ IOM-1 Interface Mode ขา IDP0 ประกอบด้วยข้อมูลของ B Channel, Monitor D และ C/I channel จาก Layer 1 ไป Layer 2 ส่วน ขา IDP1 ประกอบด้วยข้อมูลของ B Channel ,Monitor Channel D และ C/I Channel จาก Layer 2 ไป Layer 1 โดยทีขา IDP1 เป็นแบบ Open Drain และมีวงจร Pull up อยู่ภายใน B Channel สามารถตั้งค่าให้ Inactive (FFH) ได้ด้วยการตั้งค่าที่ B Channel Connect Bits C1C1-0 และ C2C1-0 ใน SPCR Register ให้เป็น"0" (SLD Loop) ซึ่งเป็นสถานะเริ่มต้นหลังจาก Reset ทาง Hardware

Monitor Channel จะ Inactive ถ้าไม่มีการโปรแกรมให้ส่งผ่าน Monitor Channel และ TIC Bus (Octet ที่ 4 ของ IOM Frame) D และ C/I channel จะไม่สามารถใช้งานได้

7.5.1.2 SLD Interface

SLD ใช้ใน IOM-1 เท่านั้น (ADF1:IMS=0) SLD Interface มาตรฐาน ใช้สายสัญญาณ 3 เส้น ได้แก่ 512 kHz Clock (DCL), 8 kHz Frame Direction Signal (TE Mode: FSC1/2 Output LT-S/LT-T Modes: FSC1 Sync Input) และ Sirial Data (SIP) ซึ่งเป็นแบบ full duplex 256 kbps ภายใน Frame ประกอบด้วย 4 Octets Octets 1 และ2 เป็นของ B Channel Octet 3 เป็น Control Byte ส่วน Octet ที่ 4 เป็น Signalling Byte



รูปที่ 7.16 Connection of B-channel Suorce/Destination to the ISAC-S via SLD in timing mode 0

SLD Interface สามารถนำไปประยุกต์ใช้เป็น

- Terminal Equipment (TE) โดยเชื่อมต่อกับ B-Channel Suorce /Destination แบบ Full Duplex Time Multiplexed CODEC Filter เช่น SICOFI (PEB 2060) หรือ ARCOFI (PSB 2160) ซึ่งเป็น SLD Compatible Voice/Data Module สามารถเชื่อมต่อกับ ISAC-S ได้ ดังแสดงในรูป 7.16 ในการโปรแกรมให้ทำงานใน TE application timing mode 0 (SPCR:SPM=0) จะทำให้ SLD ทำงานใน Master Mode นอกจากนี้ Terminal Specific Function ไม่สามารถถูกเลือกได้ (STCR:TSF=0) Micro controller สามารถเข้าถึงข้อมูลใน B channel,control byte และ signalling Byteได้โดยทาง Register เหล่านี้

- C1R (35H), C2R (36H) → B1/B2
- SFCR และ SFCW (34H) → FC
- SSCR และ SSCX (33H) → SIG
- C1R (35H), C2R (36H) → B1/B2

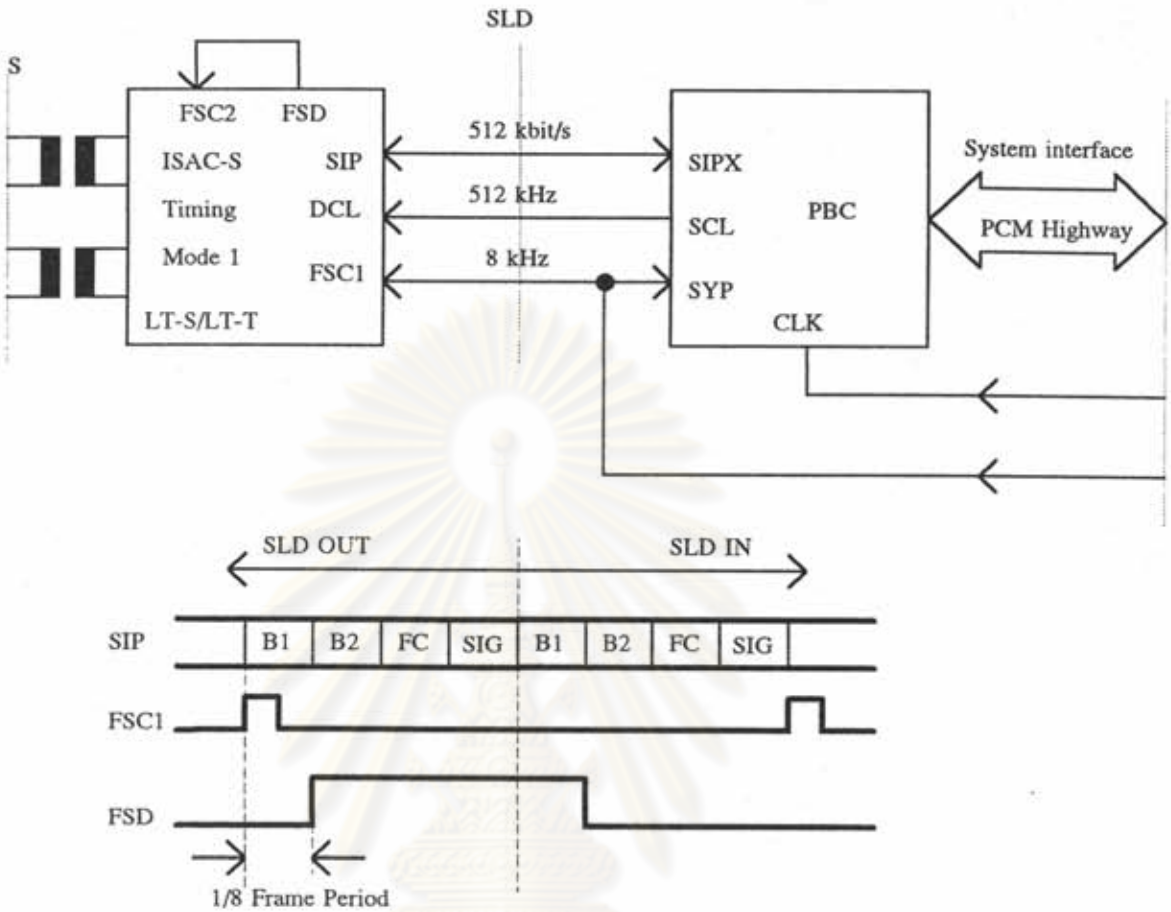
- Digital Exchange Application (LT-S/LT-T) โดยการติดต่อ แบบ Full duplex time multiplexed ในการส่งผ่าน B channel จาก S/T interface ไปยัง Peripheral Board Controller เช่น PBC PEB 2050 หรือ PIC PEB 2052) ซึ่งมีแบบของสัญญาณ เป็นแบบ PCM การทำงานแบบนี้จะทำงานใน Timing mode 1 (STCR:SPM=1) ดังนั้น SLD จะทำงานใน slave mode

Micro Controller สามารถจะเข้าถึงข้อมูลใน B Channel, Control Byte และ Signalling Byte ได้ โดยทาง Register เหล่านี้

การที่ Microprocessor (uP) จะเข้าถึง C1R ,C2R และ SFCR/SFCW ได้นั้น สัญญาณจะต้อง Synchronized กับสัญญาณอนุกรม ซึ่งหมายถึง สัญญาณ Synchronous Transfer Interrupt (STCR) และ BVS-Bit (STAR) ซึ่งจะกล่าวถึงต่อไป

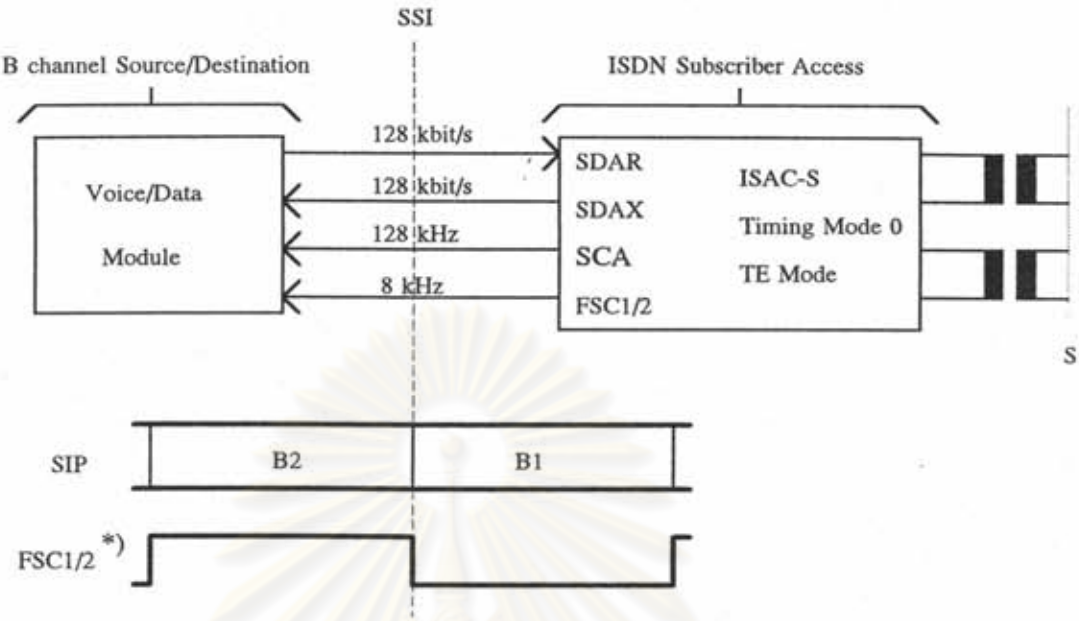
7.5.1.3 SSI (Serial Data Port A)

SSI (Serial Synchronous Interface) ใช้ใน IOM-1 เท่านั้น (ADF2:IMS=0) และจะต้องถูกโปรแกรมให้ทำงานใน Timing mode 0 ทำให้ Serial port SSI รับส่งข้อมูลระหว่าง B Channel Source /Destination กับ Terminal Equipment แบบ Full Duplex ด้วยอัตราเร็ว 128 Kbit/s ซึ่งเราสามารถเลือกได้ทั้ง Channel B1หรือB2 ให้ติดต่อกับ IOM-1 ซึ่งรวมไปถึง S/T interface ได้อย่างอิสระต่อกัน (SPCR:CxC1,CxC0) ส่วน SSI จะรับส่งข้อมูลในทิศทางเดียว ในสายสัญญาณแต่ละเส้น (SDAX, SDAR) 8 KHz Strobe Output (FSC1/2) และ 128 KHz Clock Output



รูปที่ 7.17 Connection of the ISAC-S as B-channel Source/Destination to a Peripheral Board Controller via SLD, in timing mode 1

SSI สามารถเชื่อมต่อกับ Voice/Data Module ที่ Synchronized กับการรับส่งข้อมูลแบบอนุกรมกันได้ เช่น UART , ICC PEB 2070, HSCX SAB 82525, ITAC PSB2110 และ CODEC Filter อีกหลายชนิดได้ เราสามารถเลือก Channel B1 หรือ B2 ให้กับ V/D (Voice/Data) Module ได้ โดยการเลือกขั้ว ของ Strobe Signal FSC1/2 ที่เข้าสู่ V/D Module ด้วยการโปรแกรมที่ ADF1 Register ส่วน Microcontroller สามารถที่จะเข้าถึง ข้อมูลใน B channel ได้ทาง BxCR และ CxR Register การเข้าถึงของ Microprocessor สัญญาณต้อง Synchronized กับ สัญญาณอนุกรม ซึ่งหมายถึงสัญญาณ Synchronous Transfer Interrupt (STCR) ซึ่งจะกล่าวถึงต่อไป



*) Default Polarity (ADF1 Register)

รูปที่ 7.18 Connection of the B-channel Source/Destination to the ISAC-S via SSI

7.5.1.4 B channel Switching

Micro Controller สามารถเข้าถึงข้อมูลใน B Channel ได้ โดยการอ่านและเขียนลงใน B1CR/ B2CR หรือ C1R/ C2R Register การเข้าถึงของ Microprocessor (uP) นั้น สัญญาณจะต้อง Synchronized กับสัญญาณอนุกรม ซึ่งหมายถึงสัญญาณ Synchronous Transfer Interrupt (STCR) การอ่าน/เขียนสามารถตั้งค่าได้ดังตารางที่ 7.3

ตารางที่ 7.3 uP Access to B channel (IOM-1)

		CxR		BxR	
CxC1	CxC0	Read	Write	Read	Application(s)
0	0	SLD	SLD	IOM	Bx not switched, SLD looping
0	1	SLD	-	IOM	Bx Switched to/from SLD
1	0	SSI	-	IOM	Bx switched to/from SSI
1	1	IOM	IOM	-	IOM looping

Note : x=1 for channel 1 or 2 for channel 2

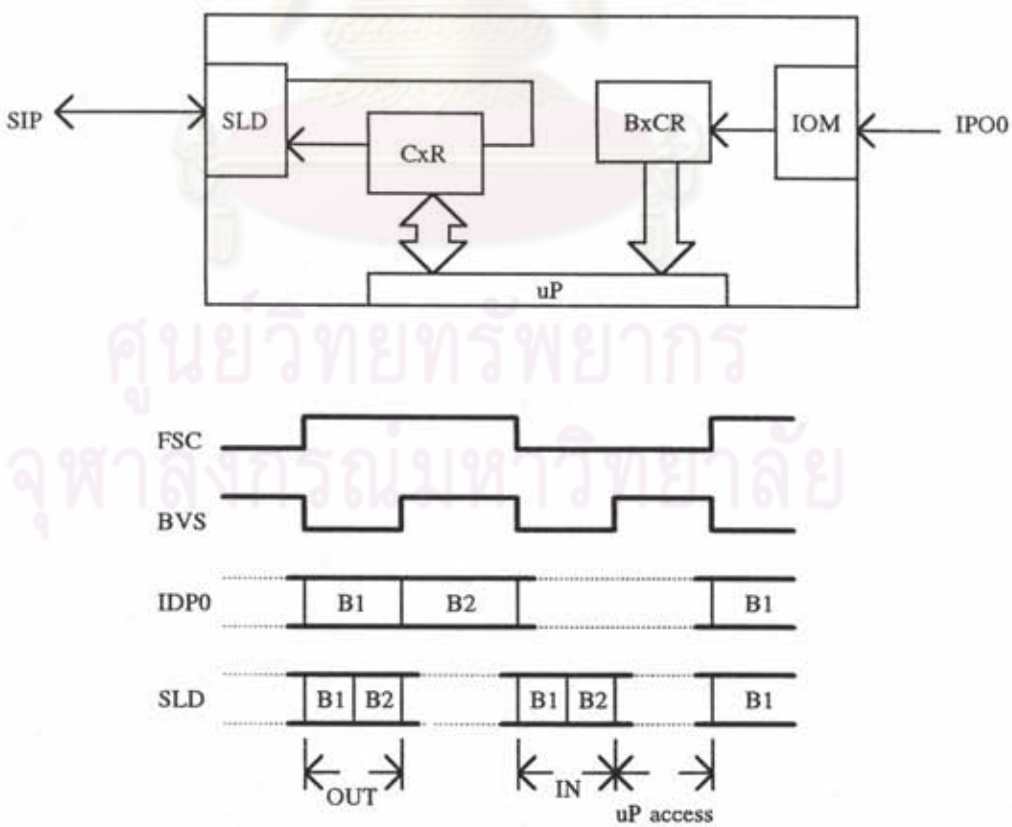
Synchronous Transfer Interrupt (SIN, ISTA register) เราสามารถโปรแกรมให้ทำงานที่จุดเริ่มต้นหรือจุดกึ่งกลางของ 125 uS Frame ก็ได้ จะขึ้นอยู่กับ Channel ที่ต้องการจะเข้าถึงและ Configuration ขณะนั้น ดังรูป สำหรับในงานวิจัยนี้ เราใช้โหมดการทำงาน SLD loop

7.5.1.5 Monitor Channel Handing

Monitor Channel ใน IOM-1 mode ใช้ในการควบคุม การรับส่งข้อมูล ระหว่าง ISDN Communication Controller ICC (PEB 2070) และ Layer 1 Device เช่น ISDN Burst Controller IBC (PEB 2095) หรือ ISDN Echo Cancellation circuit IEC (PEB 2090) ถ้าการเชื่อมต่อระหว่าง ICC และ S Bus interface Circuit SBC (PEB 2080) โดย SBC ไม่ได้ถูกโปรแกรมให้ใช้งานเป็น Monitor Channel ดังนั้นจึงไม่มีความจำเป็นต้องใช้ Monitor Channel ใน IOM-1 mode สำหรับ ISAC-S การใช้งาน Monitor Channel ทำให้เราใช้งาน ICC ได้อย่างเต็มที่และสามารถใช้ ในการเชื่อมต่อกับอุปกรณ์ใน Layer 1 ภายนอก แทนที่จะใช้ ICC ภายใน ISAC-S เพียงอย่างเดียว ในการส่งค่าระหว่าง MONITOR Channel จะต้องมีการตั้งค่าต่าง ๆ ใน MODE Register ก่อน เช่น MODE:DIM2 = 010 หรือ 011 ในการส่งข้อมูลแต่ละครั้ง จะทำได้เพียง 1 byte เท่านั้น ซึ่งมีขั้นตอนดังนี้

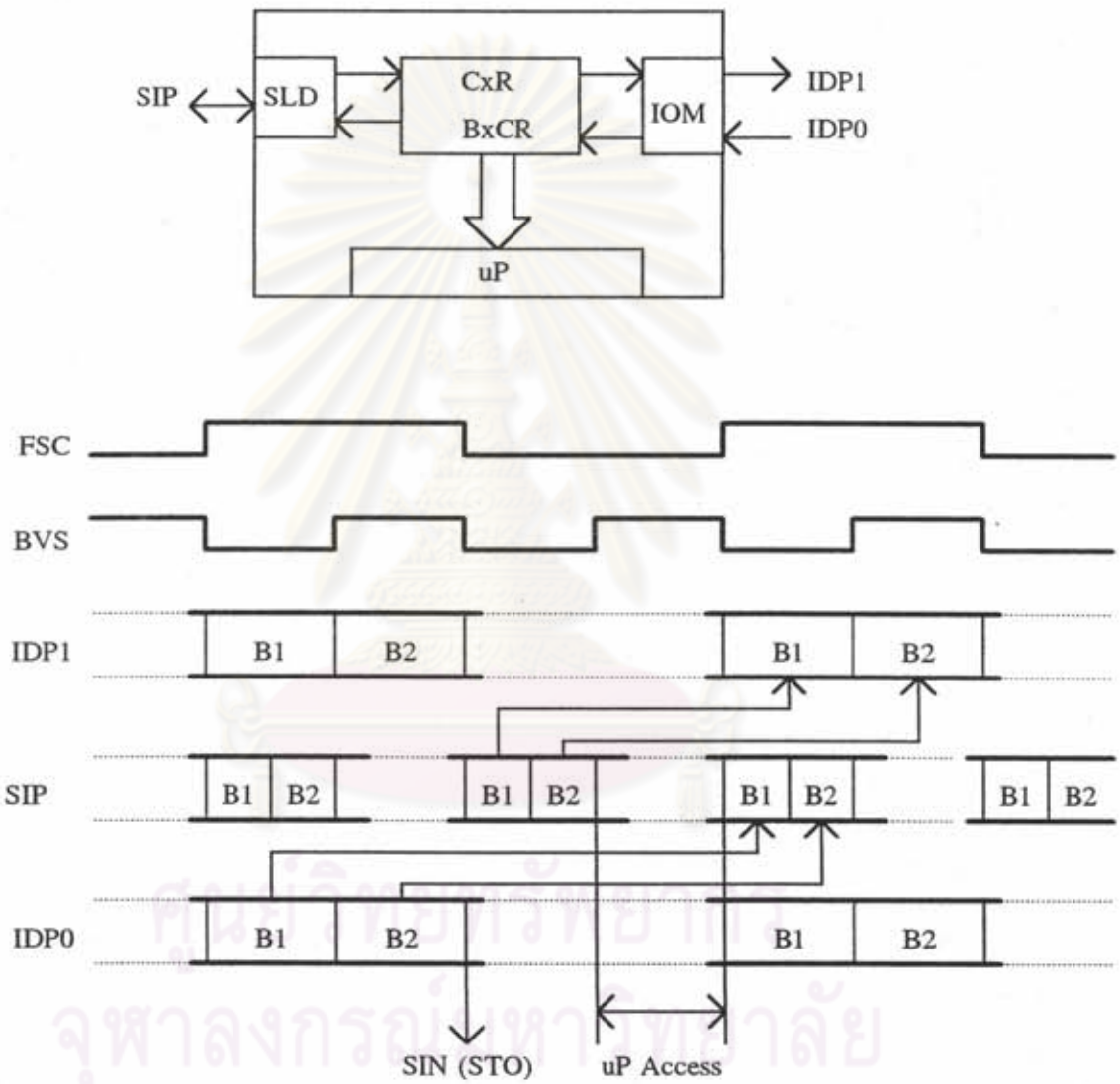
Bx channel Access

a) CxC1, CxC0 = 00, SLD Loop



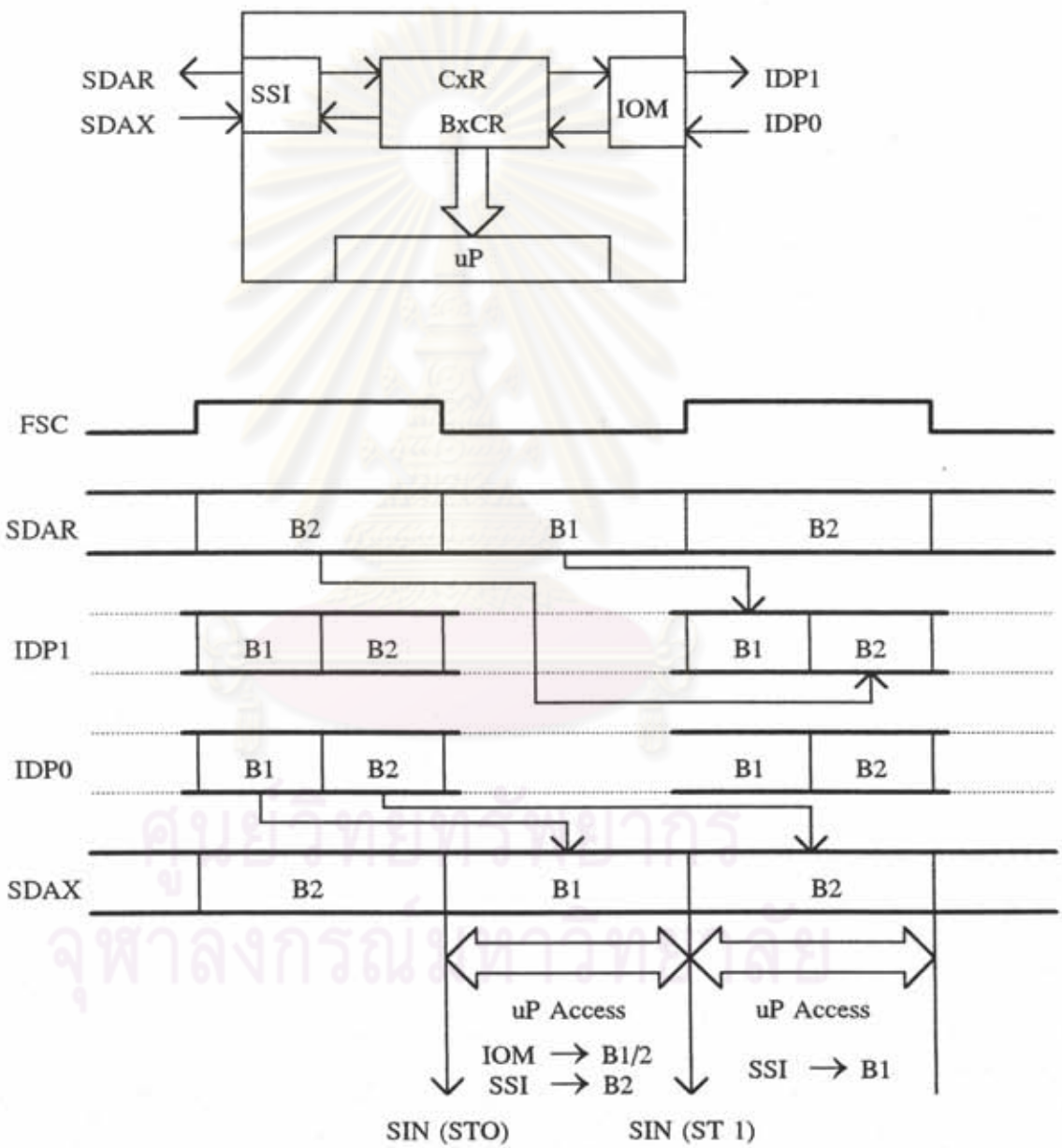
ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

b) CxC1, CxC0 = 01, SLD-IOM Connection

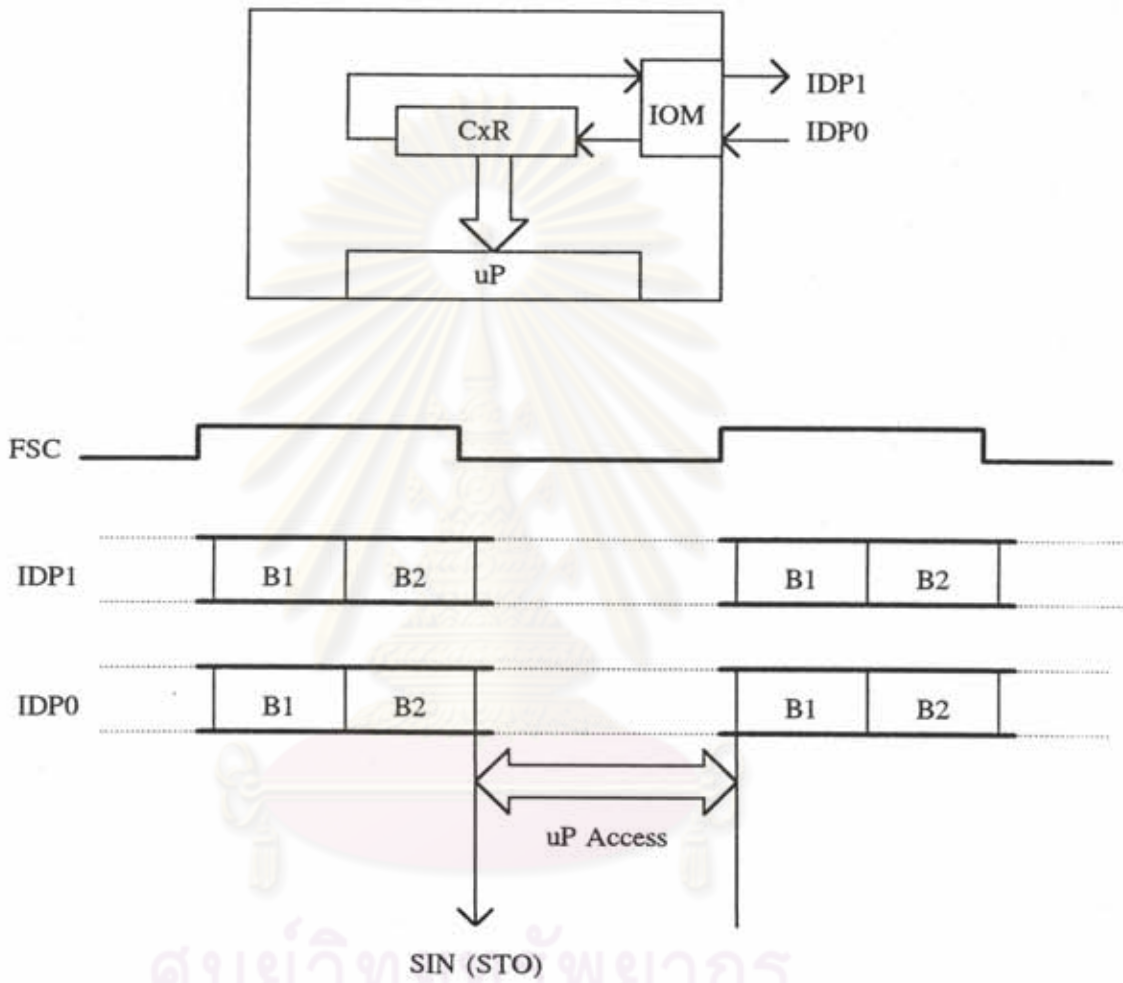


ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

c) CxC1, CxC0 = 10, SSI-IOM Connection



d) CxC1, CxC0 = 11, IOM Loop

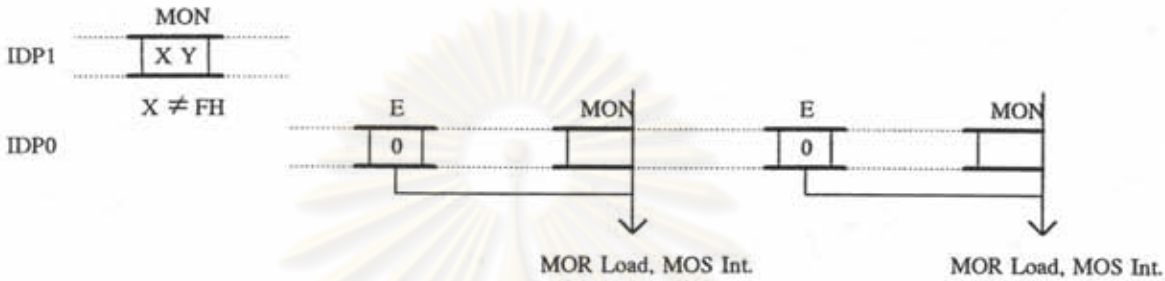


Monitor Transmit Channel (MOX) Register จะถูก Load ด้วยค่าที่ถูกส่งออกมาจาก Monitor Channel (ข้อมูลในรูป FXH จะไม่สามารถส่งออกได้ เนื่องจากการทำงานของ TIC Bus Collision Procedure)

อุปกรณ์ทางด้านรับจะตีความจากสัญญาณ Monitor ที่รับได้ (ไม่รวม Byte ในรูป FxH) ว่าเป็นคำสั่งหรือข้อมูล ถ้าอุปกรณ์ทางด้านรับไม่มีการตอบสนอง แสดงว่าขั้นตอนเสร็จสมบูรณ์ แต่ถ้า อุปกรณ์ทางด้านรับตอบสนอง โดยการส่งข้อมูลมาให้ ISAC-S ซึ่งจะ Set E bit ให้เป็น"0" และส่งการตอบสนองนั้น สู่ Monitor Channel ในรูปแบบของ Frame ดังนี้ ISAC-S จะ

- Latch ค่าใน Monitor Channel ของ Frame โดยทันที แล้วตามด้วย Frame ที่มี E bit เท่ากับ "0" ลงใน MOR register

- สร้าง Monitor Status Interrupt MOS (EXIR Register) เพื่อบอกว่า MOR Register ถูก Load



รูปที่ 7.19 MONITOR Channel Protocol (IOM-1)

7.5.1.6 Command/Indicate (C/I) Channel Handling

C/I channel บอกถึงคำสั่งและสถานะระหว่าง Layer 1 และ Layer 2 Channel นี้จะถูกใช้งานในทุก timing mode นอกจากการเข้าถึงได้จากอุปกรณ์ Layer 2 ภายในตัวมันเองแล้ว C/I Channel ยังสามารถเข้าถึงได้จากอุปกรณ์ Layer 2 ภายนอกได้ด้วย ทาง register CIRR (ทิศทางรับจาก Layer 1 ไป Layer 2) และทาง register CIXR (ทิศทางการส่งจาก Layer 2 ไป Layer 1) C/I Code มีความยาว 4 bit ซึ่งจะกล่าวในหัวข้อถัดไป

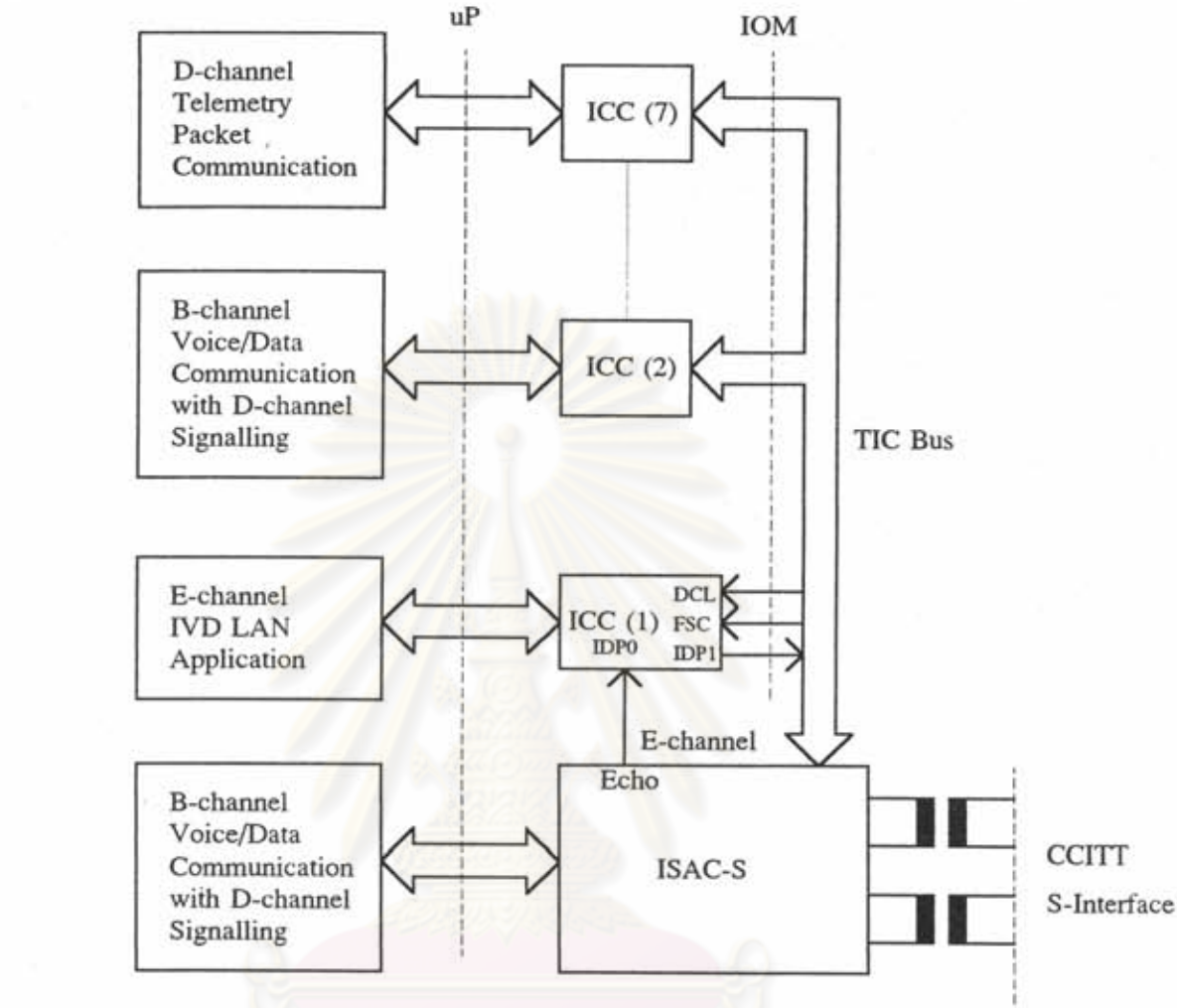
ด้านรับรหัสจาก Layer 1 จะถูกตรวจสอบอยู่ตลอดเวลาและจะสร้างสัญญาณ Interrupt หากเกิดการเปลี่ยนแปลงขึ้น (ISTA:CISQ) รหัสใหม่จะถูกพบใน 2 IOM Frame ถัดไป เพื่อความแน่ใจในความถูกต้อง และเพื่อกระตุ้นให้ C/I code ทำการเปลี่ยนแปลงสถานะการ Interrupt

ในด้านส่ง รหัสที่เขียนสู่ CIXR จะถูกส่งไปใน C/I channel ตลอดเวลา

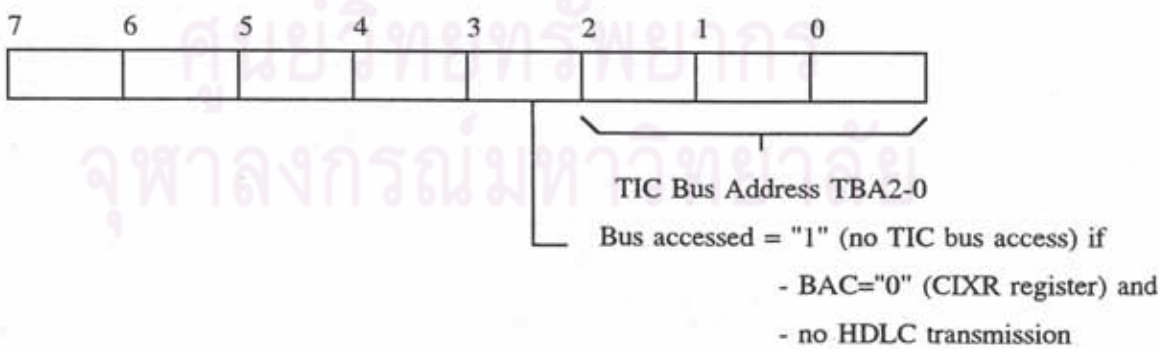
7.5.1.7 TIC Bus Access

ขั้นตอนในการชี้ขาดว่าอุปกรณ์ภายนอกตัวใด (สูงสุด 7 ตัว) ได้รับอนุญาตให้ติดต่อกับ Layer 1 ซึ่งมีสิทธิใน ISAC-S และ D Channel จะปรากฏอยู่ที่ Monitor Channel ของ IOM frame ในกรณีนี้ output ของ ICC ต้องต่อแบบ wired-or-and เข้ากับ ขา IDP1 และ input ของ ICC จะต่อกับขา IDP0

การ Access เข้าสู่ TIC Bus สามารถทำได้โดย Software (uP access เข้าที่ C/I channel) หรือโดย ISAC-S เอง (การส่ง HDLC Frame) การ Access โดย Software ทำได้ด้วยการ Set BAC Bit (CIXR Register) ให้เป็น "1"



รูปที่ 7.20 Applications of IOM Bus Configuration



รูปที่ 7.21 MONITOR Channel Structure on IDP1

7	6	5	4	3	2	1	0
1	1	1	1	S/G	1	1	1

S/G = 1 : stop

S/G = 0 : go

รูปที่ 7.22 MONITOR Channel on IDP0

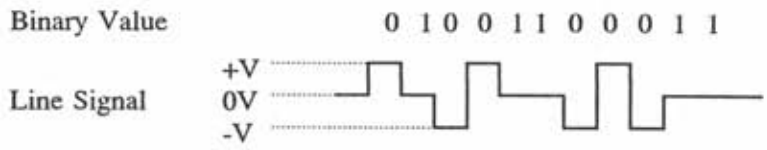
ในการขอ Access ISAC-S จะตรวจสอบ Bus-Accessed Bit (Bit 3 ของ IDP1 Montor Octet) ว่าอยู่ในสถานะ"Bus Free" หรือไม่ กล่าวคือ ถ้า Bus-Accessed bit อยู่ในสถานะ"Bus Free" แล้ว Bit 3 ของ IDP1 Montor Octet มีค่า Logic"1"และ ถ้าอยู่ในสถานะ"Bus Free" ISAC-S จะส่ง Address ซึ่งถูกโปรแกรมลงไปใน STCR register ไปใน TIC bus TIC bus จะถูกครอบครองโดยอุปกรณ์ที่ส่งสัญญาณ Address Error-Free ออกมา ถ้าในขณะนั้น มีอุปกรณ์หลายตัว ที่ต้องการจะครอบครอง Bus พร้อมกัน อุปกรณ์ที่มีค่า Address ต่ำสุดเท่านั้น ที่จะได้ครอบครอง Bus

เมื่อ TIC bus ถูกครอบครอง โดย ISAC-S แล้ว จะมีการส่งสัญญาณไปบอกให้อุปกรณ์อื่นๆ ผ่านทาง IDP1 monitor Channel ที่ Bus Access bit ด้วย logic"0" จนกว่าการขอ Access จากอุปกรณ์อื่นๆ จะถูกยกเลิก เมื่อการ Access Bus เสร็จสมบูรณ์ ISAC-S จะ Set ไปที่ Low Priority State Class โดยอัตโนมัติ ดังนั้นการ Access Bus ใหม่ จะไม่สามารถทำได้ จนกว่าสถานะ "Bus Free"จะถูกตรวจพบเป็นจำนวน 2 Frame ถ้าไม่มีอุปกรณ์สื่อสารใด ติดต่อกับ IOM Interface เพื่อขอ Access D Channel และ C/I Channel TIC bus จะถูกตั้งค่าให้มี address เป็น 7 อุปกรณ์ที่มีค่า Address เป็น 7 ถือเป็นอุปกรณ์ Default ที่จะ Access D Channel และ C/I Channel การตรวจสอบว่า S Interface D Channel สามารถ Access ได้หรือไม่ เราสามารถตรวจสอบได้ที่ bit 3"Stop/Go" (S/G) ของ IDP0 Monitor Channel Stop/Go bit มีประโยชน์ในการที่อุปกรณ์ใน Layer 2 อื่นๆ ที่ต่ออยู่กับ IOM ใช้ตรวจสอบว่าสามารถ access S bus D channel ได้ หรือไม่

7.5.2 Individual Function

การเข้ารหัสสายส่ง (S/T interface line code)

ตาม CCITT Recommendation I.430 ได้กำหนดให้ใช้ Pseudo-Ternary Encoding With 100% Pulse Width กับ S/T Interface Logic"1" จะมีแรงดันเท่ากับ Neutral Level ส่วน Logic "0" จะมีแรงดันเป็นบวก ลบสลับกันไป ซึ่งมีข้อดี คือ มีสัญญาณ Clock มาก และ DC component ต่ำ ดังรูปที่ 7.23



รูปที่ 7.23 S/T interface Line Code

การจัดเฟรมและการมัลติเพล็กซ์ (Framing and Multiplexing)

ชุมสาย ISDN จะรับข้อมูลดิจิตอลของผู้ใช้ โดยดูจากโครงสร้างเฟรมของเบสิกแอกเซส และไพรมารีเรตแอกเซส จากนั้น จึงแจกจ่ายข้อมูลนี้ ให้กับระบบสื่อสัญญาณ ในโครงข่าย ISDN ข้อมูลที่ปรากฏตามจุดต่างๆ ของการ Interface (จุด S หรือ T) จึงมีโครงสร้างของเฟรมแตกต่างกัน ซึ่งได้แก่ โครงสร้างเฟรม สำหรับ Basic Access และโครงสร้างสำหรับ Primary Rate Access ในส่วนนี้ จะกล่าวเฉพาะโครงสร้างสำหรับ Basic Access ซึ่งจะเกี่ยวข้องกับงานวิจัยนี้ เท่านั้น

โครงสร้างเฟรมสำหรับBasic Access

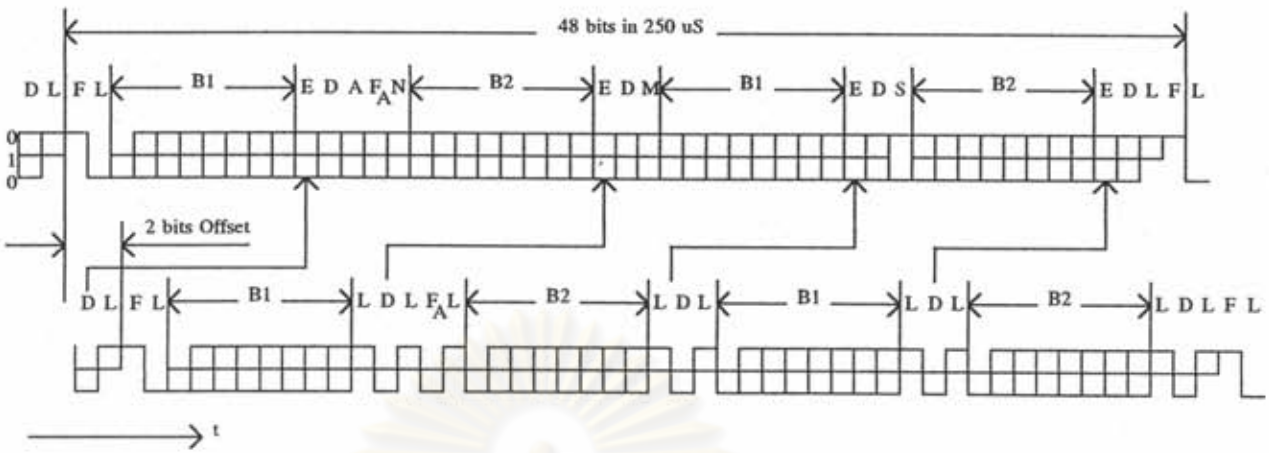
ที่จุดอ้างอิง S (หรือ T) 1 เฟรม จะประกอบด้วยข้อมูลจำนวน 48 บิต ในเวลา 250 usec ดังนั้นความเร็วของ 1 เฟรม จึงเท่ากับ 192 kbps อย่างไรก็ตามโครงสร้างของเฟรมจะแตกต่างกัน ในแต่ละทิศทางของการส่งข้อมูล ดังรูปที่ 7.24

จากบิตทั้งหมด 48 บิต จะมี 32 บิต ที่เป็นช่องสัญญาณ B 2 ช่องๆ ละ 16 บิต และช่องสัญญาณ D 4 บิต ส่วนอีก 12 บิต เป็นบิตพิเศษที่มีชื่อและหน้าที่ดังนี้

1. บิต F (Frame timing bit) บอกการเริ่มต้นของเฟรม

2. บิต L (DC balancing bit) ใช้เพื่อกำจัดองค์ ประกอบไฟตรงให้หมดไป บิตนี้จะเป็น "0" ถ้าบิตที่ต่อจากบิตนี้ มีจำนวนบิตที่เป็น"0" เป็นจำนวนคี่และจะเป็น "1" เมื่อบิตที่ต่อจาก บิตนี้ มีจำนวนบิตที่เป็น "0" เป็นจำนวนคู่ ดังนั้นผลรวมของบิตที่เป็น "0" จะเป็นจำนวนคู่ จึงไม่มีองค์ประกอบไฟตรง

3. บิต E (D-echo-chennel) มี 4 บิต ทำหน้าที่ในการสะท้อนค่าของบิต D ตัวสุดท้ายที่ส่งสัญญาณให้ NT จากรูปที่ 7.24 จะเห็นได้ว่าข้อมูลของบิต D ในเฟรมที่ส่งจาก TE ไปยัง NT จะไปปรากฏที่บิต E ของเฟรมที่ส่งจาก NT ไปยัง TE บิต E นี้จะมีอยู่ในเฟรมที่ส่งจาก NT ไปยัง TE เท่านั้น โดยจะอยู่ที่ตำแหน่งที่ 11 ,24,35 และ 46



F = Framing bit

L = DC balancing bit

D = D channel bit

E = D echo channel bit

F_A= Auxiliary framing bit or Q-bit

N = Bit set to a binary value $N=F_A$

B1 = Bit within B channel 1

B2 = Bit within B channel 2

A = Bit used for activation

S = Reserved for future standardization

M = Multiframe bit

รูปที่ 7.24 โครงสร้างเฟรมของ layer 1 ที่จุดอ้างอิง S

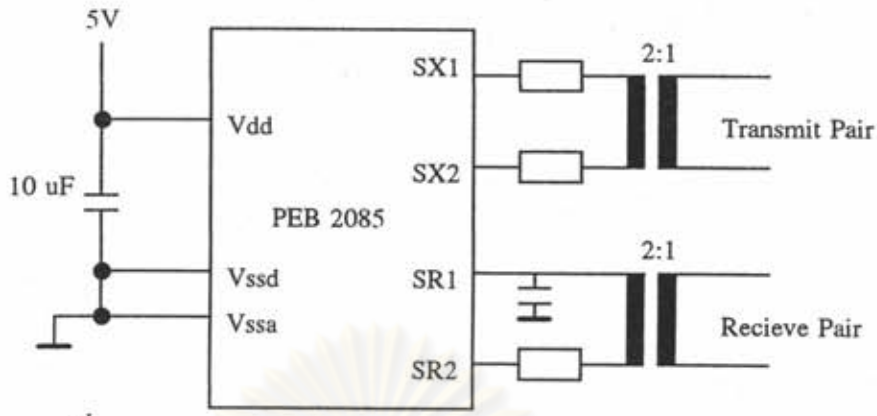
4. บิต A (Activate) เป็นบิตที่ถูกควบคุมจากชุมสาย เพื่อกำหนดให้เทอร์มินอลทำงานในโหมด POWER UP ในขณะที่ติดต่อกับชุมสายและอยู่ในโหมดของ POWER DOWN ในขณะที่เทอร์มินอลไม่ทำงาน บิต A นี้จะอยู่ในตำแหน่งที่ 13 ของเฟรมที่ส่งมาจาก NT

5. บิต FA (Auxiliary Framing) เป็นบิตช่วยของบิต F

6. 2 บิตที่เหลือถูกสำรองไว้ใช้ในอนาคตที่ตำแหน่ง 26 และ 37

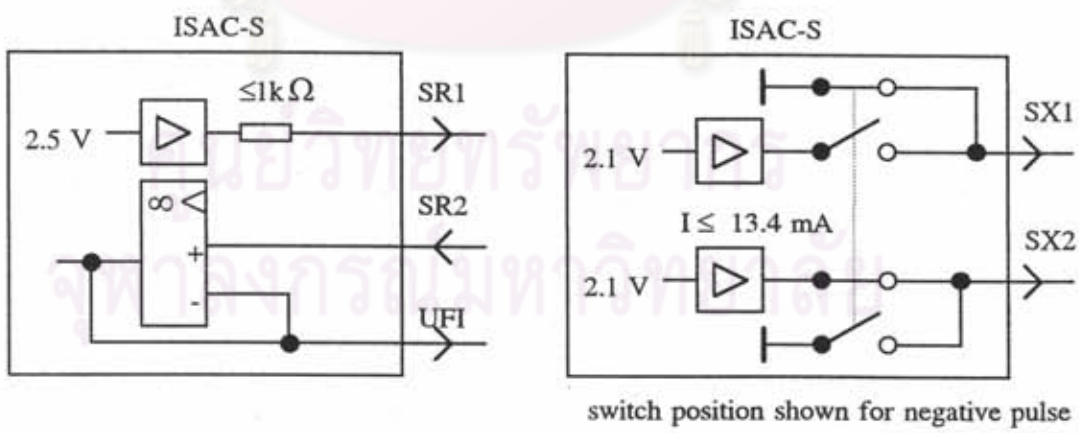
ผลรวมอัตราเร็วของข้อมูลที่ใช้งานได้นั้น ต้องคำนวณจากบิต ที่ใช้สำหรับช่องสัญญาณ B จำนวน 32 บิต และ ช่องสัญญาณ D จำนวน 4 บิต รวมเป็น 36 บิต หารด้วยเวลาที่ใช้ในแต่ละเฟรม คือ 250 usec จะได้ Data Rate 144 kbps ซึ่งเท่ากับ 2B+D ตาม ISDN Basic Access

ในการใช้งาน ทั้งการส่ง/รับ ต้องต่อ 2:1 Transformer เข้ากับ ISAC-S และ 4-wire S/T Interface ดังรูปที่ 7.25



รูปที่ 7.25 Connection of the Line Transformers and Power Supply to the ISAC-S

สัญญาณที่ส่งมาจาก Transmitter จะเหมือนกับ สัญญาณที่ส่งมาจาก แหล่งจ่ายแรงดันที่ถูกจำกัดกระแสไว้ และ แรงดัน 2.1 V จะถูกส่งออกมา ระหว่าง SX1-SX2 ซึ่งถูกจำกัดกระแสไว้ 7.5 mA ส่วน Receiver ถูกออกแบบเป็น Threshold Detector ซึ่งสามารถเปลี่ยน Threshold Level ได้ ขา SR1 จะส่งแรงดัน 2.5 V เป็น Output ออกมา ซึ่งจะเป็น Virtual Ground สำหรับขา SR2 สำหรับ 2:1 transformer ที่ต่อไว้นั้น เพื่อการ Isolation และเปลี่ยนค่าแรงดัน ให้เป็นไปตามมาตรฐาน CCITT Recommendatios Equivalent Circuit ของ Receiver และ Transmitter แสดงไว้ในรูปที่ 7.26



รูปที่ 7.26 Equivalent Internal Circuits of Receiver and Transmitter Stages

สำหรับความต้องการทางกายภาพตาม CCITT Recommendation I.430 และตามมาตรฐานสากลเกี่ยวกับ Overvoltage Protection และ Electromagnetic Compability (EMC) ต้องมีการต่อวงจรเพิ่มเติมให้กับ ISAC-S ซึ่งรายละเอียดในการออกแบบวงจรได้กล่าวไว้ในหัวข้อ Alppication Note ของ S/T Interface Circuitry Using the PEB 2080 SBC หรือ PEB 2085 ISAC-S

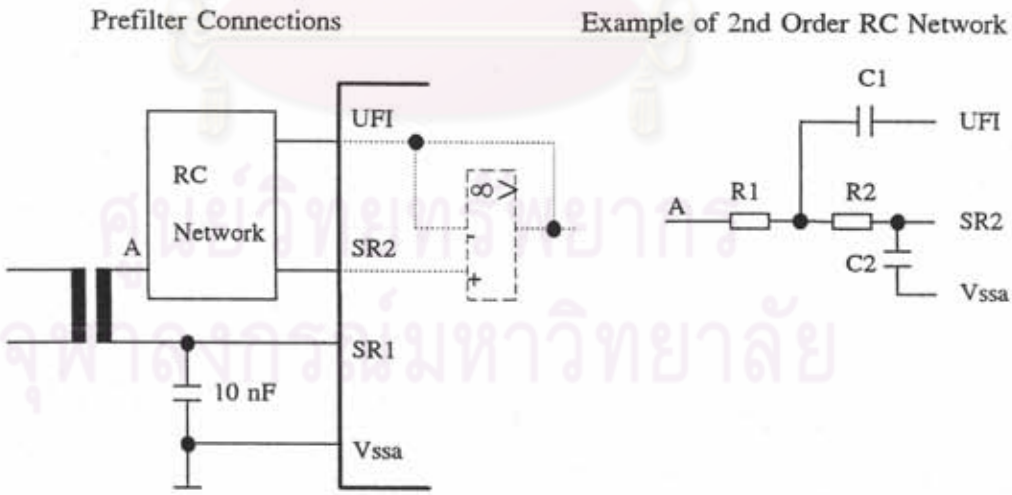
7.5.2.1 S/T Interface Pre-filter

Pre filter จะใช้ในระบบ ที่ต้องการเพิ่ม Signal-to-Noise ratio ด้วยการกรองเอาความถี่ที่ไม่ต้องการ ออกจาก S/T Interface (โดยเฉพาะความถี่สูง) ในการต่อ Filter จะใช้ RC Network ต่อเข้ากับ Op-Amp ภายใน ISAC-S ที่ขา UFI และ SR2 และ Order ของ RC Filter ขึ้นกับความต้องการของผู้ออกแบบเอง โดยในงานวิจัยนี้ ไม่มีส่วนของ Pre Filter ตัวอย่างข้างล่างเป็นเพียงแบบหนึ่งเท่านั้น

ค่าต่างๆ เหล่านี้จะให้ Cut-Off Frequency ที่ความถี่ 500 kHz และ 600 nS (± 170 nS) Propagation Delay Time

R1 = R2 = 10 kW C1 = 13 pF C2 = 22.5 pF

เพื่อที่จะชดเชย ค่า Delay Time ที่เกิดขึ้นจาก Filter เราสามารถ Delay การ Sampling ของสัญญาณที่รับได้ โดยการโปรแกรมที่ TEM และ PFS bit ใน ADF1 Register ดังตารางที่ 7.4



รูปที่ 7.27 Pre Filter Connections and Example of 2 Order RC Network

ตารางที่ 7.4 TEM/PFS Function Table

TEM	PFS	Effect
0	0	No pre-filter (0 delay)
0	1	Pre-filter delay compensation 512 nS
1	1	Pre-filter delay compensation 910 nS
1	0	Test mode (layer-1 disable)

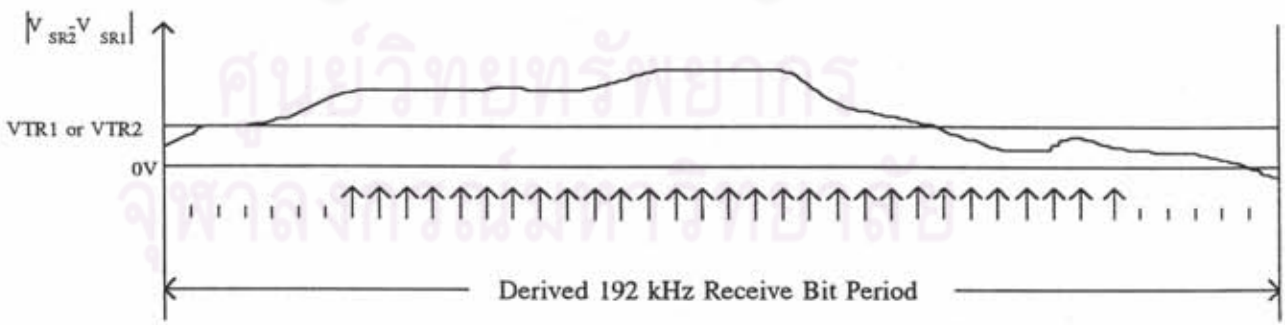
การแก้ Delay Time มีความจำเป็นเกี่ยวกับการเบี่ยงเบนของ Phase ทั้งหมดจาก Input ไป Output ที่ได้กำหนดไว้ใน CCITT Recommendation I.430 ซึ่งได้กำหนด การเบี่ยงเบนของ Phase ไว้ จาก -7% ถึง +15% ของคาบเวลาของ 1 bit

7.5.2.2 Receiving Function

Receive Signal Oversampling

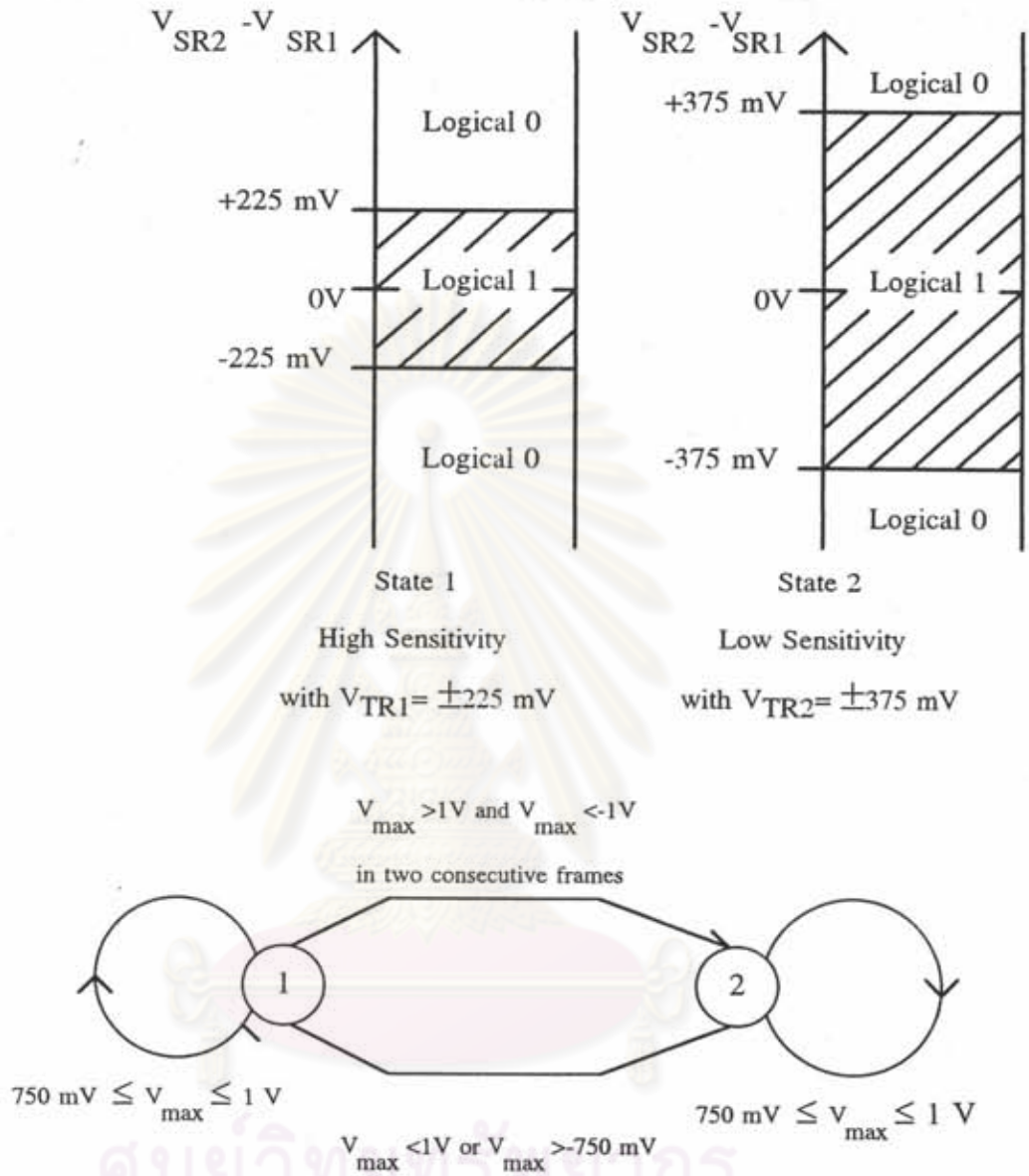
เพื่อที่จะลด Bit Error Rate ISAC-S จะ Oversampling สัญญาณที่รับได้ และตัดสิน -ใจใช้ Logic ที่รับได้ ส่วนใหญ่ (Feature นี้ ใช้ใน TE และ LT-T mode

จากรูปแต่ละ Bit ที่รับได้จะถูกสุ่มสัญญาณทั้งหมด 29 ครั้งที่ความถี่ 7.68 MHz Clock แต่ละ Sample จะถูกเปรียบเทียบกับ VTR1 หรือ VTR2 ถ้ามีการ sample อย่างต่ำ 16 samples ที่มีขนาดมากกว่า ค่า Threshold ที่ตั้งไว้ ISAC-S จะถือว่ารับ Logic"0"ได้ มิฉะนั้น จะถือว่าเป็น Logic "1"



Adaptive Receiver Characteristic

Receiver ภายใน ISAC-S สามารถตั้งค่า Threshold Level ได้ 2 ระดับ ซึ่งการตั้งค่านี้ จะไปกำหนด Sensitivity ของ Receiver Hysteresis Characteristic ของ Receiver แสดงไว้ดังรูปที่ 7.28



รูปที่ 7.28 Switching of the Receiver between High Sensitivity and Low Sensitivity

7.5.3.3 Level Detection Power Down (TE mode)

ในสถานะ Power Down มีเพียง Function Analog Detection เท่านั้น ที่ยังคงทำงานในระบบ Clock ทั้งหมด รวมทั้ง IOM Interface จะหยุดทำงาน การ Activated จากทาง Exchange

(Info-2 จาก S Bus จะถูก Detect) จะส่งผลให้ระบบ Clock กลับทำงานได้โดยอัตโนมัติ ส่วนการ Activated จากทาง Terminal ทำได้ โดยการ Set หรือ Reset SPU bitใน SPCR Register

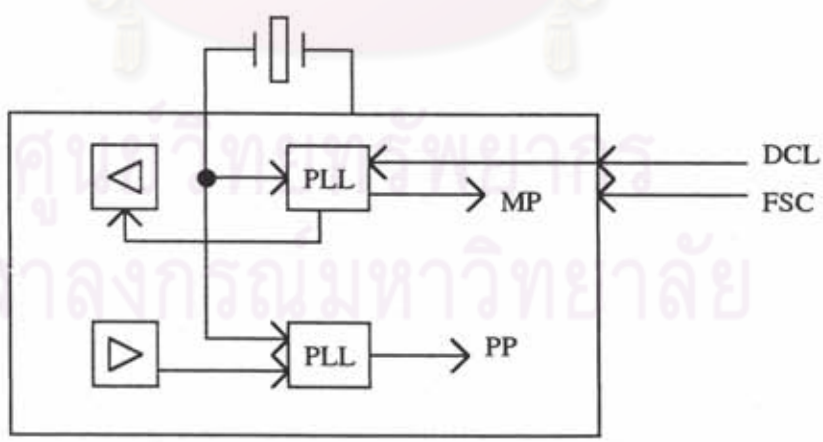
7.5.2.4 Timing Recovery

NT และ LT-S

ใน NT และ LT-S mode สัญญาณ 192 KHz Transmit Bit Clock จะ Synchronozed กับ IOM Clock และจะต้องแยกแยะเงื่อนไข 2 กรณี ในทิศทางรับให้ชัดเจนว่าเป็น bus หรือ point to point operation ซึ่งโปรแกรมไว้ใน ADF1 (IOM-1) หรือ SQXR (IOM-2) Register ดังแสดงในรูปที่ 7.29

ใน Bus Configuration (CFS=1) Receive Bit Clock 192 KHz จะเหมือนกับ Transmit Bit Clock ที่ถูกเลื่อนออกไป 4.6 uS เทียบกับขอบของสัญญาณส่ง ซึ่งตาม CCITT I.430 Received Frame ต้องถูกเลื่อนไป 2 bit จาก Transmit Frame

ใน Point-to-Point หรือ Extended Passive Bus Configuration (CFS=0) Receive Bit Clock 192 kHz จะถูกสร้างจาก data stream ใน S bus การ Sampling จะถูกเลื่อนไป 3.9 uS จาก Bit ที่รับได้ เทียบกับขอบขึ้นของ Receive Clock ที่สร้างขึ้น ตาม CCITT I.430 Received Frame สามารถเลื่อนไปได้ ตั้งแต่ 2-8 bit เทียบกับ Transmitted Frame ที่ LT-S (NT) อย่างไรก็ตาม การเลื่อนในกรณีอื่นๆ นอกเหนือจาก CCITT I.430 ISAC-S ก็สามารถรองรับได้ (รวมทั้งไม่เลื่อนเลย)



MP : receive clock for passive bus configuration

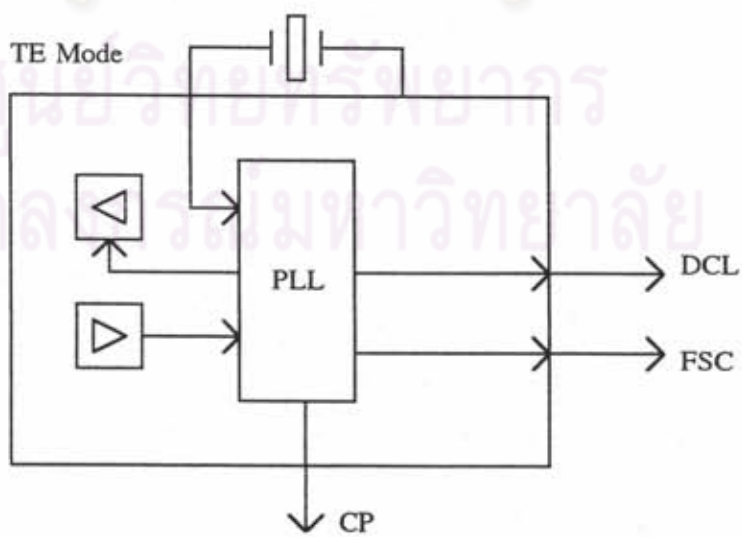
PP : receive clock for point-to-point configuration

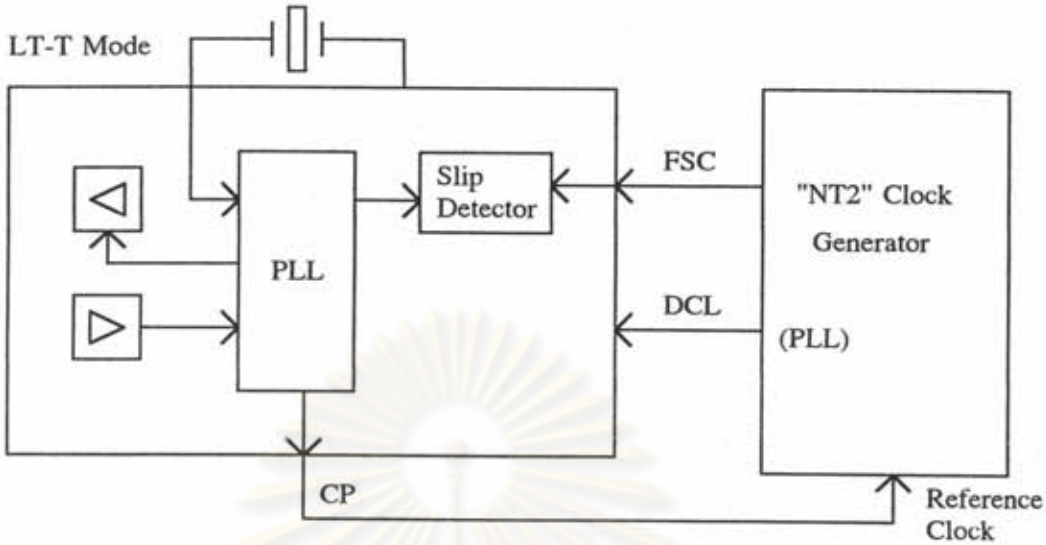
รูปที่ 7.29 Clock System of the ISAC-S in NT/LT-S Mode

TE และ LT-T

ใน TE และ LT-T Transmit และ Receive Bit Clock จะถูกสร้างจากวงจร DPLL โดยนำสัญญาณ Data Stream จาก S bus สัญญาณที่ได้รับจะถูก Sampling หลายครั้ง ภายในคาบเวลาของ Receive Clock ที่สร้างขึ้นและ ISAC-S จะใช้ช่วงระดับของสัญญาณที่เหมาะสมเพื่อตัดสินใจ Logic ส่วนใหญ่ เพื่อลด Bit Error Rate ดังได้กล่าวไว้แล้วข้างต้น ส่วน Transmit Frame จะถูกเลื่อนออกไป 2 bit จาก Frame ที่รับได้ใน TE mode และ Output Clock เช่น DCL ,FSC1 จะต้อง Synchronized กับ S-Interface Timing

ส่วนใน LT-T mode ISAC-S จะให้ clock ความถี่ 512 kHz ที่ขา CP ซึ่งสร้างจาก 192 kHz Clock ที่รับจากคู่สาย โดยวงจร DPLL ที่อยู่ภายใน ISAC-S ซึ่งสามารถใช้สัญญาณนี้ในการ Synchronize กับ Colck Generator ของระบบส่วนกลาง (NT2) Timing ของระบบส่วนกลางนี้จะถูกนำเข้ามาจาก IOM Interface Bit และ Frame Clock,DCL และ FSC ซึ่งตำแหน่งสัมพันธ์ของ S และ IOM Frame จะไม่แน่นอน และ ISAC-S จะป้องกันการ Slip ของข้อมูล ถ้าค่าของ CP และ DCL เกินขีดจำกัดที่รับได้ (ISAC-S จะนำค่าของ 3xB1,3xB2 และ D bit เก็บในเนื้อที่ชั่วคราว เพื่อรอให้ Phase Difference หมดไปก่อน) ค่าการเบี่ยงเบนของ Phase สูงสุดระหว่าง CP Output และ DCL Input โดยทั่วไปไม่เกิน 1 uS ต่อ 1 IOM Frame (125 uS) แต่ในกรณีที่ค่าเบี่ยงเบนมีค่าเกิน 24 uS ISAC-S จะส่งสัญญาณเตือน 2 ครั้งออกมาที่ C/I Channel ("slip") ถ้าอยู่ในการทำ Analog Test Loop (TL3, จะได้กล่าวต่อไป) 192 kHz Line Clock จะถูกสร้างจาก DCL ภายใน ISAC-S เลย ดังนั้นในกรณีนี้ ไม่มีโอกาสที่จะเกิด Slip ขึ้นเลย





รูปที่ 7.30 Clock System of the ISAC-S in TE and LT-T Mode

7.5.2.5 D-Channel Access

D channel สามารถใช้งานได้ทั้งช่องสัญญาณที่ใช้ส่งข้อมูลจาก IOM ไป S/T Interface (LT-S และ NT mode) หรือใช้งานเป็น D Channel Access Procedure ตามมาตรฐาน CCITT I.430 (TE mode) สำหรับการใช้งานเป็น Trunk Line D Channel สามารถใช้งานได้ทั้ง 2 แบบ ซึ่งขึ้นอยู่กับการโปรแกรม Register ภายใน ISAC-S และ ISAC-S สามารถรองรับการใช้งาน D Channel Access Procedure ตามมาตรฐาน CCITT I.430 ได้ รวมทั้ง Piority Management ด้วย

ในกรณีที่การติดต่อระหว่าง NT กับ TE เป็นแบบ Point-to-Multipoint จะต้องมีกลไกที่คอยควบคุมการเข้าใช้งานช่องสัญญาณ D ของแต่ละ TE ซึ่งต้องการใช้ช่องสัญญาณ D ในการส่งข้อมูลของตน เพื่อใช้ช่องสัญญาณ B อีกทีหนึ่ง กลไกนี้ จะคอยควบคุมไม่ให้เกิดการชนกัน ของข้อมูลในช่องสัญญาณ D และจะมี TE เพียงตัวเดียวเท่านั้นที่สามารถใช้ช่องสัญญาณ D ได้ ในเวลาหนึ่งๆ (ในงานวิจัยนี้เรากำหนดการทำงานให้เป็น Point-to-Point) เทคนิคหนึ่งที่ใช้ คือ CSMA-CR (Carrier Sense Multiple Access with Collision Resolution) ซึ่งมีเงื่อนไขการใช้ 4 ข้อคือ

1. Layer 2 ที่ทำงานในช่องสัญญาณ D ต้องมีโปรโตคอลแบบ HDLC

2. TE สามารถดู ช่องสัญญาณ D ที่ส่งจาก TE ไป NT ได้จากบิต Echo ที่ส่งกลับมาจาก NT

3. ถ้ามีการส่งสัญญาณเข้าไปในช่องสัญญาณพร้อมๆ กัน สายส่งจะทำการรวมสัญญาณที่ส่งมาจาก TE หลายๆ ตัวแบบ AND นั่นคือ สัญญาณ"0" รวมสัญญาณ"1" จะได้สัญญาณ"0" การเข้ารหัสแบบ Pseudo Ternary จะสนับสนุนเงื่อนไขนี้

4. เทอร์มินอลที่อยู่ในสถานะไม่ทำงานจะส่ง" 1" ออกมาตลอดเวลา

กลไกการควบคุมการใช้ช่องสัญญาณ D จะเป็นดังนี้

1. ก่อนที่ TE แต่ละตัว จะทำการส่งเฟรม HDLC เข้าไปใน ช่องสัญญาณ D จะต้องมีการตรวจสอบก่อนว่าช่องสัญญาณ D ว่างหรือไม่ โดยการตรวจดูบิต Echo ที่ส่งมาจาก NT ว่าเป็น"1" ติดต่อกัน 8 ครั้งหรือไม่ (สำหรับเทอร์มินอลที่มี Priority เป็น 8) ถ้าเป็น"1" ติดต่อกัน 8 ครั้ง แสดงว่าช่องสัญญาณว่างสามารถติดต่อช่องสัญญาณ D ได้ หลังจากที่ได้ส่งข้อมูลเข้าไปในช่องสัญญาณ D แล้ว จะต้องเพิ่มค่า Priority ของตัวเองจาก 8 เป็น 9 เพื่อให้ผู้อื่น ที่มี Priority 8 สามารถส่งข้อมูลได้ (ถ้ามีการตรวจสอบ E-bit พร้อมกัน)

2. ในระหว่างที่มีการส่งเฟรม HDLC ในช่องสัญญาณD ผู้ส่งจะ ทำการตรวจสอบบิต Echo ตลอดเวลาว่าบิตที่สะท้อนกลับมา ตรงกับบิตที่ตนเองส่งไปหรือไม่ ถ้าไม่ตรงกับบิตที่ตนเองส่งไป ก็แสดงว่าเกิดการชนกันของข้อมูลแล้ว ดังนั้นจะหยุดส่งทันทีและลดค่า Priority ของตนเองเหลือ 8 เหมือนเดิม

ใน TE และ LT-T mode ถ้ามีการโปรแกรมให้ตรวจสอบการชนกันของข้อมูล (MODE :DIM2-0) การชนกันของข้อมูลจะถูกตรวจพบ เมื่อรับ Echo Bit ได้"0" แต่ส่ง D เป็น Bit "1"หรือเมื่อรับ Echo Bit ได้ "1" แต่ส่ง D เป็น Bit "0" ถ้าเกิดกรณีนี้ ขึ้น D channel จะหยุดส่งข้อมูลและ Monitor Channel จะถูกตรวจสอบ เพื่อที่จะรอ ส่งข้อมูลใน D channel ต่อไป สำหรับใน LT-S และ NT mode อุปกรณ์สื่อสารจะสร้าง Echo Bit เพื่อใช้ในการตรวจสอบการชนกันของข้อมูลใน D Channel

Stop/Go Bit

การชนกันของข้อมูล สามารถตรวจพบได้ใน Layer 1 และข้อมูลที่เกี่ยวกับสถานะของ D Channel (Busy หรือ Ready) จะถูกส่งกลับไปให้ Layer 2 เพื่อใช้ในการควบคุมการส่ง HDLC ซึ่งจะส่งผ่าน Stop/Go Bit ที่อยู่ Bit ที่ 20 ของ IOM-1 Frame (4-Byte Frame Structure) หรือ Bit ที่ 90 ของ IOM-2 Frame (12-Byte Frame Structure) Logic"1" จะบอกถึงการชนกันของข้อมูลบน S Bus ส่วน Logic"0" จะบอกว่า ขณะนี้ S Bus อยู่ในสถานะ Ready เมื่อ Layer 2 ได้รับ Logic "0" จาก Layer 1 หมายความว่า สามารถที่จะ Access S bus ได้

Selection of D-Channel Access Mode

เพื่อให้เกิดการ Access D Channel ที่เหมาะสม ดังนั้น ISAC-S จึงต้องถูกโปรแกรมใน MODE Register เพื่อกำหนด Stop/Go Bit ซึ่งสามารถตั้งค่า MODE:DIM2-0 เป็น 001 หรือ 011

Selection of the Piority Class

ในการติดต่อจากTE ไปยังNT สามารถแบ่งออกได้เป็น 2 กลุ่มด้วยกัน

- Class 1 จะมี Priority เป็น 8 พวกนี้ จะมีความสำคัญสูง ในการติดต่อใช้บริการจะใช้

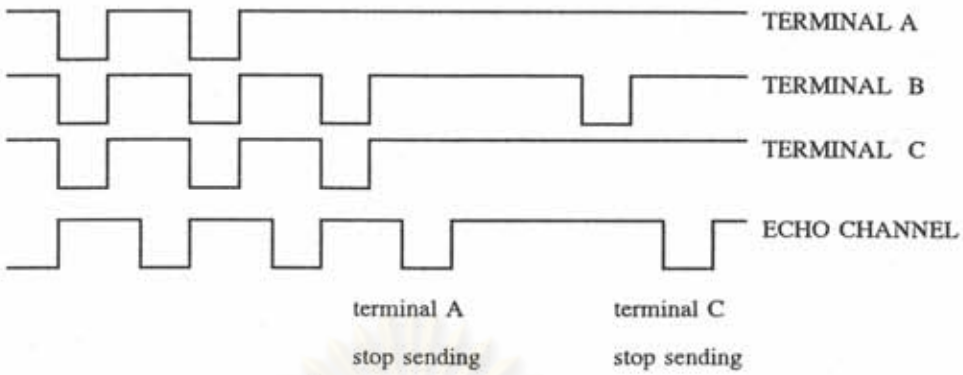
สำหรับ TE ที่ต้องการ การโต้ตอบกัน การเปลี่ยนแปลง Priority จะเป็น 8 และ9 สลับกันไปตามกลไกข้างต้น

- Class 2 มี Priority เป็น 10 พวกนี้ จะมีความสำคัญต่ำกว่า Class 1 จะใช้สำหรับ TE ที่ให้บริการทางเดียว เช่น FAX การเปลี่ยนแปลง Priority จะเป็น 10 และ 11 สลับกันไปตามกลไกข้างต้น จะเห็นได้ว่า ถ้ามี TE Class 1 เริ่มการตรวจสอบ บิต E พร้อมกับ TE Class2 ผู้ที่จะได้ใช้ช่องสัญญาณจะเป็น Class 1 เสมอ

Piority Class (Piority 8 หรือ 10) สามารถเลือกค่าได้ด้วยการส่งคำสั่ง Activation ที่ต้องการทาง Command/Indication (C/I) Channel ของ IOM Interface ไปยัง Layer 1 Controller ถ้าการ Activation ของ S Bus กระทำโดย TE Piority Class จะถูกเลือกด้วยค่าที่เลือกจากคำสั่ง Activation ด้วยการโปรแกรม แต่ถ้า S Interface ถูก Activation จาก NT Piority Class จะถูกเลือกจากคำสั่ง Activation ที่ถูกโปรแกรมมาจาก TE ซึ่งบอกถึงภาวะการ Activation ที่ตัว TE ในภาวะ Activated Piority Class อาจเปลี่ยนแปลงได้ เมื่อมีการร้องขอการ Activation (AR8 หรือ AR10) ตารางข้างล่าง บอกถึง C/I Code ที่ใช้สำหรับ Setting Class Piority

ตารางที่ 7.5 Piority Commands/Indications for TE/LT-T Mode

Command (upstream)	**Abbr.**	**Code**	**Remarks**
Activate request, set piority 8	AR8	1000	Activation command: Set D-channel piority to 8
Activate request, set piority 10	AR10	1001	Activation command: Set D-channel piority to 10
Indication (downstream)	**Abbr.**	**Code**	**Remarks**
Activate indication with piority class 8	AI8	1100	Info 4 received: D-channel piority is 8 or 9
Activate indication with piority class 10	AI10	1101	Info 4 received: D-channel piority is 10 or 11



รูปที่ 7.31 ตัวอย่างการชนกันของข้อมูล

ในรูปที่ 7.31 แสดงตัวอย่าง กรณีที่มี TE 3 ตัว ตรวจสอบช่องสัญญาณว่า ว่างได้พร้อมกันจึงเกิดการชนกันของข้อมูล

จากรูปที่ 7.31 มี TE 3 ตัว ตรวจสอบพบว่าช่องสัญญาณว่างพร้อมๆ กัน จึงได้ส่งข้อมูลออกมาพร้อมกัน ดังนั้นจึงเกิดการชนกันของสัญญาณขึ้น แต่เนื่องจากทุก ๆ เทอร์มินอล จะต้องตรวจสอบบิต ECHO ที่ส่งกลับมาจาก NT (ซึ่งจะช้ากว่า เฟรมที่ส่งไปอยู่ 2 บิต) ในรูปจะเห็นว่าเทอร์มินอล A และ C จะตรวจสอบพบว่า สัญญาณ ECHO ไม่เหมือนกับ เฟรมที่ตัวเองส่งเช่นกัน จึงหยุดการส่งข้อมูล ดังนั้นเทอร์มินอล B จะเป็นผู้ได้ใช้ช่องสัญญาณ

7.5.2.6 S- and Q-Channel Access

การ Access Received/Transmitted S หรือ Q Channel สามารถกระทำได้โดยผ่านทาง Register ตาม CCITT I.430 Q Bit จะถูกส่งจาก TE ไป NT ในตำแหน่งของ Auxiliary Frame Bit (F_A) ใน Frame ส่วน S Bit จะถูกส่งจาก NT ไป TE ใน Spare Bit Function ที่ ISAC-S ให้การสนับสนุน ได้แก่

TE/LT-T Mode

การ Synchronization เพื่อที่จะรับส่งข้อมูลแบบ Multiframe (20 Frames) สามารถทำได้โดยการรับรูปแบบของ M Bit ได้ ซึ่งการ Synchronize จะเกิด เมื่อสามารถรับรูปแบบของ M Bit ได้ถูกต้องระหว่าง 20 Frame ที่รับได้ ซึ่งเริ่มตั้งแต่ Frameที่ 1 ดังตารางที่ 7.6

เมื่อ Synchronize ได้แล้ว S Bit ที่รับได้ทั้ง 4 Bit ที่ Frame 1, 6, 11, 16 ก็จะถูกเก็บไว้ใน SQR1-SQR4 ใน SQRR Register ถ้ารูปแบบของ M Bit ที่รับได้จาก Multiframe ถูกต้อง การเปลี่ยนแปลงของ 4 Bit ที่รับได้ (SQR1,2,3 หรือ 4) จะแจ้งให้ทราบทาง Interrupt (CISQ ใน ISTA และ SQC ใน CIR0)

ตารางที่ 7.6 S and Q Bit Position Identification and Multiframe Structure

	NT-to-TE F_A bit Position	NT-to-TE M bit	NT-to-TE S bit	NT-to-TE F_A bit Position
1	ONE	ONE	S1	Q1
2	ZERO	ZERO	ZERO	ZERO
3	ZERO	ZERO	ZERO	ZERO
4	ZERO	ZERO	ZERO	ZERO
5	ZERO	ZERO	ZERO	ZERO
6	ONE	ZERO	S2	Q2
7	ZERO	ZERO	ZERO	ZERO
8	ZERO	ZERO	ZERO	ZERO
9	ZERO	ZERO	ZERO	ZERO
10	ZERO	ZERO	ZERO	ZERO
11	ONE	ZERO	S3	Q3
12	ZERO	ZERO	ZERO	ZERO
13	ZERO	ZERO	ZERO	ZERO
14	ZERO	ZERO	ZERO	ZERO
15	ZERO	ZERO	ZERO	ZERO
16	ONE	ZERO	S4	Q4
17	ZERO	ZERO	ZERO	ZERO
18	ZERO	ZERO	ZERO	ZERO
19	ZERO	ZERO	ZERO	ZERO
20	ZERO	ZERO	ZERO	ZERO
1	ONE	ONE	S1	Q1
2	ZERO	ZERO	ZERO	ZERO
etc.				

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

- เมื่อ M Bit ที่รับได้ไม่อยู่ในรูปแบบที่ถูกต้องจะทำให้เกิดการสูญเสียการ Synchronize SQR Bit จะไม่ถูก Update จนกว่าจะทำการ Synchronize ได้อีกครั้ง สภาวะการ Synchronization สามารถตรวจสอบได้จาก SYN Bit ภายใน SQRR Register

- เมื่อเกิดการ Synchronize และการรับส่งข้อมูลแบบ Multiframe Bit ที่เก็บอยู่ที่ SQX1 ถึง SQX4 ใน SQXR Register เป็นจำนวน 4 Bit จะถูกส่งเป็น Q Bit (ตำแหน่ง F_A Bit) ที่ Frame 1, 6, 11, 16 (เริ่มจาก Frame 1) ดังนั้น Bit ที่ส่งไป จึงเปรียบเสมือน กระจกที่สะท้อน F_A Bit ที่รับได้ ถ้าเกิดการสูญเสียการ Synchronization ขั้นตอนเหล่านี้ จะต้องเริ่มต้นใหม่ทั้งหมด ใน F_A Bit ถัดไป

LT-S/NT Mode

- สร้าง F_A และรูปแบบ M Bit ตามตาราง 7.6

- F_A bit ที่รับได้จำนวน 4 bit จาก Frame ที่ 1,6,11,16 (Q bit) จะถูกเก็บไว้ใน SQR1 ถึง SQR4 ของ SQRR Register การเปลี่ยนแปลง SQR1,2,3 หรือ 4 จะแจ้งให้ทราบทาง Interrupt (CISQ ใน ISTA)

- Bit ที่เก็บอยู่ ที่ SQX1-SQX4 ใน SQXR Register จำนวน 4 bit จะถูกส่งเป็น S bit ที่ Frame 1,6,11,16

7.5.2.7 Terminal Specific Funcion

Watchdog and External Awake

นอกจาก ISAC-S จะมี Function ที่สนับสนุน ISDN Basic Access แล้ว ISAC-S ยังมี Function อื่นๆ ให้เลือกใช้งานอีกมาก ซึ่งมีประโยชน์มากสำหรับ Terminal หลายชนิด Terminal Speccific Function นั้น สามารถทำได้โดยการ Set TSF (STCR Register) ให้เป็น"1" การ Set ค่านี้จะส่งผลให้

- สาย SIP/EAW ถูกกำหนดให้เป็น External Awake Input (ไม่ใช่ SLD Line)

- interrupt SAW และ WOV (EXIR register) จะ enable

  • SAW (Subscriber Awake) ถูกสร้างจากขอบขาลงของ EAW

  • WOV (Watchdog Timer Overflow) ถูกสร้างโดย Watchdog Timer จะเกิดขึ้นเมื่อ Processor ไม่สามารถเขียน 2 bit pattern ลงใน ADF1 ได้

ADF1	WTC1	WTC2	

WTC1 และ WTC2 ต้องถูกเขียนด้วยค่าเหล่านี้ให้เสร็จภายใน 128 mS

	WTC1	WTC2
1.	1	0
2.	0	1

ถ้าทำตามขั้นตอนต่างๆ เหล่านี้แล้ว Watchdog Timer จะถูก Reset และเริ่มต้นทำงานใหม่ มิฉะนั้น WOV จะถูก Set ให้ Active และการ Deactivate Terminal Speccific Function ทำได้ด้วยการ Reset ทาง Hardware เท่านั้น การตั้งค่าให้กับ Terminal Speccific Function ทาง TSF =1 นั้น เราสามารถทำให้ ISAC-S สร้างสัญญาณ Reset ออกมาได้ด้วยการโปรแกรม Reset Source Select RSS bit (CIXR/CIX0 Register) ดังนี้

สัญญาณ Reset ถูกสร้างจาก

- ขอบขาลงของสัญญาณที่สาย EAW (Subscriber awake)
- การเปลี่ยนแปลงของ C/I code (Exchange awake)

ขอบขาลง ของสัญญาณที่สาย EAW ทำให้สาย IDP1 ของ IOM Interface ถูก Set เป็น "0" ซึ่งหมายความว่าทั้ง ISAC-S และ IOM Interface อยู่ในสถานะ Power Down และมีการสร้างสัญญาณบอกสถานะการ interrupt ขึ้นมาด้วย (CISQ หรือ SAW)

สัญญาณ Reset ถูกสร้างจากการหยุดการทำงานของ Watchdog Timer ซึ่งตรวจสอบได้จากสถานะของ WOV Interrupt แต่ไม่ได้หมายความว่า Watchdog จะหยุดการทำงานในสถานะ Power Down

เราจะใช้งาน RSS Bit ได้ ก็ต่อเมื่อ Terminal Specifig Function อยู่ในภาวะ Activate เท่านั้น (TSF = 1) RSS Bit ควร Set ให้เป็น"1" เมื่ออยู่ในสถานะ Power Up เพื่อป้องกันการสร้างสัญญาณ Reset จากขอบของ EAW และ จากการเปลี่ยนแปลงของ C/I Code การเปลี่ยนค่า RSS bit จาก 1 ไป 0 หรือจาก 0 ไป 1 จะส่งผลให้ Watchdog Timer ถูก Reset ทุกครั้ง สัญญาณ Reset ที่สร้างโดย ISAC-S มีความกว้าง

- 125 uS เมื่อถูกสร้างโดย Watchdog Timer
- 16 mS เมื่อถูกสร้างโดยสาย EAW หรือการเปลี่ยนแปลงของ C/I Code

Test Function

ISAC-S มี Function ที่ใช้ในการ Test และ Diagnostic มากมาย ซึ่งพอที่จะ แบ่งเป็นกลุ่มๆ ได้ดังนี้

- Digital loop ทาง TPL (Test Loop, SPCR Register) Command bit: IDP1 จะต่อกับ

IDP0 ซึ่งภายใน ISAC-S Output ที่ส่งออกจาก IDP0 จะถูกยกเลิก ใช้สำหรับทดสอบ Function ของ ISAC-S ที่ไม่ใช่ Layer 1

• Test Layer 2 Function ในขณะที่ Disable Layer 1 Function และขาที่เกี่ยวข้องรวมทั้ง Clock ใน TE ทาง TEM bit (Test Mode ใน ADF1 Register)

• Analog Loop ที่ปลายของ S Bus

TE/LT-T

Test Loop 3 จะถูก Activate ด้วยคำสั่ง"Activate Request Command"(ARL) ซึ่งอยู่ใน C/I Channel และที่ S Interface ไม่มีความจำเป็นที่จะต้องใช้ เนื่องจาก INFO 3 จะถูก Loop Back กลับมาที่ Receiver เมื่อ Receiver ทำการ Synchronize กับตัวเองได้แล้วข้อความ"Test Indication" หรือ"Awake Test Indication" จะถูกส่งเข้ามาใน C/I Channel และจะไม่มีสัญญาณใดๆ ส่งเข้ามาสู่ S Bus เลย

ใน Test Loop Mode S Interface Awake Detector จะถูก Enable และถ้ามีการ Detect สัญญาณได้ (info 2/info 4) จะมีการรายงานมาทาง Awake Test Indication (ATI) Loop Function จะไม่ได้รับผล จากกรณีเหล่านี้ และ Line Clock 192 kHz จะถูกกำเนิดขึ้นภายใน ไม่ได้ขึ้นอยู่กับสัญญาณที่ S interface

NT/LT-S

Test Loop 2 ถูก Activate ทาง IOM Interface ด้วยคำสั่ง Activate Request Loop เช่นเดียวกัน และ info 4 จะ Loop Back กลับสู่ Receiver และส่งออกทาง S Interface เมื่อ Receiver ทำการ Synchronize แล้ว ข้อความ"AIU" จะถูกส่งออกมาใน C/I Channel ใน Test Loop Mode S Interface Awake Detector จะถูก Disable และ Echo Bit จะถูก Set ให้เป็น Logic "0"

• Special loop จะถูกโปรแกรมทาง C2C1-0 และ C1C1-0 Bit (Register SPCR)

• การส่งสัญญาณ Special Test Signal ไปใน S/T Interface ตามการเปลี่ยนแปลงของ AMI Code จะทำผ่านทาง C/I Command โดยเขียนลงใน CIXR/CIX0 Register

Test Signal 2 ชนิด ที่ถูกส่งจาก ISAC-S ได้แก่ Single pulse และ Continuous pulse Single pulse จะมีการเปลี่ยนแปลง polarity กว้าง 1 period, 0.25 mS และส่งซ้ำด้วยความถี่ 2 kHz Single pulse สามารถส่งเข้าไปได้ทุกๆ Application ตรง C/I Command ใน TE , LT-S และ LT-T Application คือ SSZ (Send Single Zero) หรือ อีกนัยหนึ่ง Test Mode นี้ สามารถทำได้ด้วยการให้ Logic"0" เข้าที่ขา SSZ ส่วน Continuous pulse จะเหมือนกับ Single pulse แต่จะส่ง pulse ออกมาตลอดเวลาที่ความถี่ 96 kHz Continuous pulse สามารถส่งเข้าไปได้ทุก Application โดยทั่ว ๆ ไป Test Mode มักใช้กับ TE, LT-S และ LT-T Application ด้วยคำสั่งใน C/I Command คือ SCZ

ในอีกนัยหนึ่ง Test Mode นี้ สามารถทำได้ด้วยการให้ Logic"0" เข้าที่ขา SCZ (ขา CP, NT mode เท่านั้น)

7.5.3 การอินเตอร์เฟสกับไมโครโปรเซสเซอร์

PEB 2085 นี้จะถูกโปรแกรมผ่านการ Interface กับไมโครคอนโทรเลอร์ชนิด parallel 8 bit ในงานวิจัยนี้ใช้ MCS 8031 ของ Intel กับ PEB 2085 P-DIP 40 Package และ Muliplexed Address/Data Bus ซึ่งควบคุมโดยสัญญาณจากขา /CS , /WR , /RD , ALE สัญญาณที่ Interface กับ uP

7.5.3.1 Interrupt structure and logic

ISAC-S PEB 2085 นี้ ให้ interrupt ได้เพียง 1 interrupt request ดังนั้น uP ต้องทำหน้าที่ในการพิจารณา ว่า Interrupt นั้น คืออะไร โดยการอ่าน Interrupt Status Register (ISTA) จาก ISAC-S

โครงสร้างของ ISAC-S interrupt แสดงดังรูป 7.32 การอ่าน ISTA register ทำให้ทุก bit จะถูกลบ ยกเว้น EXI และ CISQ ซึ่งจะถูกลบ เมื่ออ่านที่ EXIR และ CIRO ตามลำดับเท่านั้น อย่างไรก็ตาม ISAC-S สามารถปิดแหล่ง Interrupt บางตัวได้ โดยการ Set bit นั้น ให้เป็น"1" ใน Mask Register ซึ่งจะทำให้ PEB 2085 ไม่สร้างสัญญาณ Interrupt เมื่อเกิดการเปลี่ยนแปลงที่ bit นั้น

รายละเอียดของแต่ละ Bit ใน ISTA Register สามารถหาอ่านได้จากคู่มือ ISAC-S โดยในบทนี้ จะกล่าวถึง Interrupt ที่เกี่ยวข้องกับงานวิจัยนี้ คือ CISQ Interrupt

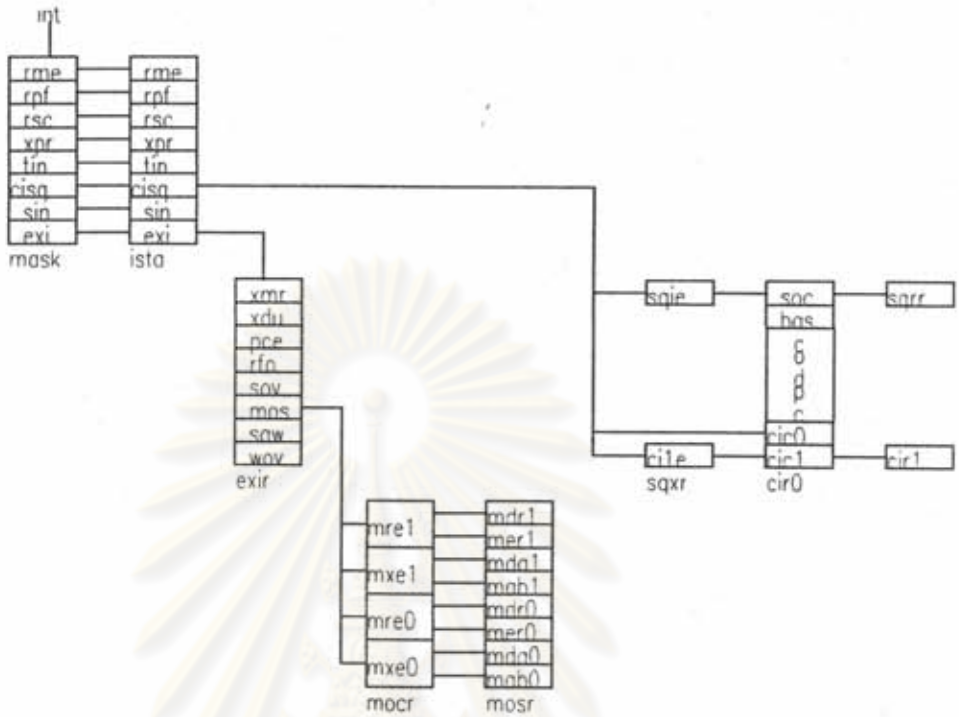
CISQ interrupt จะเกิดขึ้นเมื่อมีการเปลี่ยนแปลงใน

-Received S/Q code (SQC)

-Received C/I Channel 0 Code (CIC 0) หรือ Received C/I Channel 1 Code (CIC 1)

เราสามารถอ่านได้จาก CIRO Register และค่า CISQ จะ Clear เมื่อ CIR0 ถูกอ่านและ Interrupt ใหม่จะเข้ามาได้ เมื่อมีการอ่าน Interrupt ที่มีอยู่ก่อนแล้ว

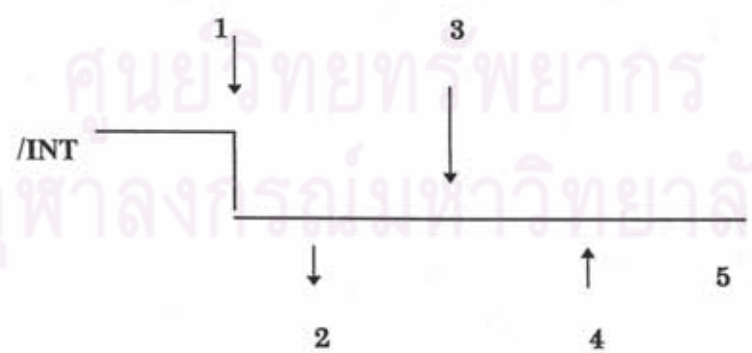
จะเห็นว่าแหล่งของ CISQ Interrupt มี 3 แหล่ง แต่เราสามารถ Disable จาก SQR และ CIC1 โดยการ Set ค่า"0" ให้กับ Bt SQIE (ใน SQXR) และ CI1E (ใน ADF1) ตามลำดับ เพื่อไม่ให้เกิด Interrupt จาก SQC และ CIC1 จนกว่าจะ Enable bit SQIE และ CI1E เป็น "1"



รูปที่ 7.32 แสดง ISAC-S Interrupt Structure

7.5.3.2 Control of edged-triggered interrupt controllers

สัญญาณ INT จะ Active จนกระทั่งแหล่งของ Interrupt นั้น ได้รับการตอบสนอง ถ้ามี Interrupt ใหม่เข้ามาระหว่างที่ INT ยังคง Active อยู่ ก็จะเกิดปัญหาขึ้น ดังรูปที่ 7.33



รูปที่ 7.33 แสดง INT Handing

1 A status bit is set. This causes an interrupt.

2 The microprocessor starts its service routine and reads the status registers.

3 A new status bit is set before the first status bit has been read.

4 The first status bit is read.

5 The /INT output stays active but the interrupt controller will not serve the interrupt (edge triggered).

เพื่อแก้ปัญหาดังกล่าวทำได้โดยการ Mask Interrupt ไว้ก่อน ดังรูปที่ 7.34

รูปที่ 7.34 แสดง Service Program for Triggered Interrupt Controllers

1 to 4 see above

5. 'FF' is write to the MASK register. This masks all interrupts and returns the /INT output to its inactive state.

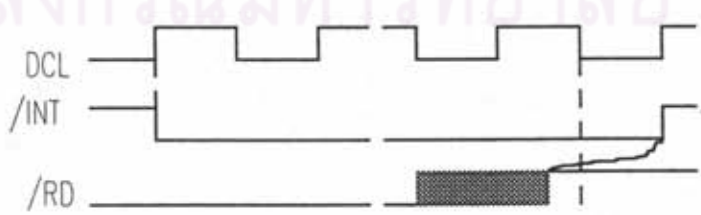
6. The old value is written to the MASK register. This will activate the /INT output if an interrupt source is stiss active.

7. The microprlcessor starts a new interrupt service program.

8. The last status bit is read.

9. The /INT output is inactive.

/INT จะ Switched ที่ขอบขาขึ้น ของ DCL ถ้าไม่มี Interrupt เก็บไว้ การอ่าน ISTA, EXIR CIR0 จะ Switched /INT กลับสู่ตำแหน่ง high ดังรูปที่ 7.35



รูปที่ 7.35 Timing of /INT Pin

7.5.3.3 Activation/Deactivation of IOM interface

สำหรับ LT-T และ LT-S แล้ว IOM Interface ต้อง Activate ตลอดเวลา ดังนั้น Clock DCL และ Frame Sync FSC1/FSC2 จะถูกสร้าง โดยระบบขณะที่ใน TE และ NT จะต้องมีการเข้าสู่ Inactive State เพื่อลด Power ลง ขณะที่ไม่ถูกใช้งาน และในภาวะ Deactivated นี้เอง สัญญาณ Clock จะอยู่สถานะ Low และ data อยู่ในสถานะ high

สำหรับ TE Mode นั้น IOM Interface จะยังคง Active ขณะที่ S Interface Deactivate ได้โดยการ Set ค่า bit CFS ให้เป็น"0"ใน ADF1 (IOM 1) นั่นคือ สภาวะหลังจาก Hardware Reset ในภาวะการทำงานจริง IOM Interface จะ Switch off ในขณะที่ S Interface Deactivate ซึ่งทำได้โดยให้ bit CFS เท่ากับ "1" ในภาวะนี้ Oscillator ภายในจะ Disable เมื่อไม่มีสัญญาณใด ๆ บน S Bus และ ถ้าหาก TE ต้องการ Activate ก็สามารถทำได้ โดย Activate IOM Interface ก่อนโดยเขียน Software สั่งให้เข้าสู่สภาวะ Power Up หรือเซตให้ CFS เป็น"0"

7.5.3.4 Activation/Deactivate of S/T interface

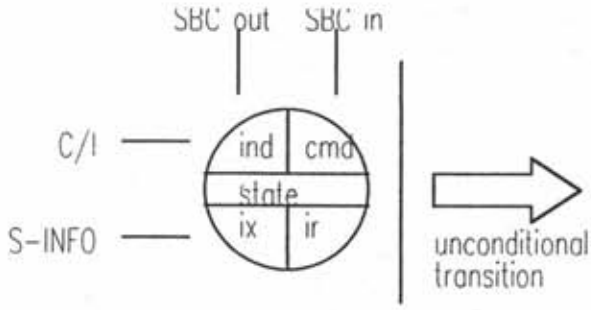
เมื่อ ISAC-S ถูก Initialize แล้วมันก็พร้อมที่จะทำการรับส่งข่าวสารใน D channel นั่นย่อมรวมถึงว่า Layer1 ได้ถูก Activate แล้ว

การทำงานใน Layer1 ถูกควบคุม โดยเขียนคำสั่งผ่านทาง CIXR/CIX0 Register ซึ่งส่งมาทาง IOM C/I Channel 0 ไปยัง Layer 1 ตามขั้นตอนที่เป็นไปตามมาตรฐาน CCITT 1.430 ไม่ว่าจะเป็นการ Activate/Deactivate ,Testloop ,Send Pulse Pattern แสดงรายละเอียดไว้ใน Layer 1 State Diagram ซึ่งจะกล่าวถึงต่อไป สำหรับการตอบสนองจาก Layer 1 นั้น จะได้รับโดยการอ่าน CIRR/CIR0 Register เมื่อมี CISQ Interrupt

สำหรับการ Activate/Deactivate TE ,NT, LT-S, LT-T แต่ละ Mode จะแตกต่างกันไป แต่งานวิจัยนี้ ทำเฉพาะ LT-S กับ TE จึงจะกล่าวเฉพาะ 2 mode นี้ เท่านั้น

โดยตารางที่ 7.7 แสดงการใช้สัญญาณดิจิตอลในการควบคุมกระบวนการต่างๆ ตารางที่ 7.8 และ 7.9 แสดงสถานะ ที่เป็นไปได้ทั้งหมดของ TE และ LT-S ตามลำดับ ซึ่งได้กำหนดไว้ในคู่มือ ISAC-S PEB 2085 (ตามมาตรฐาน CCITT I 430 แต่อาจมีการเรียกชื่อต่างกันบ้าง ในบางสถานะ) และตารางที่ 7.10 และ 7.11 แสดงความหมายของ Indication/Command ที่ใช้ใน TE และ LT-S ตามลำดับ ส่วนรูป 7.37 และ 7.38 แสดง State Diagram ในการActivate/Deactivate TE และ LT-S ตามลำดับ

ก่อนที่จะทำความเข้าใจกับ State Diagram ของทั้ง Mode TE และ LT-S เราจะต้องทำความเข้าใจพารามิเตอร์ของ ภาพวงกลมที่จุดต่าง ๆ ใน State Diagram ดังในรูปที่ 7.36



รูปที่ 7.36

cmd - command เป็นข้อมูลใน C/I Channel ที่ส่งจาก Layer 2 ไปยัง Layer 1 เพื่อสั่งงาน โดยสั่งผ่าน Register CIXR

ind - indication เป็นข้อมูลใน C/I Channel ที่แสดงสถานะการทำงานของ Layer 1 ซึ่งสามารถอ่านได้จาก Register CIRR

ix - ชนิดของ info ที่ส่งออกไปทาง S-interface

ir - ชนิดของ info ที่รับเข้ามาทาง S-interface

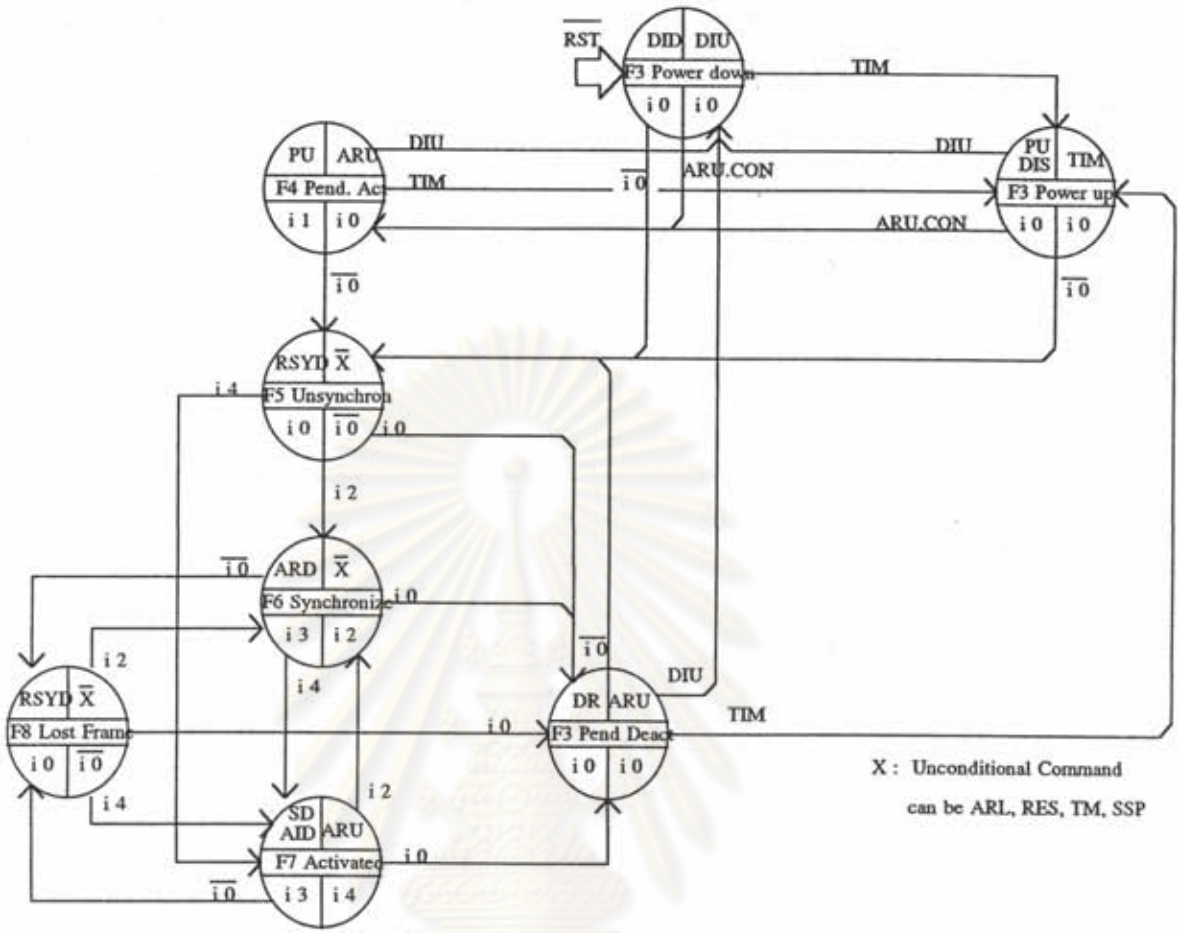
ตารางที่ 7.7

สัญญาณจาก NT ไป TE	สัญญาณจาก TE ไป NT
info 0 ไม่มีสัญญาณ	info 0 ไม่มีสัญญาณ info 1 สัญญาณต่อเนื่อง
info 2 เฟรมที่ทุกบิตถูกตั้งเป็น "0" ยกเว้นบิต N และ L ที่จะเป็นไปตามกฎการเข้ารหัส	
	info 3 เฟรมที่ซิงโครไนซ์กับเฟรมที่ได้รับจาก TE โดยมีข้อมูลอยู่ใน B และ ช่องสัญญาณ D
info 4 เฟรมที่มีข้อมูลอยู่ใน B,D channel แต่บิต A จะถูกตั้งให้เป็น 1	

ตารางแสดงสัญญาณที่แลกเปลี่ยนกันในกระบวนการ Activation

ตารางที่ 7.8

สถานะ	ความหมาย
	TE
F1	Inactivate : เทอร์มินอลจะไม่ส่งข้อมูลอะไรเลย สถานะนี้เกิดขึ้นเมื่อไม่มีการจ่ายไปให้แก่ตัวอินเตอร์เฟส
F2	Signal Detection : เทอร์มินอลไม่ส่งข้อมูล แต่จะพยายามตรวจสอบสัญญาณที่มันได้รับว่าเป็นสัญญาณอะไร
F3	Deactivated : เทอร์มินอลไม่ส่งข้อมูล แต่มันจะได้รับ info อยู่ตลอดเวลา
F4	Waiting for signal : สถานะนี้ เทอร์มินอลจะส่ง onfo 1 และมันได้รับ info 0 อยู่
F5	Identifying input : เทอร์มินอลไม่ได้ส่งข้อมูลแต่กำลังได้รับสัญญาณอื่นที่ไม่ใช่ info 0 ซึ่งมันกำลังระบุชนิดของสัญญาณอยู่
F6	Synchronized : เทอร์มินอลส่ง info 3 แต่ไม่ได้ส่งข้อมูลเข้าไปในช่องสัญญาณ และมันกำลังได้รับ info 2 อยู่
F7	Activated : เป็นสถานะปกติของการส่งข้อมูล เทอร์มินอลจะส่ง info 3
F8	Desynchronized : เทอร์มินอลไม่สามารถทำการซิงโครไนซ์ได้สถานะจะมีการส่ง info 0
	NT
G1	Deactivated : สถานะนี้ NT จะไม่ส่งอะไรเลย
G2	Activation Standby : เป็นสถานะกึ่ง active โดย NT จะส่ง info 2 และกำลังรอรับ info 3
G3	Active : เป็นสถานะปกติของการส่งข้อมูล NT จะส่ง info 4 และได้รับการตอบเป็น info 3
G4	Deactivation Standby : NT ไม่ส่งข้อมูล แต่รอรับ info 0



รูปที่ 7.37 แสดง state diagram ของ TE

เมื่อตัว PEB 2085 ถูกรีเซตแล้ว จะอยู่ที่สถานะ"F3 Power Down" ซึ่งที่สถานะนี้จะไม่มีสัญญาณ Clock ใน IOM Interface และ ไอซีจะกิน power ต่ำ หลังจากได้รับ คำสั่ง TIM จึงจะเปลี่ยนมาอยู่ที่สถานะ"F3 Power Down" แต่ถ้าต่อขา X3 ซึ่งเป็นขา Enable Clock ของ PEB 2085 ให้เป็น Low จะทำให้สถานะเริ่มต้น อยู่ที่"F3 Power Up" แทน หลังจากนั้น เมื่อได้รับคำสั่ง ARU (Activate Request Upstream) ซึ่งอาจจะเป็น AR8 หรือ AR10 ก็ได้ จะทำให้ตัว PEB 2085 เปลี่ยนสถานะจาก "F3 Power Up" มาอยู่ที่ "F4 Pend Deact" และจะส่ง info 1 ออกไปให้ ตัว LT-S เพื่อเป็นการร้องขอ Activate สถานะนี้ เป็นสถานะเสถียร โดยถ้าหากฝ่าย TE ได้รับสัญญาณใดๆ ที่ไม่ใช่ info 0 จากตัว LT-S จะทำให้เปลี่ยนสถานะไปอยู่ที่"F5 unsynchron." ซึ่งจะหยุดส่ง info 1 และสถานะนี้ จะไม่เสถียรและจะรอ info 2 หรือ info 4 เพื่อดำเนินการต่อ เมื่อได้รับ info 2 จาก LT-S จะทำให้เกิดการเปลี่ยนสถานะใหม่ไปอยู่ที่ "F6 synchronized" และโต้ตอบกับตัว LT-S โดยการส่ง info 3 กลับไปและคอยรับ info 4 กลับมา เพื่อเข้าสู่สถานะที่ Activate สมบูรณ์ คือ "F7 activated" ซึ่งจะมีการแลกเปลี่ยน info 3 และ info 4 ระหว่าง ตัว TE กับ LT-S ตลอดเวลา ซึ่งหมายความว่า

ขณะนี้ ได้มีเฟรมของ Layer 1 เกิดขึ้นบน S bus แล้วและพร้อมที่จะส่งข้อมูลของ Layer 2 ในช่องสัญญาณ D และข้อมูลในช่องสัญญาณ B ที่มีอยู่ 2 ช่องสัญญาณได้

ในสภาวะ"F7 activated" นี้ ถ้า TE ได้รับสัญญาณใดๆ ที่ไม่ใช่ info 4 ตัว PEB 2085 จะเปลี่ยนสถานะไปอยู่ที่ "F8 lost framing" ซึ่งเราสามารถทราบถึง การมาอยู่ในสถานะนี้ ได้จากการแจ้งด้วย Indication เป็น "RSYD" ถ้าในเวลาต่อมา ได้รับ info 2 ก็จะเปลี่ยนสถานะไปที่ "F6 Synchronized" แต่หากได้รับ info 4 เหมือนเดิม ก็สามารถกลับมาที่สถานะ "F7 activated" ได้

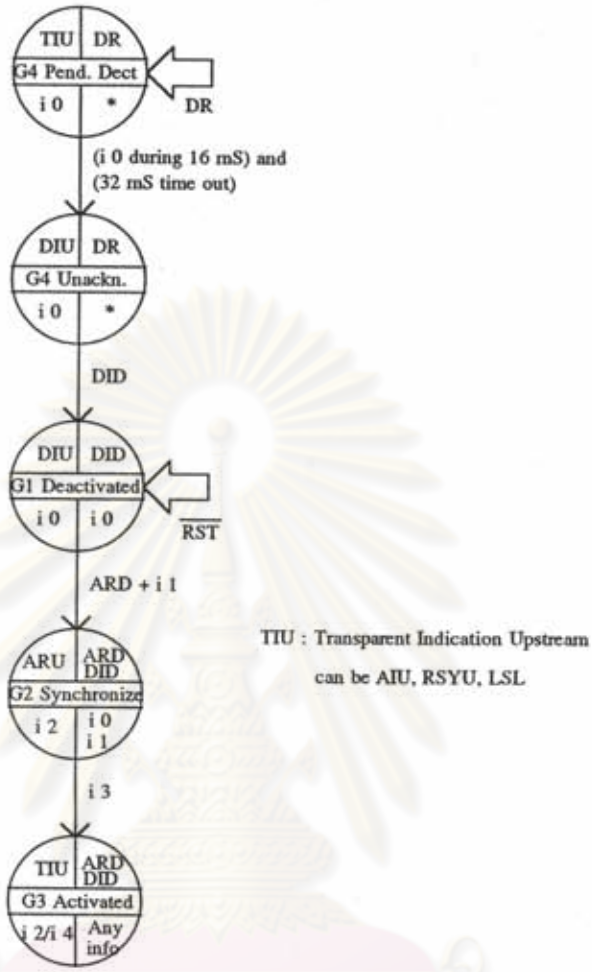
สำหรับการ Deactivate สามารถอธิบายได้ดังต่อไปนี้

การเข้าสู่สถานะ Deactivate เริ่มต้นโดยทางฝ่าย LT-S จะหยุดส่ง info 4 ก่อนทำให้ TE เปลี่ยนสถานะจาก"F7 activated" ไปหยุดที่ "F3 pend. deact." และ ที่สถานะนี้ ถ้าหากได้รับคำสั่ง DIU (Deactivate Indication Upstream) จาก LT-S เป็นการตอบรับ ก็จะเปลี่ยนสถานะ ไปอยู่ ที่สถานะเดียวกันกับสถานะเริ่มต้น คือ "F3 power down" หรือ "F3-power up"

เมื่อตัว PEB 2085 ถูกรีเซตจะทำให้สถานะเริ่มต้นอยู่ที่"G1 deactivated" ซึ่งเป็นสถานะที่ไม่มีสัญญาณใดๆ ถูกตรวจจับได้ทาง S- interface เมื่อได้รับ info 1 จากฝ่าย TE ที่ส่งมาให้ หรือได้รับ ARD command จะเกิดการเปลี่ยนสถานะไปอยู่ที่ "G2 synchronizid" และ ส่ง info 2 ไปให้ TE ในเวลาต่อมา ถ้าได้รับ info3 จะเปลี่ยนสถานะไปอยู่ที่"G3 activated" ซึ่งเป็นสถานะที่สมบูรณ์ของการ activation ของตัว LT-S

ในสภาวะ "G3 Activated" นี้ จะมีการรับส่งข่าวสาร info 3 และ info 4 ไปมาระหว่าง TE และ LT-S ตลอดเวลาและจะมี Indication "AIU" ถ้ามีการขาดหายไปของ info 3 ก็จะไม่มีการเปลี่ยนสถานะ PEB 2085 ก็ยังคงส่ง info 4 อย่างต่อเนื่องต่อไป แต่จะมีการแจ้งให้ทราบ โดยผ่านทาง Indication "LSL" และ "RSYU" และถ้าได้รับ info 3 กลับมาใหม่ ก็สามารถกลับสู่การทำงานปกติได้ และให้ Indication เป็น "AIU" ตามเดิม

การ Deactivate ในระดับ Layer 1 นั้นทาง LT-S ทำได้ โดยส่งคำสั่ง "DR"(Deactivate Request) แล้วรอให้เปลี่ยนสถานะสุดท้าย ไปอยู่ที่ "G4 unackn." หลังจากนั้น จึงส่งคำสั่ง "DID" (Deactivate Indication Downstream) เพื่อให้เปลี่ยนสถานะไปที่สถานะ "G1 deactivated" ซึ่งเป็นสถานะการ Deactivate ที่สมบูรณ์



รูปที่ 7.38 แสดง state diagram ของ LT-S

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ตารางที่ 7.9 layer 1 commands TE/LT-T

command (upstream)	Abbr.	Code	Remarks
Timing	TIM	0000	Activation of all output clocks is requested
Reset	RS	0001	(x)
Send continuous zeros	SCZ	0100	Transmission of psuedo-ternary pulses at 96 kHz frequency (x)
Send single zeros	SSZ	0010	Transmission of psuedo-ternary pulses at 2 kHz frequency (x)
Activate request, set priority 8	AR8	1000	Activation command, set D-channel priority to 8 (see note)
Activate request, set priority 10	AR10	1001	Activation command, set D-channel priority to 10 (see note)
Activate request loop	ARL	1010	Activation of test loop 3 (x)
Deactivate indication upstream	DIU	1111	IOM interface clocks can be disabled

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ตารางที่ 7.10 layer 1 indicates TE/LT-T

Indication (downstream)	Abbr.	Code	Remarks
Power up	PU	0111	IOM clocking is provided
Deactivate request	DR	0000	Deactivation request by S interface
Slip detected	SD	0010	Wander is larger than 24 us peak-to-peak (LT-T mode only)
Disconnected	DIS	0011	Pin CON connected to GND
Error indication	EI	0110	Either: (pin RST = 1 and bit CFS = 0) or RS
Level detected	RSY	0100	Signal received, receiver not synchronus
Activate request downstream	ARD	1000	Info 2 received
Test indication	TI	1010	Test loop 3 activated or continuous zeros transmitted
Awake test indication	ATI	1011	Level detected during test loop
Activated indication with priority class 8	AI8	1100	Info 4 received, D-channel priority is 8 or 9
Activate indication with class 10	AI10	1101	Info 4 received, D-channel priority is 10 or 11
Deactivate indication downstream	DID	1111	Clocks will be disabled in TE, quiescent state

ตารางที่ 7.11 layer 1 commands LT-S

Command (downstream)	Abbr.	Code	Remarks
Deactivate request	DR	0000	(x)
Send continuous zeros	SCZ	0001	Transmission of psuedo-ternary pulses at 96 kHz frequency (x)
Send single zeros	SSZ	0010	Transmission of psuedo-ternary pulses at 2 kHz frequency (x)
Activate request downstream	ARD	1000	Transmission of info 2
Activate request loop	ARL	1010	Activation request for loop 2
Deactivation indication downstream	DID	1111	Deactivation acknowledgement quiescent state

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย

ตารางที่ 7.12 layer 1 indicates LT-S

Indication (upstream)	Abbr.	Code	Remarks
Lost signal level	LSL	0001	No receive signal
Lost framing upstream	RSYU	0100	Receiver is not synchronous
Activate request upstream	ARU	1000	Info 1 received
activate indiaction upstream	AIU	1100	Synchronous receiver
Deactivate indication upstream	DIU	1111	Timer(32ms) expired or info 0 received (during 16 ms) after deactivation request
Transparent indication upstream	TIU	xxxx	can be: AIU ,RSYU ,LSL Single Pulses 4kHz Continuous Pulse, 96kHz

การ RESET

เมื่อ Hardware Reset (ขา RST) ใน layer 1 จะมีสถานะดังนี้ คือ

-G1 deactivated ใน LT_S/NT mode

-F3 stand by ในTE/LT mode

สถานะ F3 standby หมายถึง internal oscillator ซึ่งได้แก่ DCL clock และ FSC1/2 อยู่ในสภาวะ active

ในระหว่างที่มีการ Reset Pulse ขา SDAX/ SDS1 และ SCA/ FSD/ SDS2 จะอยู่ระดับ Low ส่วนขาอื่น ๆ จะเป็น High Impedance และที่ S/T Interface จะเริ่มทำงาน และเข้าสู่สถานะ

F3 Power Down ซึ่ง Oscillator ภายในจะ Disable โดยการตั้ง CFS bit (ADF1) ให้มีค่าเป็น "1" สำหรับ สถานะของ Register ภายใน ISAC-S หลังจาก Hardware Reset สามารถอ่านได้จากคู่มือ ISAC-S

การ Initialize

เพื่อให้ ISAC-S ทำงานได้ ตามที่เราต้องการในโหมดต่างๆ เราจะต้อง Initialize ให้กับ Register ภายใน ซึ่งรายละเอียดของบิตแต่ละบิตในรีจิสเตอร์ต่างๆ สามารถอ่านได้จากคู่มือ ISAC-S ส่วนในที่นี้จะแสดงเฉพาะรีจิสเตอร์ที่ใช้

Register	Full Name	set for TE	set for LT-S
ADF1	Additional Feature Register 1	00000000	00000000
ADF2	Additional Feature Register 2	00000000	00000000
MODE	Mode Register	00111001	00111000
TIMR	Timer Register	10100000	10100000
STCR	Synchronous Transfer Control Register	01110000	01110000
SPCR	Serial Port Control Register	xxxxxxxx	00100000

ศูนย์วิทยทรัพยากร
จุฬาลงกรณ์มหาวิทยาลัย