บทที่ ๔

หลักการและการออกแบบ

การทำงานของส่วนเชื่อมโยงเครื่องพิมพ์กับเครื่องจุลคอมพิวเตอร์นี้แบ่งออกเป็น ๒ ส่วน คือ

๑. ส่วนควบคุม (The Control Unit)

๒. ส่วนแปลระหัส (The Decoder Unit)

ทั้งสองส่วนนี้จะนำระหัสจาก Accumulator (ACC 0-ACC 7) ของเครื่องจุลคอมพิวเตอร์มาแปลเป็นระหัสของเครื่องโทรพิมพ์ ชนิด 5-level Code แล้วส่งไปให้เครื่องโทรพิมพ์ การรับข้อมูลจาก Accumulator จะรับมาแบบขนาน แต่การส่งข้อมูลไปยังเครื่องโทรพิมพ์จะส่งไปอย่างอนุกรม

<u>ส่วนควบคุม</u> (The Control Unit)

เนื่องจากเครื่องโทรพิมพ์รับข้อมูลจากจุลคอมพิวเตอร์ Actech model 40 ซึ่งมี 8-bit binary word ดังนั้นเมื่อแปลเป็นระบบเลขฐาน ๑๐ แล้วจะต้องมี ๓ หลัก ดังนั้นการจะให้เครื่องโทรพิมพ์พิมพ์จะต้องให้พิมพ์ชุดละ ๓ ตัวและ ๑ ช่องไฟ และเนื่องจากว่าเครื่องโทรพิมพ์ที่ใช้นี้พิมพ์ได้สูงสุด ๗๒ ตัวต่อ ๑ บรรทัด ดังนั้นจึงพิมพ์ข้อมูลได้สูงสุด ๑๖ ชุดต่อ ๑ บรรทัด ดังนั้นเมื่อถึงชุดที่ ๑๖ ก็จะมีคำสั่งให้ขึ้นบรรทัดใหม่และคำสั่งเลื่อนแคร่พิมพ์ให้กลับมายังจุดเริ่มต้น

จะเห็นได้ว่าในการพิมพ์แต่ละชุด เครื่องโทรพิมพ์จะต้องรับระหัส 4 characters ด้วยกัน คือ 3 characters สำหรับระหัส อีก 1 character เป็นระหัสสำหรับให้เว้นช่องไฟ ในแต่ละ Character ของระหัสจะใช้เวลา ๗.๕ หน่วย ดังที่กล่าวไว้ในบทที่ ๓ คือ Stop bit ใช้เวลา ๑.๕ หน่วย แต่เครื่องโทรพิมพ์สามารถรับระหัส Stop bit ได้ ตั้งแต่ ๑.๕ – ๒ หน่วยเวลา ดังนั้นในกรณีนี้เมื่อสะดวกในการออกแบบส่วนควบคุมจึงใช้ Stop bit เป็น ๒ หน่วยเวลา ทำให้แต่ละ Character ใช้เวลา ๘ หน่วยเวลา การพิมพ์ในแต่ละชุดเครื่องโทรพิมพ์จะต้องรับระหัสทั้งหมด ๓๒ หน่วยเวลา หรือใช้ Pulse ๓๒ ลูก นอกจากชุดที่ ๑๖ นี้ต้องมีคำสั่งขึ้นบรรทัดใหม่ และคำสั่งเลื่อนแคร่พิมพ์มายังจุดเริ่มต้น ทำให้ต้องใช้ 5 characters คือ 3 characters แรกสำหรับระหัสข้อมูล

Character ที่ ๔ สำหรับคำสั่งขึ้นบรรทัดใหม่ และ Character ที่ ๕ สำหรับคำสั่งเลื่อนแคร่พิมพ์มายังจุดเริ่มต้น ดังนั้นในการพิมพ์ชุดนี้เครื่องโทรพิมพ์จะต้องรับระหัสทั้งหมด ๔๐ หน่วยเวลา หรือใช้ Pulse ๔๐ ลูก

ในขณะที่เครื่องโทรพิมพ์ยังไม่ทำการพิมพ์ เครื่องโทรพิมพ์จะต้องเตรียมพร้อมในการรับระหัส จึงต้องส่งสัญญาณ Stop หรือ High ไปยังเครื่องโทรพิมพ์อยู่ตลอดเวลา จนกว่าจะมีระหัสของ Character ตัวที่จะพิมพ์ส่งไป และเช่นเดียวกัน ในขณะที่เครื่องโทรพิมพ์ว่างอยู่โดยไม่มีการพิมพ์ จะต้องส่งสัญญาณไปลบการ Interrupt เครื่องจุลคอมพิวเตอร์ เพื่อให้เครื่องจุลคอมพิวเตอร์ทำงานต่อ สัญญาณที่ส่งไปนี้ คือ สัญญาณ Clear Interrupt Flag (CIF) ซึ่งมีสถานะเป็น High เมื่อเครื่องโทรพิมพ์ทำการพิมพ์ CIF นี้จะกลายเป็น Low หยุดการทำงานของเครื่องจุลคอมพิวเตอร์

ดังนั้นจึงสรุปการทำงานของส่วนควบคุมได้ดังนี้

๑. เปิด Gate ให้ส่งข้อมูลออกไปได้ และปิดเมื่อส่งเรียบร้อยแล้ว

๒. ให้ Shift Register ทำการ Shift ข้อมูล เมื่อได้รับสัญญาณจากส่วนแปล ว่าได้ทำการแปลข้อมูลเรียบร้อยแล้ว (การ Load ข้อมูลเข้า Shift Register ต้องใช้สัญญาณ Low ส่วนการ Shift นั้นใช้ Clock Pulse)

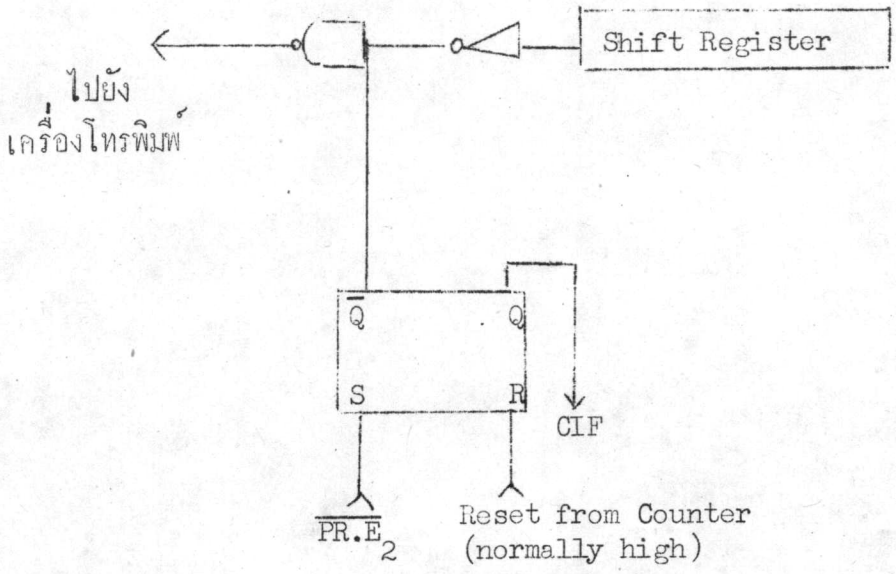
๓. ส่งสัญญาณ CIF หรือ Printer Done ไปหยุดเครื่องจุลคอมพิวเตอร์

๔. นับ Clock ที่ส่งไปให้ Shift ข้อมูลให้ได้ ๓๒ ลูกหรือ ๔๐ ลูก

๕. นับจำนวนคำสั่งพิมพ์ ($\overline{PR.E_2}$) ถ้าครบ ๑๖ ครั้ง ให้เครื่องพิมพ์ทำการขึ้นบรรทัดใหม่ และเลื่อนแคร่พิมพ์ และควบคุมการนับ Clock

<u>การเปิดและปิด Gate ข้อมูลและสัญญาณ CIF</u>

เนื่องจากในขณะที่เครื่องพิมพ์รอทำงานอยู่ จะต้องส่งสัญญาณ Stop (Marking หรือสัญญาณเป็น High) ไปยังเครื่องพิมพ์ แต่ Bit ตัวแรกใน Shift register เป็น Start bit (Spacing หรือสัญญาณเป็น Low) ดังนั้นจึงต้องมี Gate กันไม่ให้ส่งสัญญาณ Start ออกไป ซึ่ง Gate ที่ใช้เป็น NAND Gate แต่ตัวที่ทำหน้าที่เปิด – ปิดนั้นใช้ R-S Flip Flop และให้สัญญาณ $\overline{PR.E_2}$ เป็นตัว Set ดังรูปที่ ๙



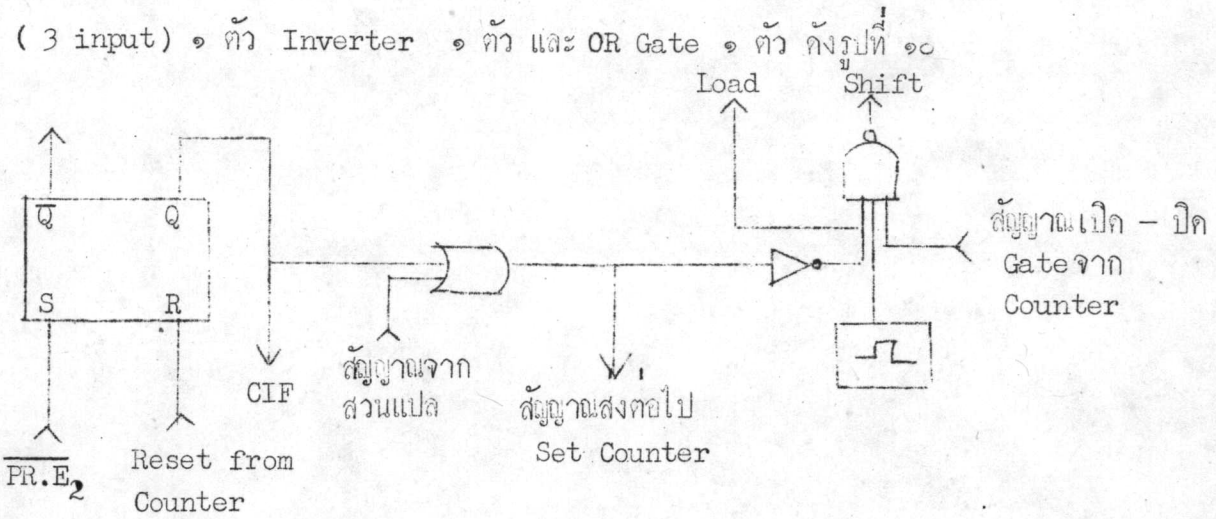
รูปที่ ๙ การเปิด – ปิด Gate สำหรับข้อมูลจาก Shift Register

สัญญาณจาก R-S Flip Flop ซึ่งส่งไปยัง Gate จะเป็น Low ทำให้ปิด Gate จนกว่าได้รับสัญญาณ Low จาก $\overline{PR.E_2}$ ทำให้ R-S Flip Flop เปลี่ยนเป็น High ทำการเปิด Gate ขณะเดียวกับ CIF ที่เดิมเป็น High อยู่จะกลายเป็น Low เนื่องจากใช้ NAND Gate เป็น Gate จึงต้องมี Inverter ๑ ตัว คอยระหว่าง Shift Register กับ Gate เพื่อให้สัญญาณที่ส่งออกไปไม่กลับกลายเป็นตรงกันข้าม สำหรับสัญญาณ Reset ของ R-S Flip Flop ที่ส่งมาปิด Gate นั้น จะกล่าวในหัวข้อต่อไป

การเลื่อนข้อมูลโดย Shift Register

เนื่องจากข้อมูลที่รับจาก Accumulator ของเครื่องจุลคอมพิวเตอร์ และผ่านส่วนแปลนั้นเป็นแบบขนาน แต่ตอนส่งออกไปให้เครื่องโทรพิมพ์ต้องส่งไปอย่างอนุกรม ดังนั้น Shift Register ที่ใช้ คือ แบบ Parallel-in Serial-out Shift Register (IC เบอร์ 74165) โดยแต่ละ Shift Register แทนแต่ละ Character จึงต้องใช้ Shift Register๕ ตัวด้วยกัน ข้อมูลที่มาจากส่วนแปลจะ Load เข้า Shift Register แบบ Parallel และ Shift ออกไปแบบ Serial จึงต้องมีสัญญาณให้ Shift Register ทำการ Load หรือ Shift สัญญาณนี้จะใช้สัญญาณ CIF , Clock และสัญญาณที่บอกว่าทำการแปลเรียบร้อยแล้วจากส่วนแปล โดยผ่าน NAND Gate

(3 input) ๑ ตัว Inverter ๑ ตัว และ OR Gate ๑ ตัว ดังรูปที่ ๑๐



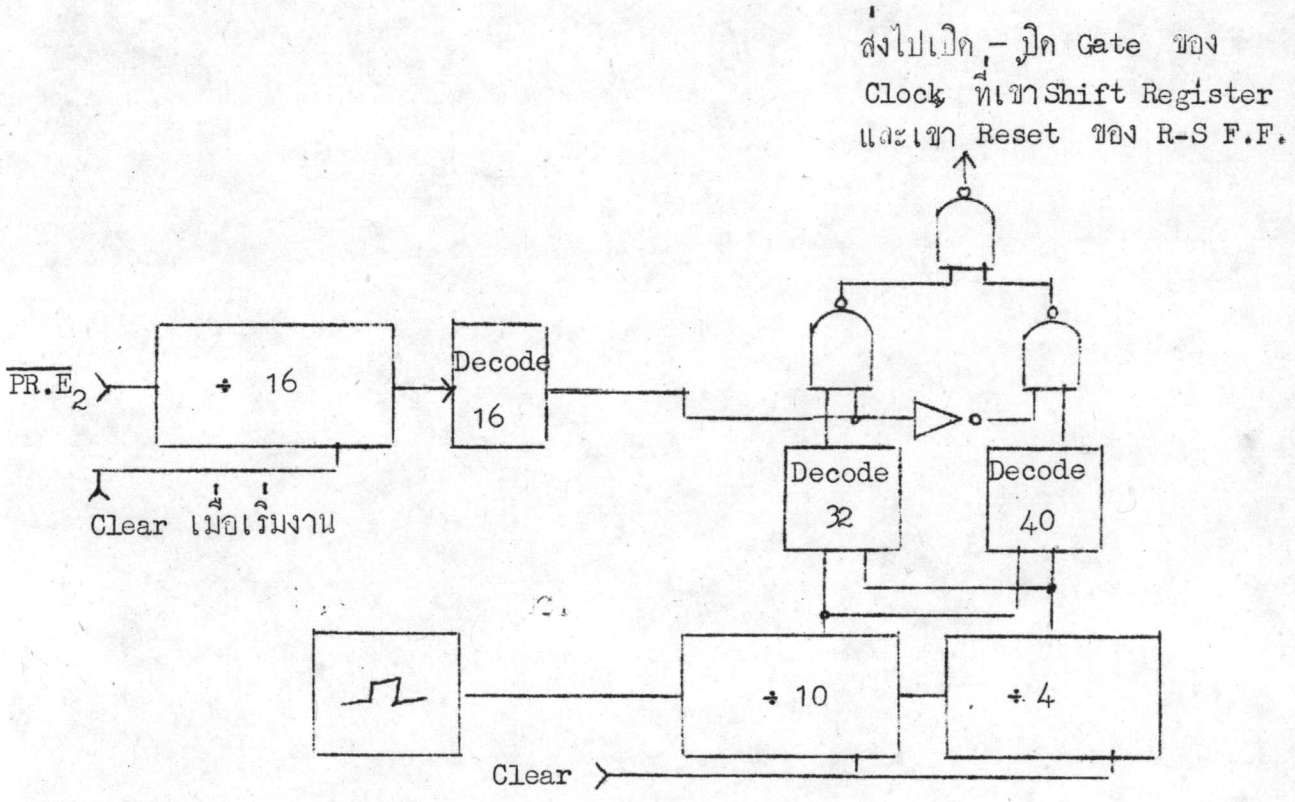
รูปที่ ๑๐ การ Load และ Shift ข้อมูลของ Shift Register

ขณะที่ส่วนควบคุมนี้ยังไม่ได้รับสัญญาณพิมพ์จากจุลคอมพิวเตอร์ Adtech model 40 CIF จะ High และสัญญาณจากส่วนแปลซึ่งยังแปลไม่แล้วเสร็จ จะ High ดังนั้นสัญญาณที่ออกจาก OR Gate จึงเป็น High และเมื่อผ่าน Inverter สัญญาณจะเปลี่ยนเป็น Low Shift Register จึงยังไม่ Load และ Clock จึงผ่าน NAND Gate ออกไปไม่ได้ เมื่อได้รับสัญญาณพิมพ์จากจุลคอมพิวเตอร์มา CIF จะเปลี่ยนเป็น Low และหากส่วนแปลยังแปลไม่เสร็จ สัญญาณจะออกจาก OR Gate ยังคงเดิม คือ High ดังนั้น Shift register จึงยังไม่ Load และ Clock ก็ยังผ่าน NAND Gate ไปเลื่อนข้อมูลไม่ได้ เมื่อส่วนแปลได้แปลระหัสเสร็จ สัญญาณจากส่วนแปลจะเปลี่ยนเป็น Low สัญญาณจาก OR Gate จึงเปลี่ยนจาก High มาเป็น Low และเมื่อผ่าน Inverter สัญญาณนี้จะกลายเป็น High ให้ข้อมูล Load เข้า Registerและ Clock จะผ่าน 3-input NAND Gate ไปเลื่อนข้อมูลใน Register ต่อ เมื่อสัญญาณเปิด Gate มาจาก Counter ในขณะเดียวกันสัญญาณจาก OR Gate ซึ่งเปลี่ยนจาก High มาเป็น Low ก็ถูกส่งไปยัง Counter ด้วย

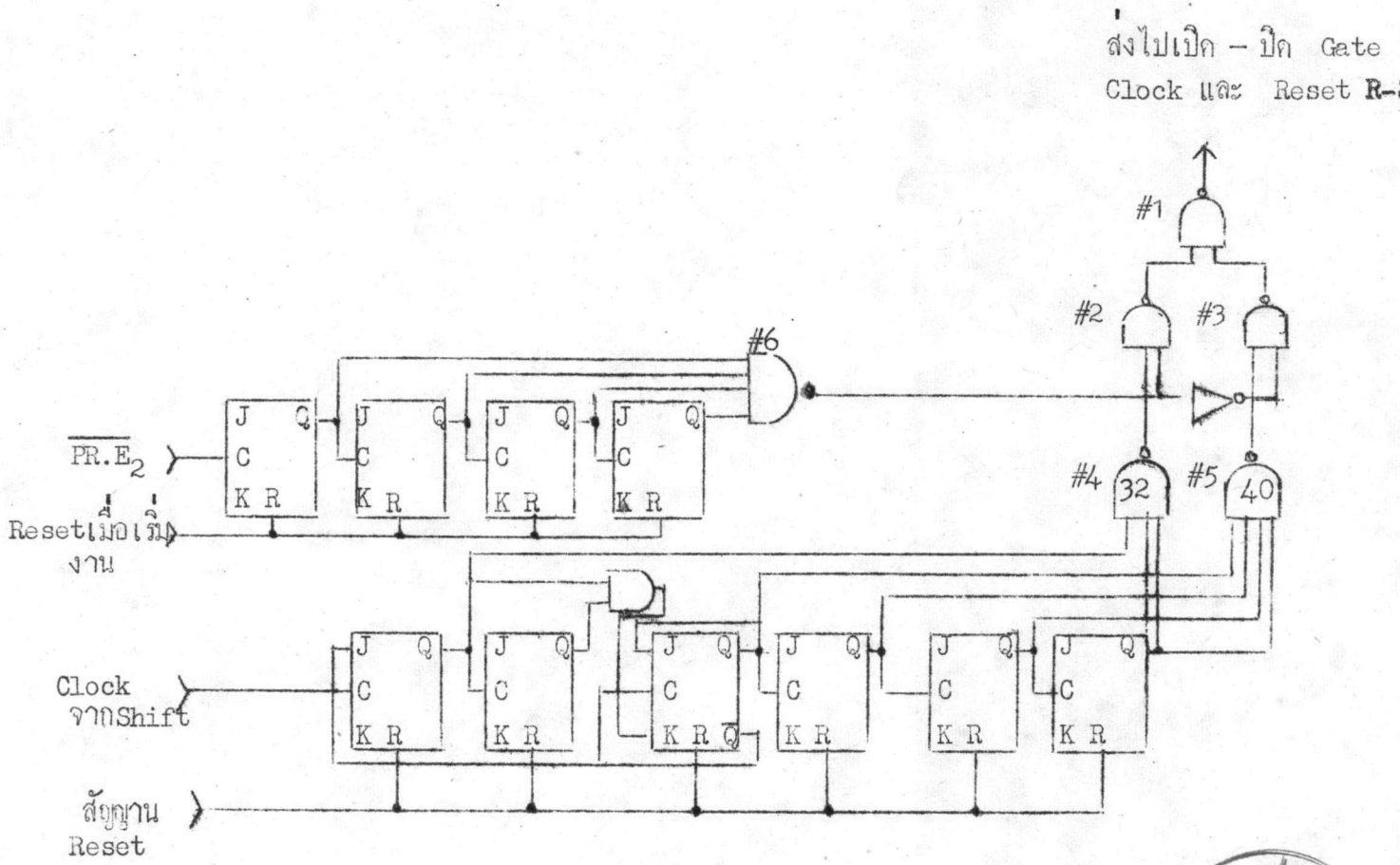
<u>การนับ Clock ที่ส่งไปยัง Shift Register และสัญญาณพิมพ์</u>

เนื่องจากการส่งข้อมูลออกจาก Shift register มีอยู่ ๒ แบบ คือ ๑๕ ชุดแรกให้พิมพ์ 3 characters แล้วเว้น ๑ ช่องไฟ ส่วนชุดที่ ๑๖ ให้พิมพ์ 3 characters แล้วขึ้นบรรทัดใหม่กับ

เลื่อนแคร่ ซึ่งใน ๑๕ ชุดแรกใช้ Clock ๓๒ ลูก ส่วนในชุดที่ ๑๖ ต้องใช้ Clock ๔๐ ลูก จึงต้องมี Counter นับว่ามี Clock เท่าที่ต้องใช้หรือยัง ถ้าครบแล้วก็ให้หยุด และต้องมี Counter อีก ๑ ชุด นับว่าพิมพ์ครบถึงชุดที่ ๑๖ หรือยัง แล้วเลือกว่าจะใช้ Clockแบบ ๓๒ ลูก หรือ ๔๐ ลูก ดังรูปที่ ๑๑



รูปที่ ๑๑ Counter ของส่วนควบคุม



รูปที่ ๑๒ วงจรของ Counter ต่าง ๆ ในส่วนควบคุม

หอสมุดกลาง จุฬาลงกรณ์มหาวิทยาลัย

ดังนั้นการทำงานส่วนนี้ต่อเนื่องกับการเลื่อนข้อมูลโดย Shift register ที่กล่าวมาแล้ว โดยสัญญาณจาก OR Gate (ในรูปที่ ๑๐) ในขณะที่เป็น High นี้ จะ Reset Divide-by-ten Counter และ Divide-by-four Counter ให้เป็นศูนย์หมด (รูปที่ ๑๑) เมื่อได้รับสัญญาณคำสั่งพิมพ์และสัญญาณว่าการแปลข้อมูลของส่วนแปลเสร็จเรียบร้อย OR Gate ดังกล่าวจะเปลี่ยนสัญญาณเป็น Low เพื่อให้ Divide-by-ten Counter และ Divide-by-four Counter ทำงาน Counter ที่กล่าวนี้จะเป็นตัวนับสัญญาณที่ส่งไปเลื่อนข้อมูล ว่าจะเป็น Clock ๓๒ ลูก หรือ ๔๐ ลูก ซึ่งมี 4-input NAND Gate ที่ ๔ และที่ ๕ เป็น Decoder (รูปที่ ๑๒) โดยสัญญาณที่ออกจาก NAND Gate ที่ ๔ จะเปลี่ยนจาก High เป็น Low ต่อเมื่อนับ Clock ที่ผ่าน Counter ได้ ๓๒ ลูกเท่านั้น และสัญญาณซึ่งส่งออกจาก NAND Gate ที่ ๕ จะเปลี่ยนจาก High เป็น Low ต่อเมื่อนับ Clock ที่ผ่าน Counter ได้ ๔๐ ลูกเท่านั้น สัญญาณ Low ที่ส่งออกจาก NAND Gate ทั้งคู่นี้จะไปหยุด Clock ที่ส่งไปเลื่อนข้อมูล แต่การจะเลือกใช้สัญญาณ Low จาก Gate ใดนั้น Divide-by-sixteen Counter จะเป็นตัวคุม โดยทำการนับจำนวนสัญญาณคำสั่งพิมพ์ ซึ่ง Counter นี้เมื่อเริ่มทำงานต้องทำการ Reset ให้เป็นศูนย์เสียก่อน

ในขณะที่จำนวนสัญญาณคำสั่งพิมพ์ยังไม่ถึง ๑๖ คำสั่ง สัญญาณที่ออกจาก NAND Gate ที่ ๖ จะเป็น High ซึ่งไปรวมกับสัญญาณ High จาก Gate ที่ ๔ ผ่าน Gate ที่ ๒ ทำให้เกิดสัญญาณ Low และสัญญาณจาก Gate ที่ ๖ ที่ผ่าน Inverter จะเป็น Low เมื่อรวมกับสัญญาณ High จาก Gate ที่ ๕ ผ่าน Gate ที่ ๓ เกิดเป็นสัญญาณ High สัญญาณนี้เมื่อรวมกับสัญญาณ Low จาก Gate ที่ ๒ ผ่าน Gate ที่ ๑ เกิดเป็นสัญญาณ High ส่งไปเปิด Gate ให้ Clock ผ่านไปได้ ต่อเมื่อ Clock ผ่านไป ๓๒ ลูก สัญญาณจาก Gate ที่ ๔ จะเปลี่ยนเป็น Low ทำให้สัญญาณจาก Gate ที่ ๒ เปลี่ยนเป็น High เนื่องจากสัญญาณจาก Gate ที่ ๒ และที่ ๓ เป็น High ทั้งคู่ ทำให้เกิดสัญญาณ Low ที่ Gate ที่ ๑ ส่งไปหยุด Clock

เมื่อถึงคำสั่งพิมพ์ที่ ๑๖ สัญญาณที่ออกจาก Gate ที่ ๖ จะกลายเป็น Low เมื่อรวมกับสัญญาณ High จาก Gate ที่ ๔ ผ่าน Gate ที่ ๒ เกิดเป็นสัญญาณ High และสัญญาณ Low จาก Gate ที่ ๒ ผ่าน Inverter เป็น High รวมกับสัญญาณ High จาก Gate ที่ ๕ ผ่าน Gate ที่ ๓ เกิดสัญญาณ Low สัญญาณจาก Gate ที่ ๒ และที่ ๓ เมื่อผ่าน Gate ที่ ๑ ทำให้เกิดสัญญาณ

High ไปเปิด Gate ให้ Clock ผ่าน เมื่อ Clock ผ่านไปได้ ๓๒ ลูก สัญญาณจาก Gate ที่ ๔ จะเปลี่ยนเป็น Low เมื่อรวมกับสัญญาณ Low จาก Gate ที่ ๖ ผ่าน Gate ที่ ๒ ก็ยังคงเป็นสัญญาณ High ตามเดิม แต่พอ Clock ผ่านไปได้ ๔๐ ลูก จะเกิดสัญญาณ Low ที่ Gate ที่ ๕ ซึ่งรวมกับสัญญาณ High จาก Inverter ผ่าน Gate ที่ ๓ เกิดสัญญาณ High ทำให้สัญญาณจาก Gate ที่ ๑ กลายเป็น Low ไปหยุด Clock

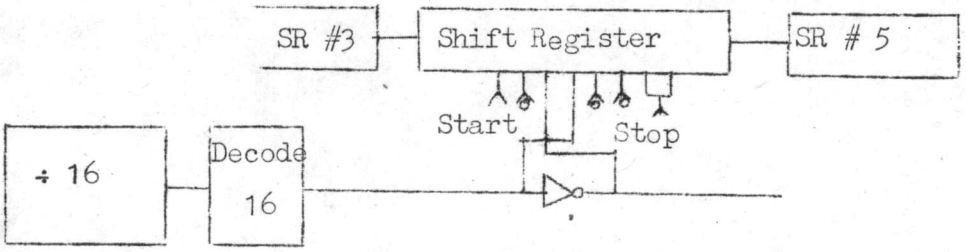
หลังจากกำสั่งพิมพ์ที่ ๑๖ แล้ว Counter ที่นับคำสั่งพิมพ์จะกลับไปนับ ๑ ใหม่ สำหรับ IC ที่ใช้เป็น Counter มีดังนี้

Divide-by-sixteen Counter ใช้ IC เบอร์ ๗๔๙๓ ซึ่งประกอบด้วย J-K Flip Flop ๔ ตัว

Divide-by-ten Counter ใช้ IC เบอร์ ๗๔๙๐ ซึ่งประกอบด้วย J-K Flip Flop ๓ ตัว R-S Flip Flop ๑ ตัว และ NAND Gate อีก ๑ ตัว

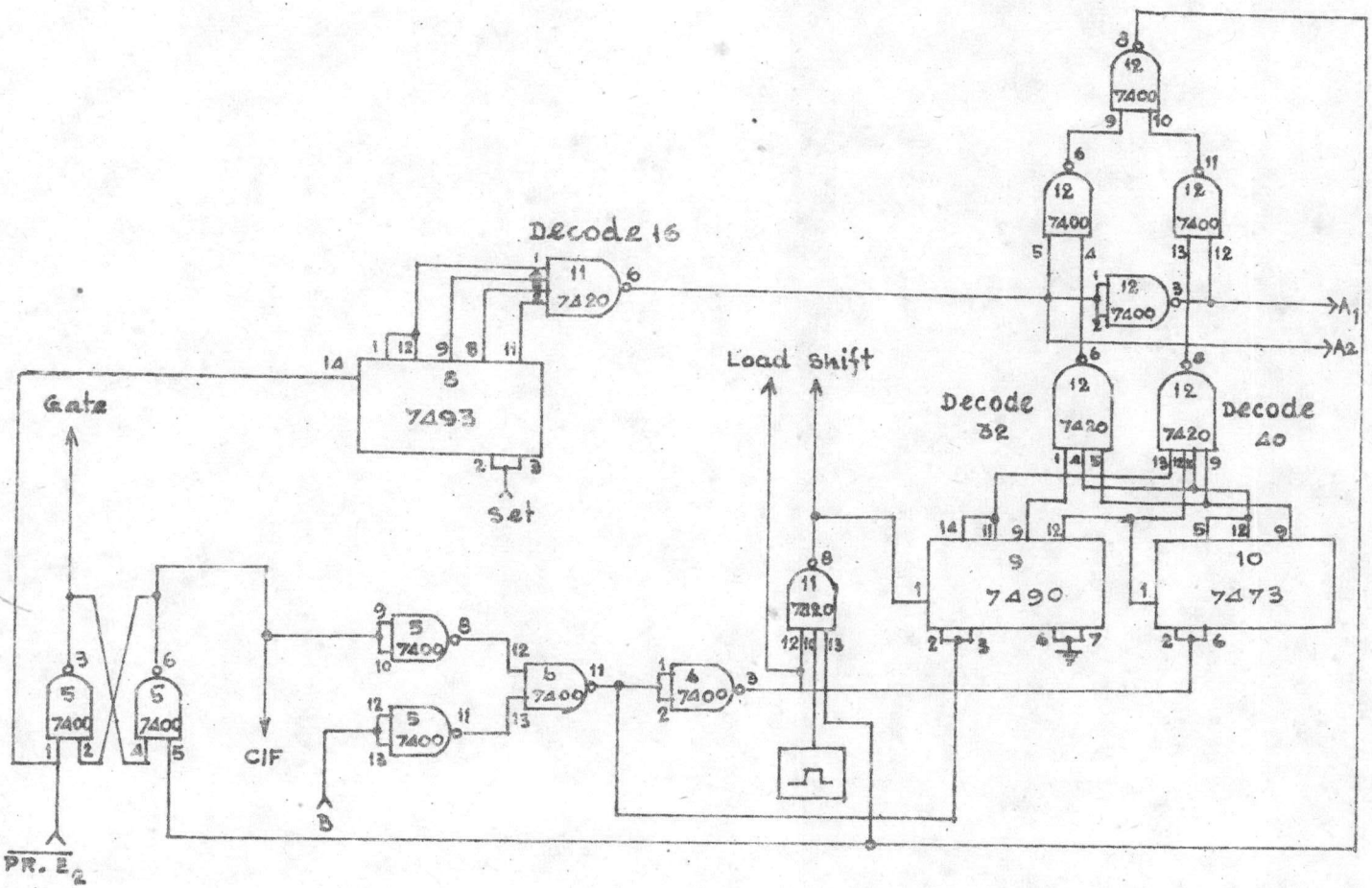
Divide-by-four Counter ใช้ IC เบอร์ ๗๔๗๓ ซึ่งประกอบด้วย J-K Flip Flop ๒ ตัว

จาก Output ของ Divide-by-sixteen Counter ซึ่งผ่าน Inverter ยังไปใช้ในการเปลี่ยน Input ของ Shift register ที่ ๔ จากการเว้นช่องไฟเป็นการขึ้นบรรทัดใหม่ เนื่องจากรหัสการเว้นช่องไฟเป็น ๐๐๑๐๐ แต่ของการขึ้นบรรทัดใหม่เป็น ๐๑๐๐๐ จึงใช้ต่อ Output ที่ออกจาก Counter เข้า bit ที่ ๓ และ Output ที่ผ่าน Inverter แล้วเข้า bit ที่ ๒



รูปที่ ๑๓ การเปลี่ยน Input ของ Shift register ตัวที่ ๔

ดังนั้นเมื่อนำการทำงานแต่ละอย่างในส่วนควบคุมมารวมกันจะได้วงจรดังรูปที่ ๑๔



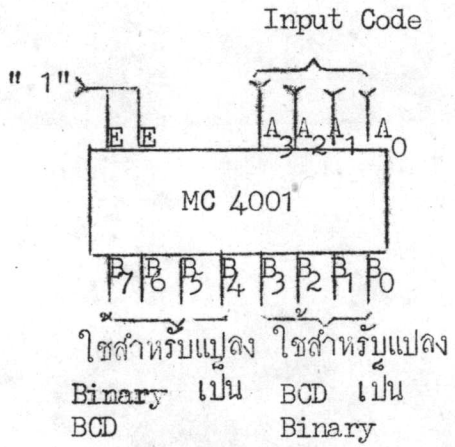
รูปที่ ๑๔ วงจรสำหรับ[illegible]

<u>ส่วนแปลระหัส</u> (The Decoder Unit)

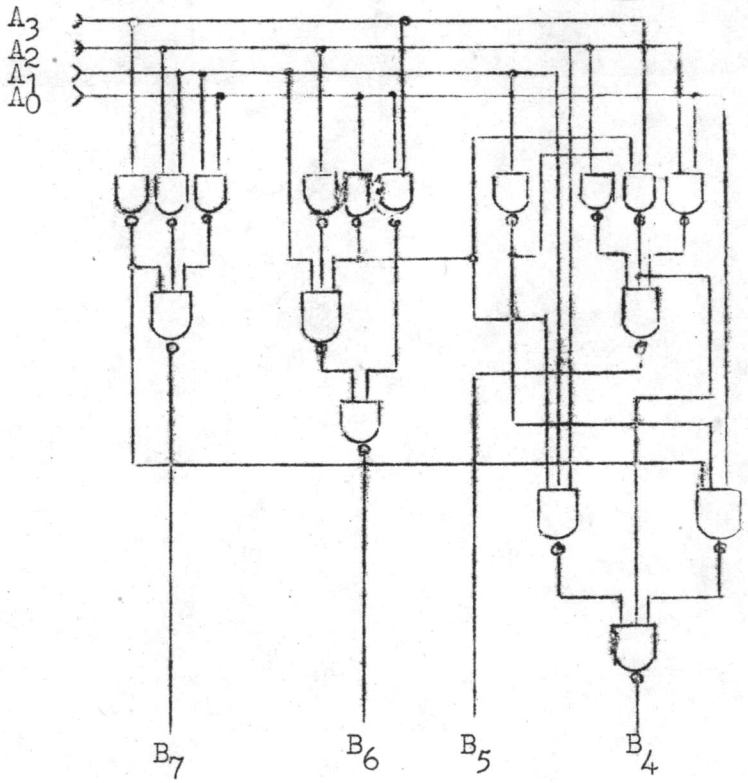
ข้อมูลที่ได้รับจากเครื่องจุลคอมพิวเตอร์ เป็นแบบ 8-bit Binary Word แต่ข้อมูลที่จะส่งไปยังเครื่องโทรพิมพ์ให้พิมพ์นั้นรับแบบ 5-bit Word (ไม่รวม Startและ Stop bit) ดังนั้นจึงต้องทำการแปลงข้อมูลจาก 8-bit เป็น 5-bit การแปลงทำได้หลายวิธีด้วยกัน คือ

๑. ใช้ ROM (Read Only Memories) แบบ Binary/BCD Conversion ซึ่งเป็น IC เบอร์ MC 4001

หอสมุดกลาง จุฬาลงกรณมหาวิทยาลัย

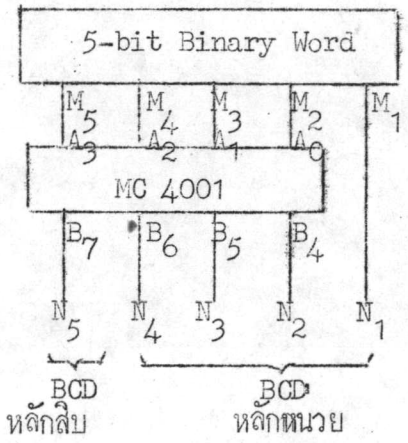


Truth Table							
A_3	A_2	A_1	A_0	B_7	B_6	B_5	B_4
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0



รูปที่ ๑๕ การทำงานของ ROM ชนิด MC 4001

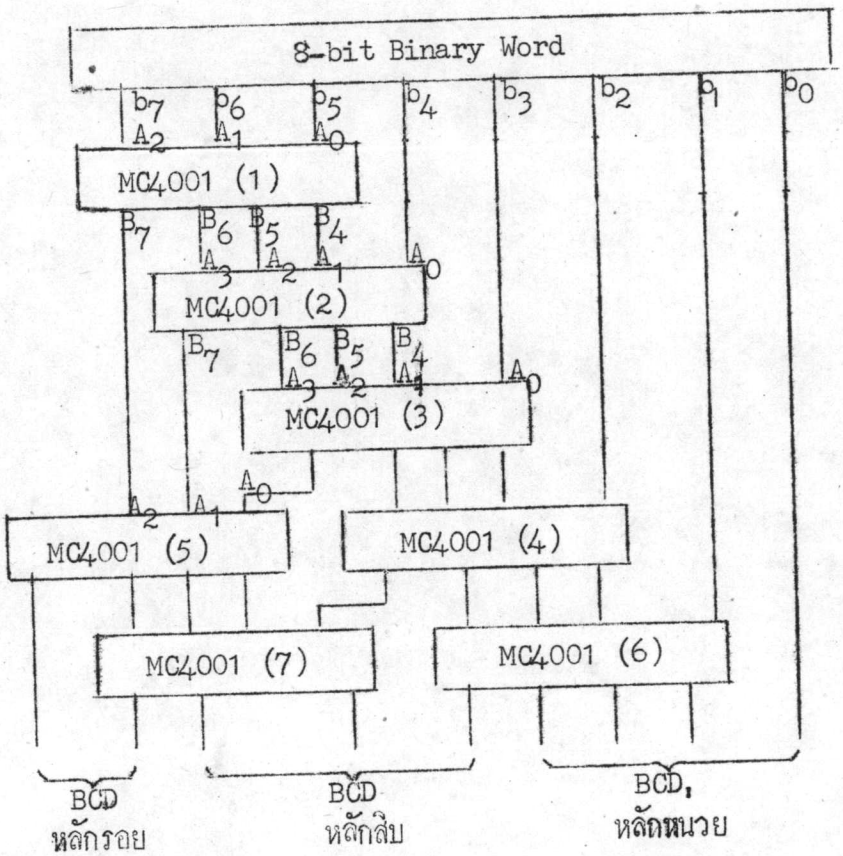
จาก Truth Tableรูปที่ ๑๕ จะเห็นว่า ถ้าต้องการเปลี่ยน 5-bit Binary Word เป็น BCD 0 - 19 ก็ใช้ ROM นี้เพียง ๑ ตัว



	5-bit Word					BCD หลักสิบ				BCD หลักหน่วย			
	M_5	M_4	M_3	M_2	M_1	N_8	N_7	N_6	N_5	N_4	N_3	N_2	N_1
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	1
2	0	0	0	1	0	0	0	0	0	0	0	1	0
3	0	0	0	1	1	0	0	0	0	0	0	1	1
4	0	0	1	0	0	0	0	0	0	0	1	0	0
5	0	0	1	0	1	0	0	0	0	0	1	0	1
6	0	0	1	1	0	0	0	0	0	0	1	1	0
7	0	0	1	1	1	0	0	0	0	0	1	1	1
8	0	1	0	0	0	0	0	0	0	1	0	0	0
9	0	1	0	0	1	0	0	0	0	1	0	0	1
10	0	1	0	1	0	0	0	0	1	0	0	0	0
11	0	1	0	1	1	0	0	0	1	0	0	0	1
12	0	1	1	0	0	0	0	0	1	0	0	1	0
13	0	1	1	0	1	0	0	0	1	0	0	1	1
14	0	1	1	1	0	0	0	0	1	0	1	0	0
15	0	1	1	1	1	0	0	0	1	0	1	0	1
16	1	0	0	0	0	0	0	0	1	0	1	1	0
17	1	0	0	0	1	0	0	0	1	0	1	1	1
18	1	0	0	1	0	0	0	0	1	1	0	0	0
19	1	0	0	1	1	0	0	0	1	1	0	0	1

รูปที่ ๑๖ การใช้ ROM แปลง 5-bit Binary Word เป็น BCD ๒ หลัก

ดังนั้นการใช้ ROM แปลง 8-bit Binary Word เป็น BCD ๓ หลัก ก็ใช้ ROM ๗ ตัวต่อ ดังรูปที่ ๑๗

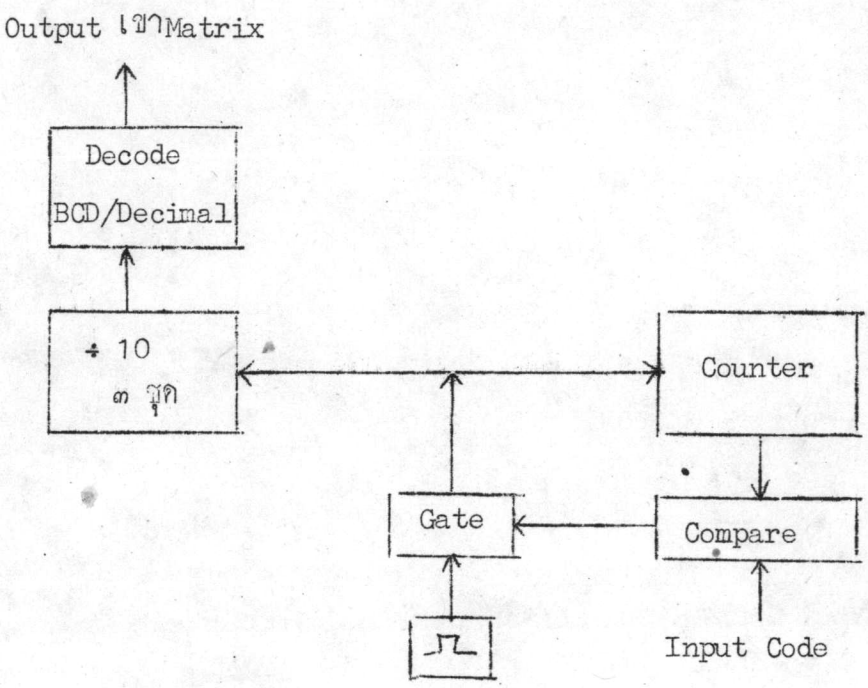


รูปที่ ๑๗ การใช้ ROM แปลง 8-bit Binary Word เป็น BCD ๓ หลัก

จาก BCD ทั้ง ๓ หลักที่ได้ ต้องใช้ Matrix แปลงให้เป็นระหัสของเครื่องโทรพิมพ์ แต่วิธีนี้ค่าใช้จ่ายสูงมาก

๒. ใช้ Matrix แปลงข้อมูลจาก 8-bit Binary Word เป็นระหัสของเครื่องโทรพิมพ์โดยตรง วิธีนี้ต้องใช้ Gate เป็นจำนวนมาก ทำให้เกิดค่า Delay สูง

๓. ใช้ Clock ป้อนเข้าไปใน Counter แล้ว Compare กับ Input Code วิธีนี้ความเร็วของการ Decode ขึ้นอยู่กับความเร็วของ Clock ถ้าใช้ Clock ที่มีความเร็วสูงก็จะทำให้แปลได้เร็ว สำหรับหลักการได้แสดงอยู่ในรูปที่ ๑๘



รูปที่ ๑๘ การแปลข้อมูลโดยใช้ Clock เทียบกับ Input Code

ขณะที่มี Input Code ส่งมานั้น Counter จะเป็นศูนย์ ดังนั้นเมื่อไม่เหมือนกันจะทำการเปิด Gate ให้ Clock ผ่านไปยัง Divide-by-ten Counter กับ Counter ชนิดมี 8 Flip Flopเพื่อให้ค่าใน Counter เพิ่มขึ้นจนได้เท่ากับ Input Code จะทำให้ Compare ปิด Gate ขณะเดียวกับ Divide-by-ten Counter ก็จะทำการแบ่งข้อมูลออกเป็น BCD ๓ หลักด้วย Clock เดียวกัน ซึ่งมีจำนวนเท่ากับจำนวนใน Input เมื่อผ่าน BCD ทั้ง ๓ หลักเข้า BCD-to-Decimal Decoderจะแปลง BCD ทั้ง ๓ หลักให้เป็น Decimal แล้วจึงให้ผ่าน Matrix แปลงเป็น Code ของเครื่องโทรพิมพ์ชนิด 5-levelป้อนเข้า Shift Register ตัวที่ ๑ ถึงตัวที่ ๓

Counter นั้นใช้ IC เบอร์ ๗๔๙๓ ซึ่งเป็น J-K Flip Flop ๔ ตัว ๒ ชุด

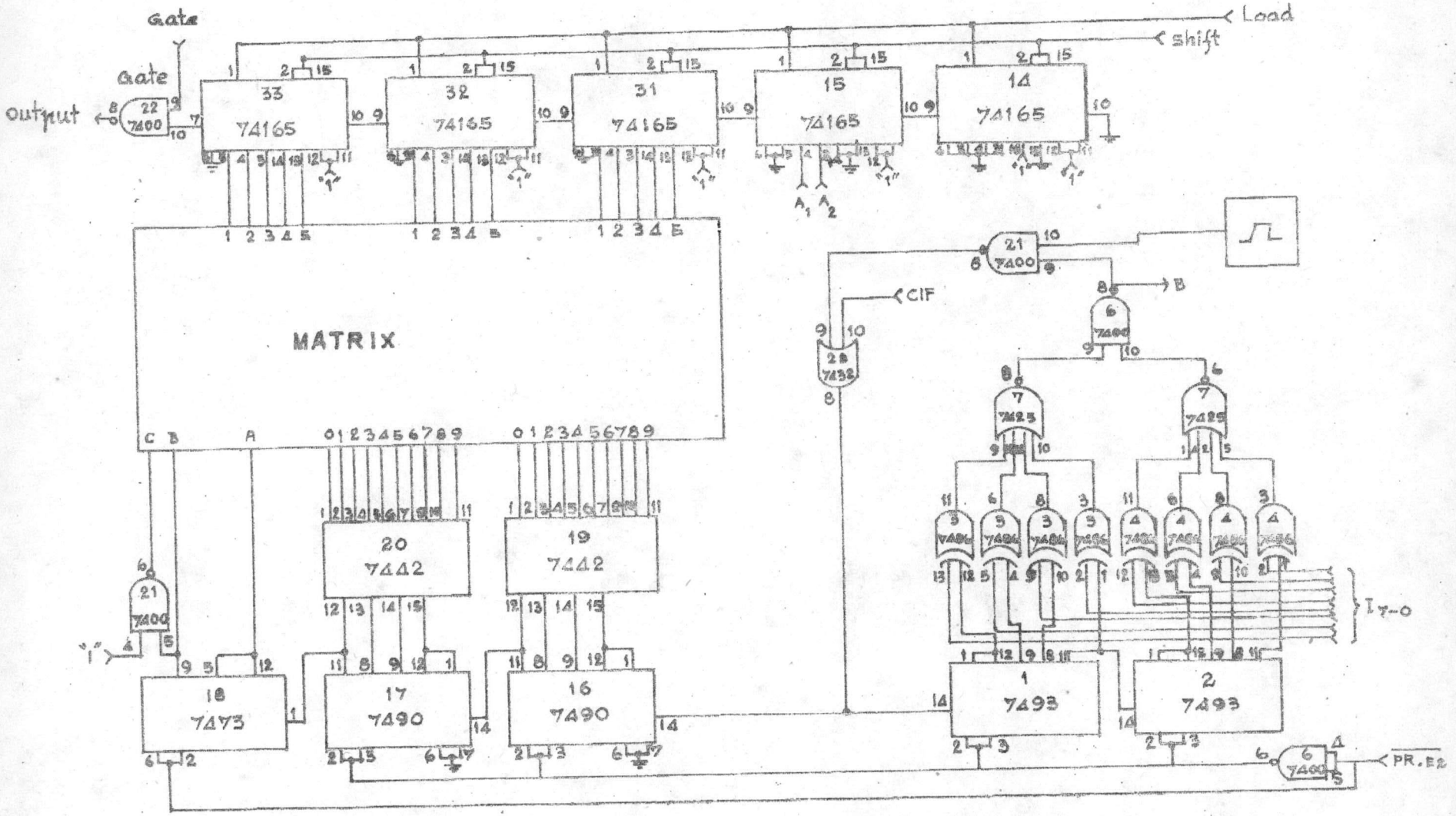
Compare ใช้ Exclusive OR (IC เบอร์ ๗๔๘๖) ๒ ตัว โดยสัญญาณที่ออกจาก Gate นี้จะเปลี่ยนเป็น Low เมื่อค่าของ Counter กับ Input เหมือนกัน ดังนั้นถ้าทุกค่าใน Counter กับ Input เหมือนกัน สัญญาณที่ได้จาก Exclusive OR Gate จะเป็น Low หมดทุก

Gate เมื่อผ่าน NOR Gate (IC ตัวที่ ๗ ในรูปที่ ๑๙ ซึ่งเป็น IC เบอร์ ๗๔๒๕) ทั้ง ๒ ตัว จะได้สัญญาณ High ทั้งคู่ไปผ่าน NAND Gate (IC ตัวที่ ๖) จะได้สัญญาณเป็น Low ไปปิด Gate สำหรับ Clock ผ่านดังกล่าว ขณะเดียวกันสัญญาณจาก NAND Gate นี้จะส่งไปยังส่วนควบคุมว่าได้ทำการแปลเสร็จแล้ว (สัญญาณ B ในรูปที่ ๑๙)

Divide-by-ten Counter ใช้ IC เบอร์ ๗๔๙๐ ๒ ตัว สำหรับหลักสิบและหลักหน่วย และ IC เบอร์ ๗๔๗๓ ๑ ตัว สำหรับหลักร้อย

Decoder ใช้ IC เบอร์ ๗๔๔๒ ๒ ตัว

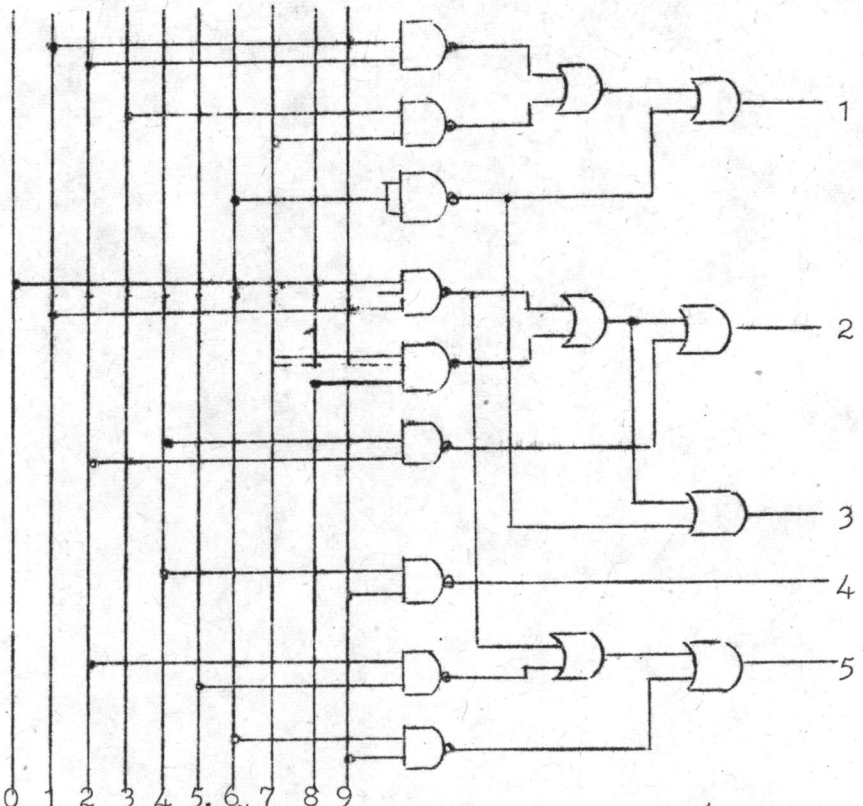
เมื่อนำมาประกอบกันเข้าจะได้ดังรูปที่ ๑๙



รูปที่ ๙ วงจรการแปลรหัสเพื่อใช้ Clock เพื่อควบคุม Input Code

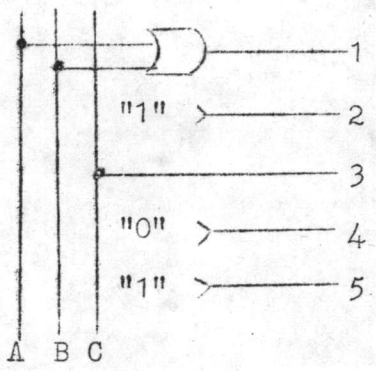
สำหรับ Matrix ที่ใช้นั้น ใช้ NAND Gate และ OR Gate ผสมกัน โดย Matrix ที่ใช้กับหลักหน่วยและหลักสิบเป็นแบบเดียวกัน (รูปที่ ๒๐) แต่ Matrix ที่ใช้กับหลักร้อยนั้นแสดงอยู่ในรูปที่ ๒๑

Decimal	Input										Output				
	0	1	2	3	4	5	6	7	8	9	1	2	3	4	5
0	0	1	1	1	1	1	1	1	1	1	0	1	1	0	1
1	1	0	1	1	1	1	1	1	1	1	1	1	1	0	1
2	1	1	0	1	1	1	1	1	1	1	1	1	0	0	1
3	1	1	1	0	1	1	1	1	1	1	1	0	0	0	0
4	1	1	1	1	0	1	1	1	1	1	0	1	0	1	0
5	1	1	1	1	1	0	1	1	1	1	0	0	0	0	1
6	1	1	1	1	1	1	0	1	1	1	1	0	1	0	1
7	1	1	1	1	1	1	1	0	1	1	1	1	1	0	0
8	1	1	1	1	1	1	1	1	0	1	0	1	1	0	0
9	1	1	1	1	1	1	1	1	1	0	0	0	0	1	1



รูปที่ ๒๐ Matrix ที่ใช้ในการแปลงระหัส จาก Decimal เป็นระหัสของเครื่องโทรพิมพ์สำหรับหลักหน่วยและหลักสิบ

Decimal	Input			Output				
	A	B	C	1	2	3	4	5
0	0	0	1	0	1	1	0	1
1	1	0	1	1	1	1	0	1
2	0	1	0	1	1	0	0	1



รูปที่ ๒๑ Matrix ที่ใช้ในการแปลงระหัสเป็นระหัสของเครื่องโทรพิมพ์สำหรับหลักรอย.