บทที่ ๖

หอสมุดกลาง จุฬาลงกรณมหาวิทยาลัย

สรุปผลการทดลอง และข้อเสนอแนะ

สรุปผลการทดลอง

การทดสอบวงจรทั้งหมดที่ได้ออกแบบในบทที่ ๔ และทำการทดลองในบทที่ ๕

ก. การทดสอบโดยอิสระ ของวงจรย่อย ๆได้ผลดี สามารถตรวจสอบคุณสมบัติทาง DC ของวงจรต่าง ๆได้ถูกต้อง การทดสอบนี้ไม่สามารถวัดคุณสมบัติทาง AC ได้ เนื่องจาก จะต้องสร้างสัญญานควบคุมขึ้นมา เพื่อทดสอบให้เหมือนกับวัฏจักรเวลาของเครื่อง PDP-8/E ดังนั้นคุณสมบัติ AC นี้ ดูจากการทดสอบ กับเครื่องคอมพิวเตอร์

ข. การทดสอบกับเครื่องคอมพิวเตอร์ PDP-8/E แผ่นโมดูลส่วนความจำสามารถทำงานได้ผล ตามการทดลองในบทที่ ๕ ซึ่งนับว่าได้ผลดี แต่ตัวหน่วยความจำ CMOS IM 6505 IJE นี้มีคุณสมบัติต่ำกว่าข้อกำหนดที่ได้ออกแบบไว้ ได้แก่คุณสมบัติทาง AC ดูภาคผนวก ข. ซึ่งกำหนดให้ tSTR มีค่าต่ำสุด 300 nSec เพื่อใช้สำหรับการโหลด Address ให้แก่ Address Register ในหน่วยความจำ CMOS แต่การออกแบบนี้ไม่สามารถจะออกแบบสัญญาน LMAR ซึ่งเป็นสัญญานใช้โหลด Address นี้ให้มีค่ามากกว่า 300 nSec นี้ได้ เนื่องจากวัฏจักรการอ่านมีช่วงเวลาจำกัดมาก สำหรับส่วนความจำแบบวงแหวนแม่เหล็ก วัฏจักรเวลาช้า 750 nSec และวัฏจักรเวลาเร็ว 550 nSec แต่ส่วนความจำ CMOS นั้น เนื่องจากเครื่องคอมพิวเตอร์เองก็มี Memory Address Registor อยู่แล้ว แต่ในตัว CMOS เองก็มี Address Registor อีก ดังนั้น Address ถูกหน่วงไปด้วยเวลาการโหลด Registor ถึง ๒ ตัว ซึ่งเวลาการโหลด Address Registor ในตัว CMOS นี้จะอยู่ในวัฏจักรการอ่าน ถ้าหากเราออกแบบให้สัญญานโหลดมีค่ามากกว่า 300 nSec แล้วละก็ จะเหลือช่วงเวลาวัฏจักรการอ่านแก่ส่วนความจำ CMOS เพียง 250 nSec ซึ่งในช่วงเวลานี้ เป็นช่วงเวลา Access time อีก สูงสุดไม่เกิน 460 nSec

ผลจากการทดลอง ช่วงวัฏจักรการอ่าน (เร็ว) ส่วนความจำ CMOS มี Access time(tac) เท่ากับ 150 nSec ดังนั้นจะเหลือช่วงเวลา 200 nSec ในการหน่วงสัญญานผ่าน REG BUS มารอที่ MB Register เพื่อรอการโหลดเข้าในช่วง TP2 ซึ่งเวลาช่วงนี้ค่อนข้างจะวิกฤติมาก ถ้าหากสัญญานที่มาจาก REG BUS ช้ากว่า TP2 การโหลดข้อมูลเข้า MB Register ก็ผิดไป ดังนั้น ขณะที่ RUN โปรแกรมอยู่ถ้าหากบางคำสั่งเกิดสภาวะเช่นนี้ขึ้น ข้อมูลใน MB Register ที่เขียนกลับเข้าส่วนความจำในช่วงวัฏจักรการเขียนก็จะผิดไป

เนื่องจาก Access time (tac) มีค่าคงที่ ดังนั้น เมื่อลดความกว้างของ pulse LMAR จนเหลือ 150 nSec ก็จะเหลือช่วง Access time บอกกับช่วงเวลาการหน่วงสัญญานใน REG BUS อยู่ 400 nSec ซึ่ง ถ้าหากสัญญานนี้มารอที่ Inputer MB Register ก่อนการโหลดกลับเข้าส่วนความจำในช่วง TP2 การทำงานของเครื่องก็จะเป็นปกติทุกคำสั่ง ปัญหานี้มักเกิดขึ้นกับโปรแกรมที่มีคำสั่งการทำงานด้วยวัฏจักรเร็ว 1.2 μSec สำหรับคำสั่งที่ใช้วัฏจักรช้า 1.4 μSec ไม่เกิดปัญหาเช่นนี้จะทำงานโดยถูกต้อง

ข้อเสนอแนะ

เพื่อแก้ปัญหานี้ ผู้วิจัยมีข้อเสนอแนะดังนี้

ก. เกทที่ใช้ในวงจรต่าง ๆ ที่เกี่ยวกับสัญญานควบคุมในวงจร Interface Control logic ควรเป็นแบบ High Speed ทั้งนี้เพื่อลดช่วงเวลาหน่วงในตัวเกทลง

ข. หน่วยความจำแบบ CMOS IM 6508 IJE ควรเปลี่ยนมาใช้เบอร์ IM 6508 A-1 หรือเบอร์ IM 6508 A ซึ่ง Speed สูงกว่าเดิมมาก ดูภาคผนวก ข. สัญญานโหลด Address สามารถจะลดความกว้างสัญญานลงได้มากกว่าเดิม และ Access time ก็เร็วขึ้นด้วย

ปัญหาการวิจัย

งานวิจัยนี้ การลงทุนสูงมาก และต้องใช้เครื่องมือวัดที่ทันสมัย และเชื่อถือได้ จึงสามารถจะวิเคราะห์ และแก้ปัญหาต่าง ๆ ทุกขั้นตอนได้สำเร็จ ปัญหาเครื่องมือจึงไม่มี เพราะ

กองอุปกรณ์ อีเลคโทรนิค สำนักงานพลังงานปรมาณู เพื่อสันติ บางเขน ปัญหาที่มีก็คือ ไอ ซี IM 6508 IJE สั่งมาไม่ได้ตามกำหนด ทั้งที่ได้สั่งซื้อเบอร์ที่ Speed เร็วกว่านี้ไปและทางบริษัทผู้จำหน่ายจัดส่งเบอร์นี้มาให้ การสั่งของใช้เวลานานเป็นเดือน จึงคิดว่า สำหรับงานวิจัยในประเทศไทยเรานี้ ด้าน Hard ware ค่อนข้างจะลำบาก เพราะอุปสรรคมากมาย ถ้าหากไม่มีเครื่อง Logic Analizer แล้ว คงจะสำเร็จด้วยความยากลำบาก เพราะเครื่องคอมพิวเตอร์ทำงานด้วย Speed สูงเป็น nSec ผู้วิจัยคิดว่า เมื่อแก้ไขปัญหาต่าง ๆ ตามข้อเสนอแนะได้หมดแล้ว ส่วนความจำที่ออกแบบโดยใช้วัสดุกึ่งตัวนำแบบ CMOS นี้ สามารถนำไปใช้ประโยชน์ได้จริงกับเครื่องคอมพิวเตอร์ PDP-8/E PDP-8/F และ PDP-8/M โดยสามารถแทนที่ส่วนความจำแบบวงแหวนแม่เหล็กที่ใช้อยู่ได้ทั้งหมด จึงคิดว่าประโยชน์ที่ได้รับจากการวิจัยครั้งนี้ เป็นประโยชน์ต่อการศึกษาทาง Hard ware ของระบบเครื่องคอมพิวเตอร์ และสามารถนำไปใช้งานได้จริง

สรุปปัญหาการวิจัย

๑. การสั่งซื้อ IC จากต่างประเทศ ใช้เวลานาน และบางครั้งของที่สั่งซื้อไม่ได้ตาม Specification

๒. ควรศึกษาการทำงาน ของระบบเครื่องคอมพิวเตอร์ที่จะเข้าไปพัฒนาระบบส่วนความจำให้ละเอียดด้วยวงจร ทั้งนี้เพื่อประหยัดเวลาในการออกแบบ

๓. เครื่องต้นแบบควรใช้ wire wrap เนื่องจากวิธีนี้สายที่ใช้มีค่า Conductivity สูง สามารถจะแก้ไขวงจรได้ง่ายกว่าการทำแบบลายปรินท์ และการเดินสาย wire wrap ควรเดินเป็นเส้นตรง และให้สั้นที่สุด

๔. ระหว่าง Vcc กับ Ground ของตัว IC แต่ละตัว ควรใช้ Capacitor ขนาด 0.01 μF ต่อคร่อมไว้ เพื่อลด decoupling noise ที่เกิดในตัวมันเอง

๕. ปัญหายุ่งยากมากก็คือ Interface ระหว่างส่วนความจำออกแบบกับเครื่องคอมพิวเตอร์ รวมถึงการ Interface สัญญานด้วย ควรศึกษาและทำการออกแบบสัญญานเวลาให้แน่นอน ควรใช้ IC แบบ Shift Registor ดีกว่าจะควบคุมสัญญานเวลาด้วย One-Shot เนื่องจากสัญญานเวลาที่สร้างขึ้นจาก One-Shot นี้ Stability ไม่ดี เพราะขึ้นอยู่กับค่า R และ C ถ้าหากสัญญานเวลาไม่ Synchronize กับการทำงานของเครื่องคอมพิวเตอร์แล้วก็จะเกิด Noise ขึ้นภายใน BUS ส่วนความจำไม่สามารถที่จำทำการอ่านหรือเขียนได้

สำหรับด้านเงินลงทุน ใช้ในงานวิจัยนี้ประมาณ ๒๐,๐๐๐ บาท (สองหมื่นบาทถ้วน) ถ้าหากสั่งซื้อโมดูลจากต่างประเทศประมาณ ๖๐,๐๐๐ บาท (หกหมื่นบาทถ้วน) ต่อส่วนความจำขนาด 4K wordข้อกำหนดและข้อดีของแผ่นโมดูลที่ออกแบบ ดูภาคผนวก ง.